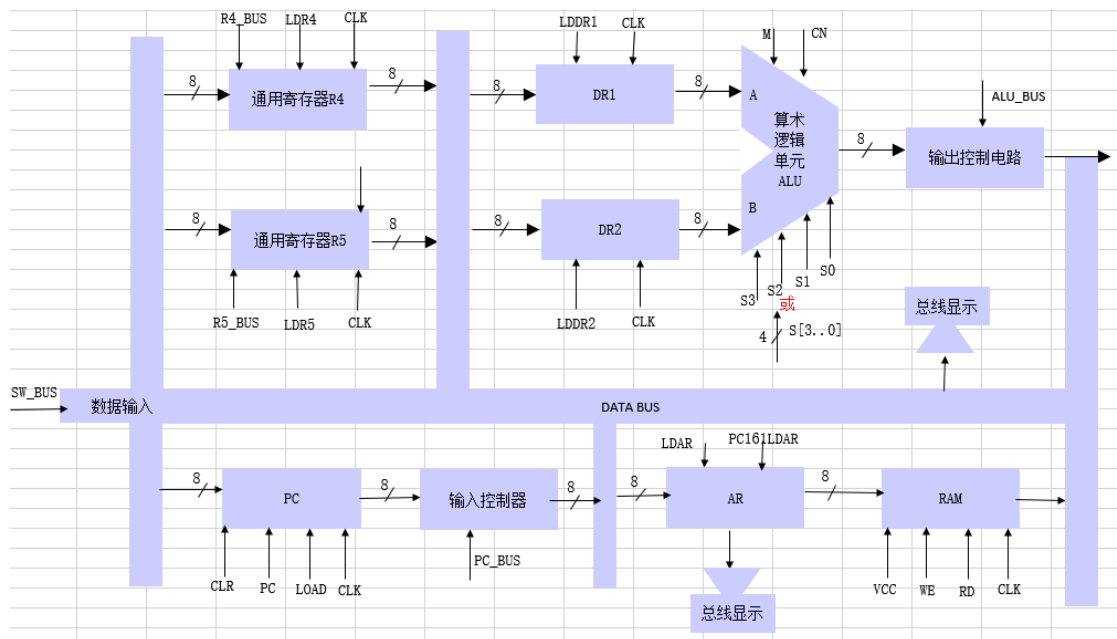
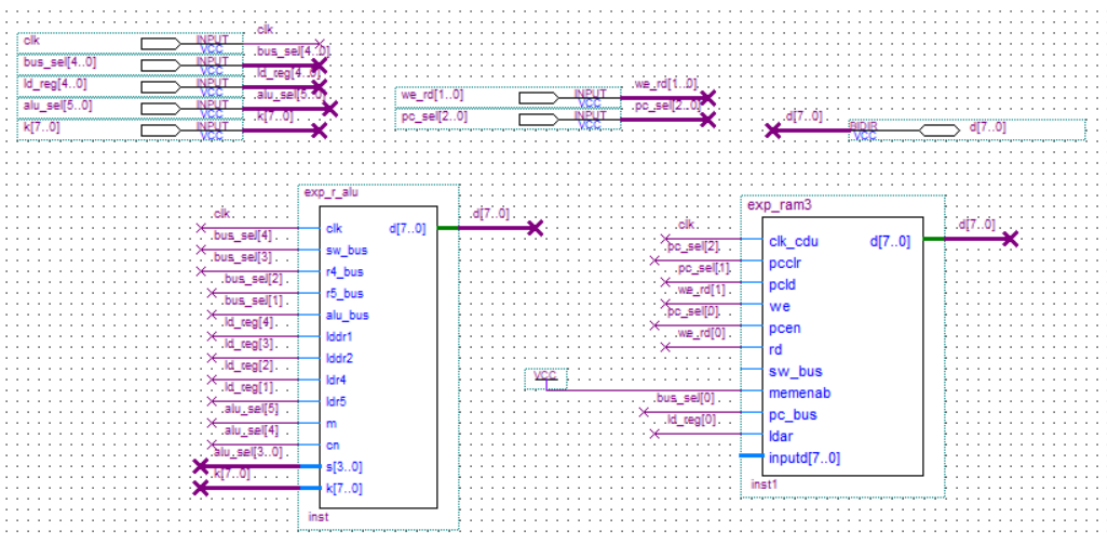


数据通路实验日志

一、原理框图



二、电路图



三、实验数据记录

(1) 记录波形仿真参数设置（End time 和 Grid size）。

End Time

Time: 4.0 us

Default extension options:
Extension value: Last clock pattern

End time extension per signal:

Signal Name	Direction	Radix	Extension value
clk	Input	Hexadecimal	Default extension value
+ bus_sel	Input	Binary	Default extension value
+ alu_sel	Input	Binary	Default extension value
+ ld_reg	Input	Binary	Default extension value
+ pc_sel	Input	Binary	Default extension value
+ we_rd	Input	Binary	Default extension value
+ k	Input	Hexadecimal	Default extension value
+ d	Bidir	Hexadecimal	Default extension value
+ d~result	Group	Hexadecimal	Default extension value
+ exp_ram3:inst1 ...	Buried	Hexadecimal	Default extension value
+ exp_ram3:inst1 ...	Buried	Hexadecimal	Default extension value
+ exp_r_alu:inst dr1	Buried	Hexadecimal	Default extension value
+ exp_r_alu:inst dr2	Buried	Hexadecimal	Default extension value
+ exp_r_alu:inst r4	Buried	Hexadecimal	Default extension value

OK

Cancel

Grid Size

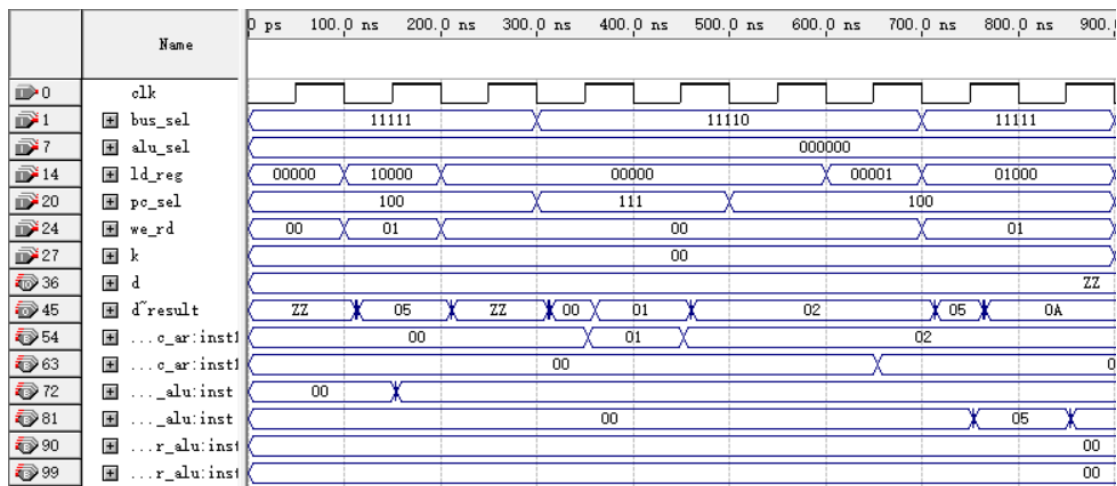
Base grid on
☐ Clock settings:

☒ Time period:
Period: 100.0 ns

OK

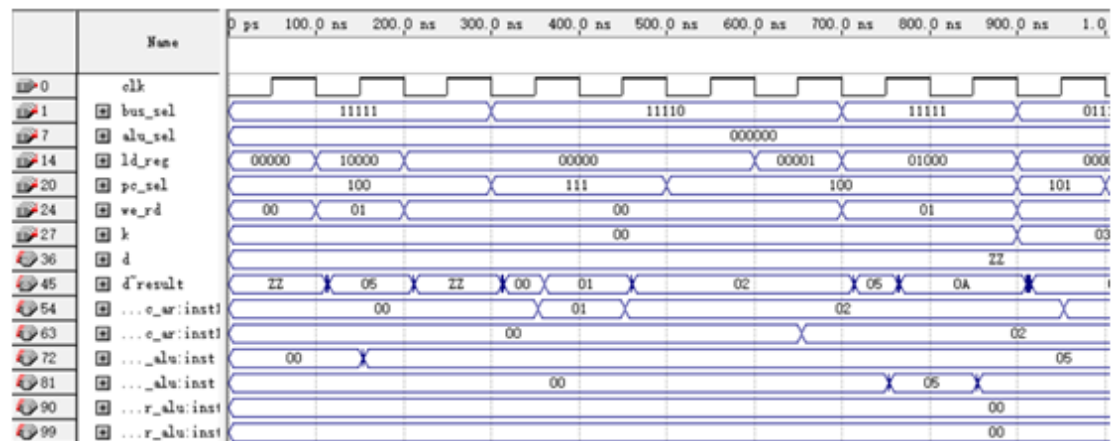
Cancel

- (2) 记录芯片设置及引脚设置。
- (3) 记录电路初始状态时 input 输入信号设置。

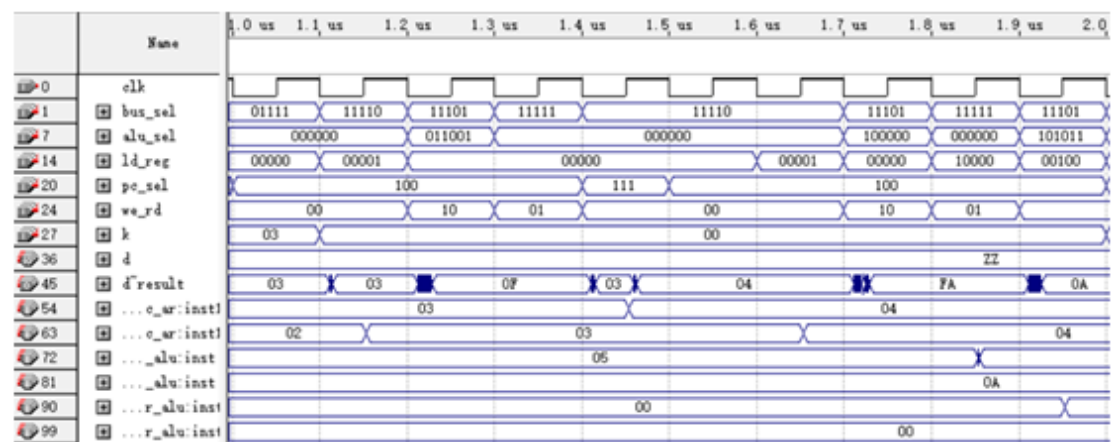


k 置为 00, sw_bus,r4_bus,r5_bus,alu_bus,pc_bus 低电平有效, 置为 11111, m 为片选信号, 置为 1, we_rd 为读写信号, 置为 00, ld_reg 高电平有效, 置为 00000, pc_clr|ld|en 置为 100, 使 PC 处于保持状态, alu_sel 置为 000000。

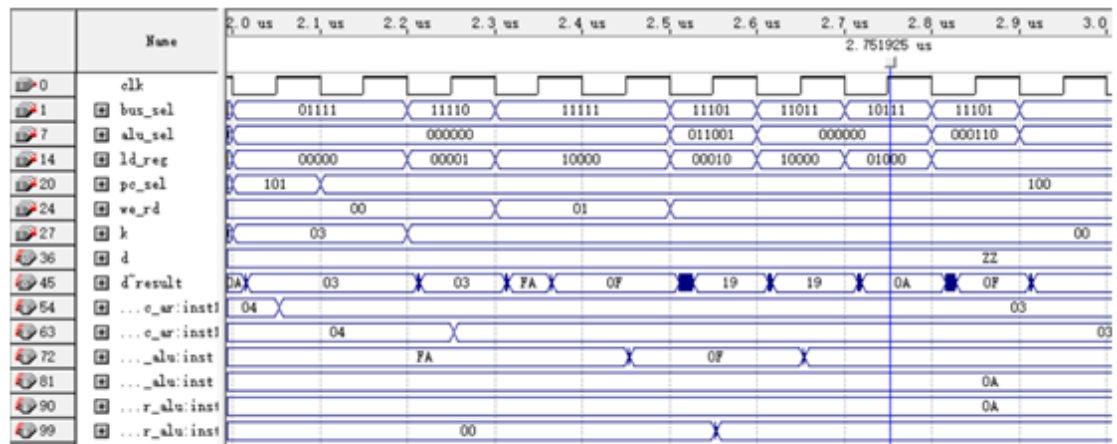
(4) 记录全部实验内容中出现的数据。



1 2 3 4 5 6 7 8



9 10 11 12 13 14 15 16 17 18



19 20 21 22 23 24 25 26 27

说明：

1.每次有效操作，只需改动相关的操作信号状态即可。如1状态，09H->DR1只需改SW:0，LDDR1:1，

2.CP_T,CPLDAR为正脉冲信号。

3.序号0、1、2.....可用于波形图中标示。

序号	状态	控制信号																						
		S				L				C	S				1		M							
		W	R	R	U	P	L	L						6	1	1								
		4	5		C	D	D	L						L	L	1		6	6					
		B	B	B	B	B	D	D	D	D	D	C					C	1	1	M				
		U	U	U	U	U	R	R	R	R	A	L					L	L	P	E	W	R		
		S	S	S	S	S	1	2	4	5	R	K	M	N	3	2	1	0	R	D	C	N	E	D
1	初始	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
2	05H->DR1	1	1	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	1	0	1
3	PC+1=01H	1	1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	0	0
4	PC+1=02H	1	1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	0	0
5	pc保持态	1	1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0
6	pc写入ar	1	1	1	1	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	1	0	0
7	0AH->DR2	1	1	1	1	1	0	1	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	1
8	pc置数态	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	0
9	pc保持态	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0
10	pc写入ar	1	1	1	1	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	1	0	0
11	A+B-> 【03】	1 1 1 0 1					0 0 0 0 0					1	0 1 1 0 0 1					1 0 0		1 1 0				
12	【03】-> bus	1 1 1 1 1					0 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 1				
13	PC+1=04H	1 1 1 1 0					0 0 0 0 0					1	0 0 0 0 0 0					1 1 1		1 0 0				
14	pc保持态	1 1 1 1 0					0 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 0				
15	pc写入ar	1 1 1 1 0					0 0 0 0 1					1	0 0 0 0 0 0					1 0 0		1 0 0				
16	/A-> 【04】	1 1 1 0 1					0 0 0 0 0					1	1 0 0 0 0 0					1 0 0		1 1 0				
17	【04】-> DR1	1 1 1 1 1					1 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 1				
18	/A and B-> R4	1 1 1 0 1					0 0 1 0 0					1	1 0 1 0 1 1					1 0 0		1 0 0				
19	pc置数态	0 1 1 1 1					0 0 0 0 0					1	0 0 0 0 0 0					1 0 1		1 0 0				
20	pc保持态	0 1 1 1 1					0 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 0				
21	pc写入ar	1 1 1 1 0					0 0 0 0 1					1	0 0 0 0 0 0					1 0 0		1 0 0				
22	【03】-> DR1	1 1 1 1 1					1 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 1				
23	A+B-> R5	1 1 1 0 1					0 0 0 1 0					1	0 1 1 0 0 1					1 0 0		1 0 0				
24	R5->DR1	1 1 0 1 1					1 0 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 0				
25	R4->DR2	1 0 1 1 1					0 1 0 0 0					1	0 0 0 0 0 0					1 0 0		1 0 0				
26	R5-R4	1 1 1 0 1					0 0 0 0 0					1	0 0 0 1 1 0					1 0 0		1 0 0				
27	停机	1 1 1 1 1					0 0 0 0 0					0	0 0 0 0 0 0					1 0 0		1 0 0				

四、思考题

- 1) 画数据通路电路图时，如何连接运算器和存储器单一总线？
通过粗线相连。
- 2) 如何统一两个模块的总线数据输入端 $K[7..0]$ 及 $input[7..0]$ ？
只使用一个输入端。

五、总结

即便是再简单的实验，也不应该掉以轻心，避免在细节的方面出错；即便是再复杂的实验，也不应该畏惧，只要把问题列明白，再一个一个解决，就会发现其实很简单。实际上只要静下心来，基本上所有的实验都是在我们可以完成的范围内的，所以不要慌张，按照书上的一步一步来就好，然后，在课余时间我们真的可以通过我们学习的东西进行一下实践，加深对所学知识的理解与运用。