

Διάλεξη 9

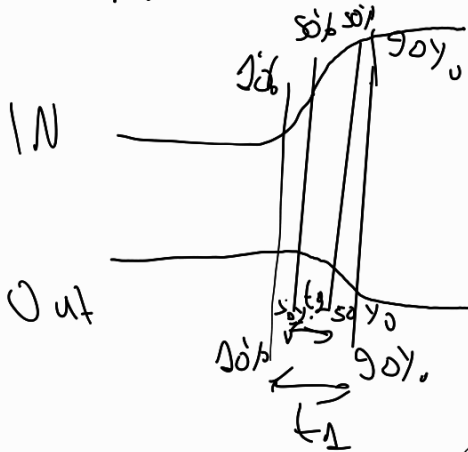
RNG:

Σημαντικό: Κραθυστέρωση στην εξέταση του αριθμού ή η από του προηγμένου

NLFSR: Δεν έχει XOR ακειθάρ που έχει συνηθισμένη
 J & K μισούς κύκλους μισά 0, Αλλά έχει
 Non linear άλλο νόμο όπως να μην είναι γεικώς
 υποδιόψιφρη ή καταδομή αλλά να συχλινεί
 κατ'ο π.χ. περισσότεροι εώσοι.

Διάλεξη 10 - 11

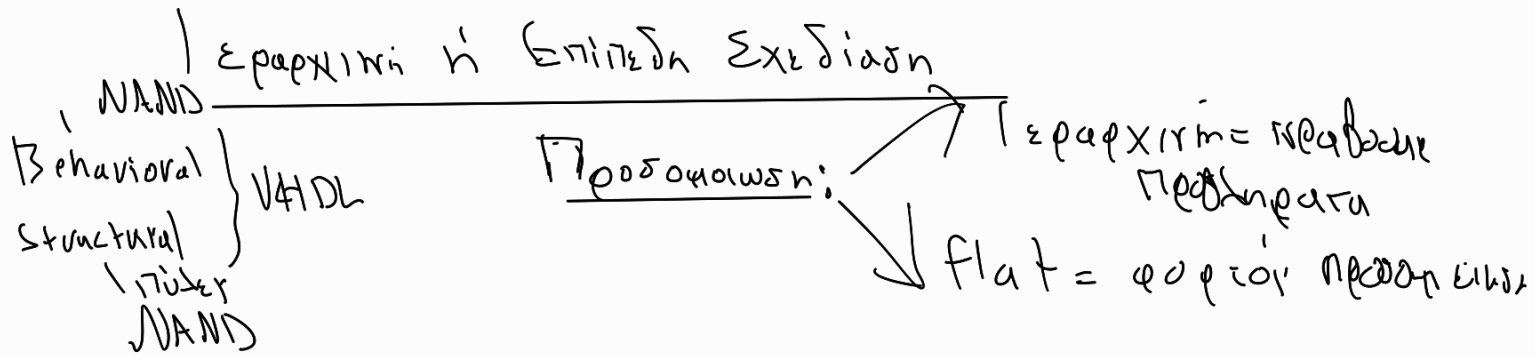
NOT GATE



Αν έχουμε ένα πολύ μικρή σύρμα
 βάζω στη μέση ένα ^{από αριθμό} αντίστροφων
 ή τη αντίστροφων γ' να διαρκέσει,
 ή ακεραιότητα του συστήματος



Μεταμορφώσα και γου
κραθυστέρωση



Flat σχεδίαση: Έχω ένα Full adder στο κύκλωμά μου. Και τους γιγαντισμούς όλους για την προσομοίωση \Rightarrow καθαρότερο

εραρχική σχεδίαση: Έχω από ένα Full adder. Ξέρουντας τα πάντα για αυτόν από τις εξισώσεις καθαυτέρους κώδικα και προσομοίωση και βάζω αυτόν \Rightarrow λιγότεροι γιγαντισμοί, λιγότερη πληροφορία

Για εραρχική: πρέπει να εγγυηθεί ότι είναι σωστά (correctness by design)

- είτε πρέπει να ελέγχω

Correctness by Design: Εγγυώμαι ότι, ότι έχω χρησιμοποιήσει σωστά κανονισμούς και δεν έχει υπερασθεί από το συνολικό κύκλωμα και την δυναμικότητα του

Ελέγχος \Rightarrow walkthrough \Rightarrow spice simulation σε οτιδήποτε του κυκλώματος

Διάλεξη 12

STANDARD CELLS

Επίπεδο Netlist

Critical Net

Μετά το place & R από Xilinx π.χ. εμφανίζεται το Critical Net (εικεί που υπάρχει η καθυστέρηση) και προστιθόμαστε να το βελτιώσουμε με υστερήματα (delay), ή εφόσον να προκύψει νέο critical Net

Time ↗ Μετάβαση κατασκευάζω

Πρέπει γρήγορα να συγχρονίσω τα υποσυστήματα με
μπορεί το ένα να βάλει 5 ώρες και το άλλο 5 λεπτά για
να υπολογιστεί

A) Χρόνος Προσδοκώσεων

B) Φυσικός Χρόνος (Delay)

Μας ενδιαφέρει η διευκόλυνση μεταξὺ υποσυστημάτων π.χ. γρήγορα
για να έχουμε global optimization. Μπορεί το να χρησιμοποιήσω
2. Μπορεί να είναι χειρότερο λόγω καθυστέρησης
ή να είναι καλύτερο να τις έχουμε αυτές,