

PMOS S \rightarrow D

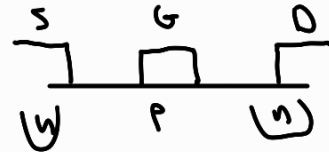
NMOS S D \rightarrow S

Παρότι είναι ισότιμα είναι αντιστά
α source και drain ή α ενα εργασία αλληλ
- λωτης θα φαίνεται και αντιστά \rightarrow
Καθυστέρηση Σύνδεσης

Ανάλυση

NETLIST

u1 NMOS, VSS | OUT | G A
u2 PMOS, VDD | OUT | A



Αντιστά S και D

u1 NMOS	S OUT	D VSS	G A
u2 PMOS	OUT	VSS	A