

Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta con **letra clara**. Cada respuesta incorrecta, ilegible o vacía no suma ni resta. En el caso de preguntas teóricas se valorará la capacidad de síntesis.

- 1 ☐ Un ordenador portátil con 2 núcleos y 6 GB RAM y una estación de trabajo con 4 núcleos y 32 GB RAM ejecutan cinco veces el mismo benchmark monohilo. La tabla siguiente muestra el tiempo de respuesta de cada ejecución, en segundos.

	t_1	t_2	t_3	t_4	t_5
Laptop	10.87	11.15	10.98	11.45	12.06
Workstation	5.15	5.19	5.65	5.37	4.99

- a — (0.5 puntos) ¿Cuál es la aceleración de la estación de trabajo respecto al ordenador portátil? Expresa el resultado con dos dígitos decimales.

- b — (0.5 puntos) Se ejecuta ahora una versión multihilo del benchmark anterior, que utiliza 8 hilos. El tiempo que tarda este benchmark en ejecutarse en cada sistema es el de la tabla anterior dividido por el número de hilos que se pueden ejecutar concurrentemente en el sistema. En este nuevo escenario, ¿cuál es la aceleración de la estación de trabajo respecto al ordenador portátil? Expresa el resultado con dos dígitos decimales.

- 2 ☐ Se dispone de una CPU MIPS64 con estas características: sin rutas de reenvío, predicción de saltos «siempre no tomado», evaluación de saltos agresiva (en la etapa ID), unidad de multiplicación segmentada de 4 ciclos, ejecución de instrucciones fuera de orden (cuando se emplean unidades de ejecución diferentes) y terminación de instrucciones fuera de orden. Sobre esta CPU se ejecuta el siguiente fragmento de programa:

```
ori    r9, r0, 4
daddi  r1, r0, 5
loop:
beq     r9, r1, exit
dmul   r5, r1, r2
or     r5, r3, r1
daddi  r9, r9, 1
j      loop
exit:
ld     r6, 40(r5)
dadd   r3, r5, r6
sd     r3, 100(r2)
```

- a — (0,75 puntos) Indica la primera vez que aparece cada una de las dependencias de datos RAW, WAW y WAR identificando las instrucciones involucradas y el registro que crea la dependencia. Ejemplo de respuesta, RAW: dsub y dadd, r4.

- b — (0,75 puntos) Identifica las tres primeras detenciones que se producen en la ejecución de ese código. Identifica el tipo de detención ((D)atos, (E)structural o (C)ontrol), la instrucción **que la sufre** y el número de ciclos que ocupa. Ejemplo de respuesta: (D) - dsub - 3 ciclos.

Se mejora la microarquitectura de la CPU anterior implementando todas las rutas de reenvío posibles.

- c — (0,5 puntos) ¿Qué rutas de reenvío se activarán durante la ejecución del código anterior? Ejemplo de respuesta: Salida MEM dmul → Entrada EX dsub.

d — (1 punto) Rellena la tabla siguiente con la evolución del pipeline desde el **ciclo 4 al ciclo 20** con las rutas de reenvío activadas. Se muestra el ciclo 4.

Instr. \ Etapa	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
ori r9, r0, 4	MEM																
daddi r1, r0, 5	EX																
beq r9, r1, exit	ID																
dmul r5, r1, r2	IF																

e — (0,5 puntos) Si el predictor de saltos «siempre no tomado» se sustituye por un «predictor dinámico de 2 bits» (con el valor 01 por defecto del contador) y el código de las dos primeras instrucciones del programa se sustituye por:

```
ori    r9, r0, 16
daddi  r1, r0, 26
```

¿Cuántos ciclos de reloj se detendría el *pipeline* en la ejecución del **programa completo** debido a la instrucción `beq r9, r1, exit` y a la instrucción `j loop`?

```
beq r9, r1, exit:                                     j loop:
```

- 3 ☐
- El sistema de memoria de un computador que direcciona al byte está compuesto por la siguiente jerarquía de sistemas:
- Un sistema de memoria caché SRAM de 32 KiB de tamaño con un tamaño de línea de 32 bytes y con un tiempo medio de acceso de 2.5 ns.
 - Un sistema de memoria principal DRAM de 32 GiB de capacidad con un tiempo medio de acceso a cada posición de 15 ns.
 - Un sistema de almacenamiento magnético de 2 TiB con una latencia media de acceso de 21 ms para cualquier cantidad de datos entre 1 y 64 KiB.

La memoria caché se ha configurado con una estrategia de escritura *write-through* y una política *write no allocate* ante fallos de escritura. Se ejecuta un programa en el que el porcentaje de acierto en caché es 99.90 % y en memoria principal es 99.9925 %.

Teniendo todo esto en cuenta, responde a las siguientes preguntas:

a — (0.5 puntos) ¿Cuál es el tiempo medio de lectura, tr_{cpd} , en esta jerarquía de memoria? Responde en nanosegundos redondeado a tres decimales. **Escribe la expresión matemática utilizada para realizar el cálculo.**

```
tr_cpd =
```

b — (0.5 puntos) ¿Cuál es el tiempo medio de escritura, tw_{cpd} , en esta jerarquía de memoria? Responde en nanosegundos redondeado a tres decimales. **Escribe la expresión matemática utilizada para realizar el cálculo.**

```
tw_cpd =
```

	Vía 0													Vía 1											
	v	d	a	etiqueta	7	6	5	4	3	2	1	0		v	d	a	etiqueta	7	6	5	4	3	2	1	0
0	1	1	1	000101	A8	D5	60	48	48	C3	A1	D1		1	1	0	011101	60	BB	55	DC	4F	4B	0C	71
1	1	1	0	101101	9C	68	81	7A	9C	9A	95	B3		1	0	1	100010	D8	A7	97	DE	DA	28	AC	84
2	1	1	0	100100	3F	E7	DE	56	1E	55	37	D2		1	1	1	001011	0F	D3	A0	5E	10	B1	8F	78
3	1	1	1	100110	4A	06	47	9A	19	13	A9	27		1	1	0	111111	94	D5	D3	A3	D7	43	99	DE
4	1	0	1	001110	3D	A5	78	D8	80	1A	53	D8		0	1	0	000100	2D	64	22	0E	E1	0C	D7	C5
5	0	1	0	010010	D4	80	71	38	78	CF	FA	6A		0	0	1	011010	60	E3	61	D4	21	7B	EC	89
6	0	1	1	011111	76	53	22	AE	D1	E0	BB	AD		1	0	0	101101	1B	EE	64	89	51	5B	FE	4C
7	1	1	1	101111	0A	62	39	7F	03	B8	0A	28		1	1	0	010010	30	FC	84	C0	40	FE	C4	24

- 4 ☐ La figura muestra el estado de una caché unificada. Cada línea de caché tiene asociado un bit de validez v , un bit de *dirty* d , un valor a de LRU y una etiqueta de 6 bits. La línea con mayor valor de LRU es la que ha sido accedida más recientemente.

a — (0,5 puntos) ¿Cuántos bloques de memoria deberían ser actualizados en memoria cuando sean reemplazados?

b — (0,5 puntos) Indica la dirección de memoria más baja que al ser accedida produce la actualización de un bloque de memoria principal. Indica «ninguna» si no existe tal dirección. Debes responder en hexadecimal

c — (0,5 puntos) Indica el bloque de memoria más alto que puede ser reemplazado cuando la CPU realiza una lectura. Indica «ninguno» si no existe tal bloque. Debes responder en hexadecimal.

d — (0,5 puntos) Indica el estado de los bits v , d y a de la línea de caché que se verá afectada después de la escritura en la dirección 742h por parte de la interfaz de un periférico con capacidad de DMA. Indica asimismo el conjunto y vía en el que se encuentra esa línea.

$v =$	$d =$	$a =$	conjunto:	vía:
-------	-------	-------	-----------	------

- 5 ☐ Se dispone de un computador cuyas direcciones virtuales son de 36 bits mientras que sus direcciones físicas son de 32 bits. Se sabe además que el tamaño de una página virtual es 4 KiB. Cada entrada en tabla de páginas (ETP) tiene un tamaño de 32 bits y contiene estos campos:

- Marco/Localiz.: Indica el marco de memoria física asociado a la página virtual. *Offset* x representa una localización x en el disco e INVÁLIDO una página sin almacenamiento asignado.
- $R/\overline{W}=1$: Página de sólo lectura; $R/\overline{W}=0$: Página de lectura y escritura.
- $U/\overline{S}=1$: Privilegio de acceso de usuario; $U/\overline{S}=0$: Privilegio de acceso de supervisor.
- P: Bit de presencia.

a — (0,5 puntos) ¿Cuál es el número de entradas de la tabla de páginas de una tarea? ¿Cuál es el tamaño en bytes de la misma suponiendo que tiene un único nivel?

N. entradas:	Tamaño en bytes:
--------------	------------------

A continuación, rellena los huecos que se corresponden con entradas en la tabla de páginas para las siguientes direcciones virtuales. Indica con «—» aquellos campos que no puedan conocerse:

b — (0,5 puntos) Dato almacenado en la pila de una tarea de usuario en la dirección virtual 613F2 892Ah cuya dirección física es E29E 492Ah.

Página virtual	Marco/Localiz.	L/\overline{E}	U/\overline{S}	P

c — (0,5 puntos) Dato almacenado en la sección de datos del sistema operativo en la dirección virtual 1C9C0 BA2Ah cuya dirección física es 4020 1A2Ah.

Página virtual	Marco/Localiz.	L/\overline{E}	U/\overline{S}	P

6 ☐ Responde a la siguiente pregunta sobre E/S.

- a — (0.5 puntos) Se conecta la interfaz de un teclado/ratón a un computador que dispone de un procesador que trabaja a una frecuencia de 2.2 GHz. La interfaz avisa al procesador mediante una interrupción cada vez que dispone de un nuevo evento producido por el teclado o ratón. Se sabe además que el tiempo entre dos interrupciones es de 40 ms. Teniendo en cuenta que la rutina de servicio requiere 700 instrucciones máquina y que el CPI de la CPU es de 1.5 ciclos/instrucción, ¿cuál es el porcentaje de tiempo de CPU que puede consumir la interfaz? **Debes indicar además la expresión empleada para su obtención.**

7 ☐ Responde a la siguiente pregunta acerca del sistema de interconexión del computador.

- a — (0.5 puntos) Para conectar dos componentes c_1 y c_2 en un computador se plantea como mecanismo de interconexión un canal punto a punto serie trabajando a una frecuencia de reloj de 5 GHz donde se transmite un bit en cada flanco, tanto ascendente como descendente, de la señal de reloj y se utiliza una codificación 14/16. Calcula la máxima velocidad de transferencia desde c_1 hasta c_2 que puede alcanzarse en MBytes/s. Nota: $1\text{ M} = 10^6$.