

Nome: Gustavo Pereira Chaves
Matrícula: 19/0014113
Turma: 03A
Data: 19/03/2021

Relatório do Experimento 5

Questão 1:

- Documentação:

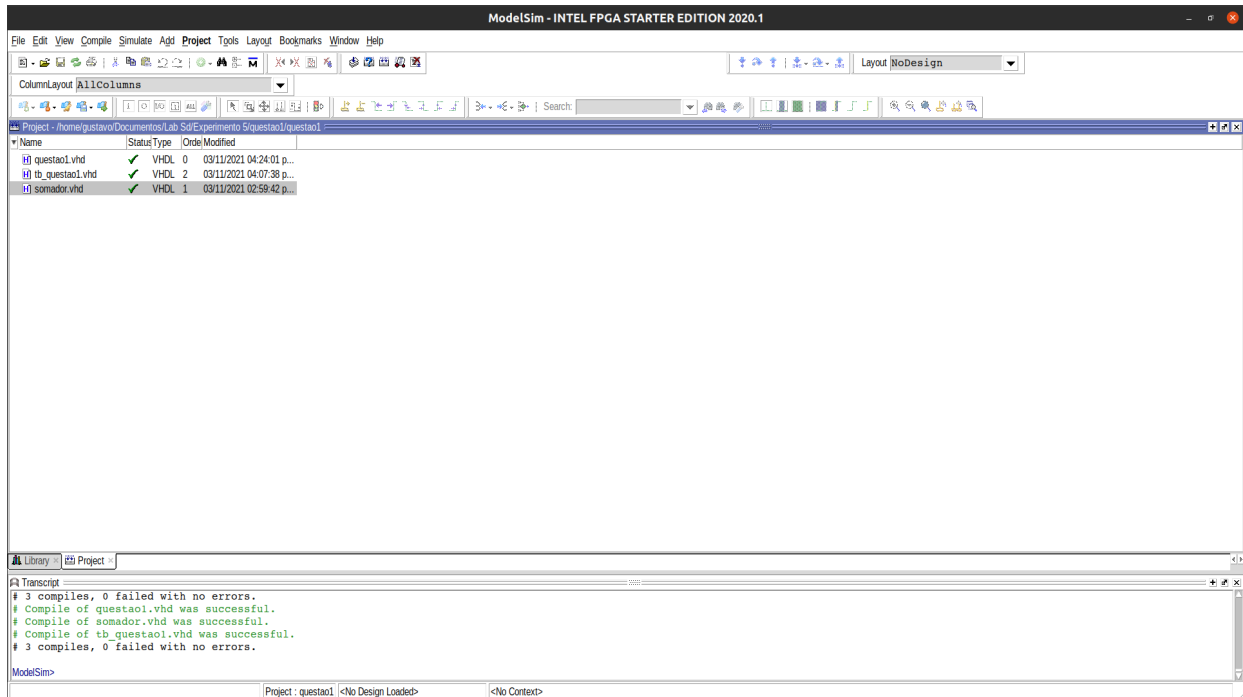
questao1.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  -- Implementação de um somador de palavras de 4 bits utilizando somadores completos
8
9  .. *****
10 -- Circuito: Somador de palavras de 4 bits:
11 --             A Entrada 1
12 --             B Entrada 2
13 --             S Saída
14 .. *****
15
16 --Package (Pacote)
17 --constantes e bibliotecas
18
19 library IEEE;
20 use IEEE.std_logic_1164.all;
21 use ieee.numeric_std.all;
22
23 --Entity (Entidade)
24 --pinos de entrada e saída
25
26 entity questao1 is
27     port (
28         A :in std_logic_vector(3 downto 0);
29         B :in std_logic_vector(3 downto 0);
30         S :out std_logic_vector(4 downto 0)
31     );
32 end questao1;
33
34 --Architecture (Arquitetura)
35 --implementacoes do projeto
36
37 architecture rtl of questao1 is
38
39     -- Declaracao do componente SOMADOR, referente a sua arquitetura descrita no arquivo somador.vhd
40     component SOMADOR is
41         port (
42             A :in std_logic;
43             B :in std_logic;
44             Cin :in std_logic;
45             S :out std_logic;
46             Cout :out std_logic
47         );
48     end component;
49
50     -- Sinais auxiliares para a interconexao
51     signal carry_signal :std_logic_vector(4 downto 0);
52
53
54     -- a definicao inicia por
55     begin
56         carry_signal(0) <= '0';
57
58         -- S = f(A, B)
59         sum: for i in 0 to 3 generate
60             -- Instancia do componente SOMADOR e interconexao do componente as portas de entrada:
61             u0: SOMADOR PORT MAP (A(i), B(i), carry_signal(i), S(i), carry_signal(i+1));
62         end generate;
63
64         S(4) <= carry_signal(4);
65
66     end rtl;
67     -- a definicao termina por end
```

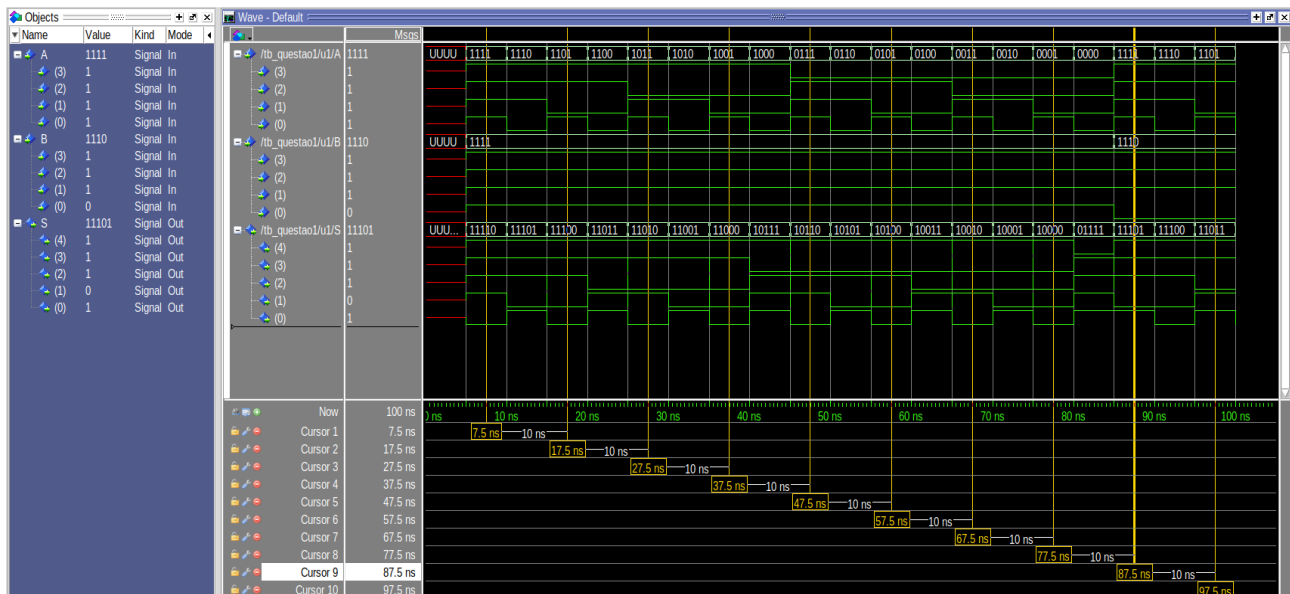
tb_questao1.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  -- Implementação de um somador de palavras de 4 bits utilizando somadores completos
8
9  -- *****
10 -- Testbench para simulação funcional do
11 -- Circuito: Somador de palavras de 4 bits:
12 --           A Entrada 1
13 --           B Entrada 2
14 --           S Saida
15 -- *****
16
17 -- entity (Entidade)
18 -- tb_questao1 uma entidade sem pinos de entrada e saída
19
20 entity tb_questao1 is end;
21
22 --Package (Pacote)
23 --constantes e bibliotecas
24
25 library ieee;
26 use ieee.std_logic_1164.ALL;
27 use std.textio.all;
28 use ieee.numeric_std.all;
29
30 -- Architecture (Arquitetura)
31
32 architecture testbench of tb_questao1 is
33
34 -- Declaracao do componente questao1, referente a sua arquitetura descrita no arquivo questao1.vhd
35
36 component questao1 is
37     port (
38         A :in std_logic_vector(3 downto 0);
39         B :in std_logic_vector(3 downto 0);
40         S :out std_logic_vector(4 downto 0)
41     );
42 end component;
43
44 -- Sinais auxiliares para a interconexao ao
45 -- processo de estimulo
46
47 signal s : std_logic_vector(7 downto 0);
48
49 -- Instancia do componente questao1 e interconexao do componente ao processo de estimulo
50
51 begin
52     u1: questao1 PORT MAP (
53         A => s(3 downto 0),
54         B => s(7 downto 4),
55         S => open
56     );
57
58 -- Implementacao do processo de estimulo
59
60 estimulo: process
61     begin
62         for i in 255 downto 0 loop
63             wait for 5 ns;
64             s <= std_logic_vector(to_unsigned(i, 8));
65         end loop;
66         wait;
67 -- Fim do processo de estimulo
68
69     end process;
70
71 --Fim da definição da arquitetura
72
73 END;
```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,5 ns, A = 1111, B = 1111, S = 11110;
 Cursor 2: Em 17,5 ns, A = 1101, B = 1111, S = 11100;
 Cursor 3: Em 27,5 ns, A = 1011, B = 1111, S = 11010;
 Cursor 4: Em 37,5 ns, A = 1001, B = 1111, S = 11000;
 Cursor 5: Em 47,5 ns, A = 0111, B = 1111, S = 10110;
 Cursor 6: Em 57,5 ns, A = 0101, B = 1111, S = 10100;
 Cursor 7: Em 67,5 ns, A = 0011, B = 1111, S = 10010;
 Cursor 8: Em 77,5 ns, A = 0001, B = 1111, S = 10000;
 Cursor 9: Em 87,5 ns, A = 1111, B = 1110, S = 11101;
 Cursor 10: Em 97,5 ns, A = 1101, B = 1110, S = 11011;

Questão 2:

- Documentação:

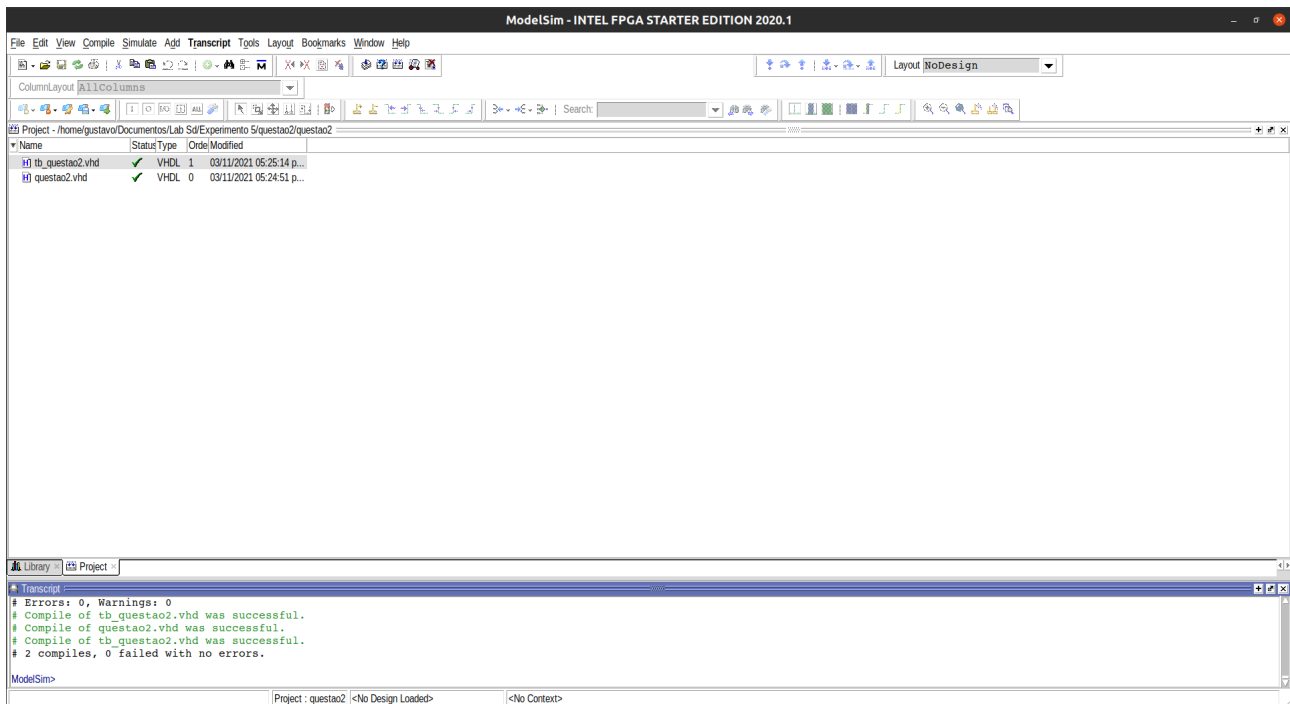
questao2.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  -- Implementação de um somador de palavras de 4 bits utilizando o operador '+'
8
9  -- *****
10 -- Circuito: Somador de palavras de 4 bits:
11 --           A Entrada 1
12 --           B Entrada 2
13 --           S Saida
14 -- *****
15
16 --Package (Pacote)
17 --constantes e bibliotecas
18
19 library IEEE;
20 use IEEE.std_logic_1164.all;
21 use ieee.std_logic_arith.all;
22
23 --Entity (Entidade)
24 --pinos de entrada e saída
25
26 entity questao2 is
27     port (
28         A  :in std_logic_vector(3 downto 0);
29         B  :in std_logic_vector(3 downto 0);
30         S  :out std_logic_vector(4 downto 0)
31     );
32 end questao2;
33
34 --Architecture (Arquitetura)
35 --implementacoes do projeto
36
37 architecture rtl of questao2 is
38 |
39 -- a definicao inicia por
40 begin
41
42 -- S = f(A, B)
43 |   S <= unsigned('0' & A) + unsigned('0' & B);
44 |
45 end rtl;
46 -- a definicao termina por end
```

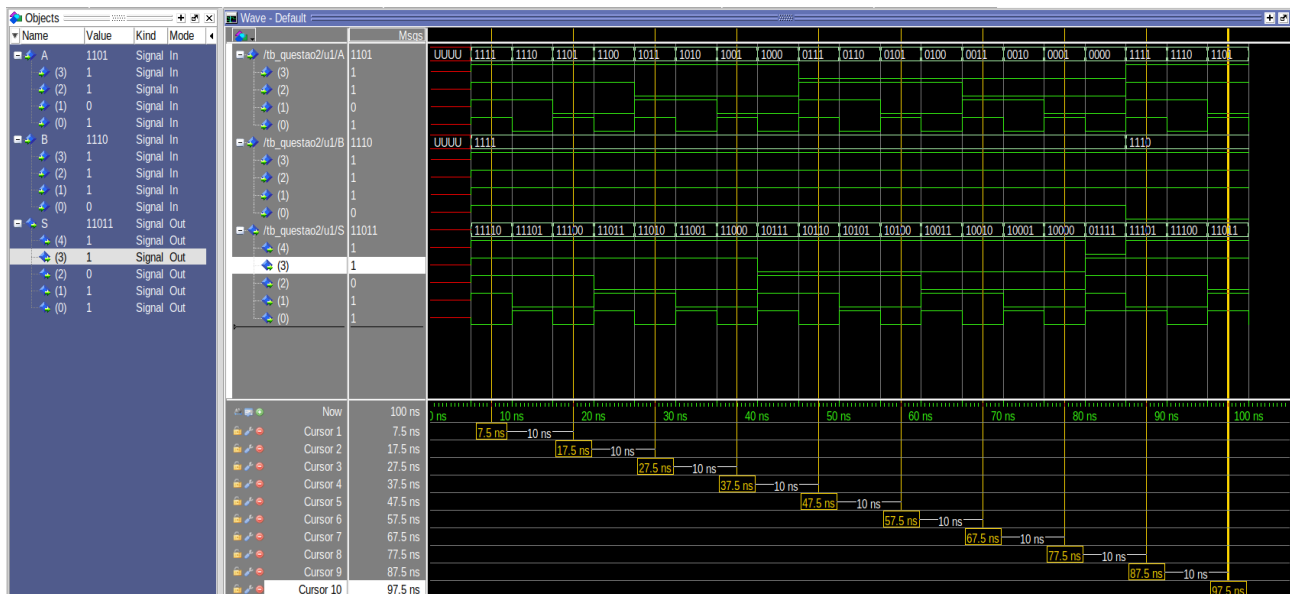
tb_questao2.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  -- Implementação de um somador de palavras de 4 bits utilizando o operador '+'
8
9  -- *****
10 -- Testbench para simulação funcional do
11 -- Circuito: Somador de palavras de 4 bits:
12 --           A Entrada 1
13 --           B Entrada 2
14 --           S Saida
15 -- *****
16
17 -- entity (Entidade)
18 -- tb_questao2 uma entidade sem pinos de entrada e saída
19
20 entity tb_questao2 is end;
21
22 --Package (Pacote)
23 --constantes e bibliotecas
24
25 library ieee;
26 use ieee.std_logic_1164.ALL;
27 use std.textio.all;
28 use ieee.numeric_std.all;
29
30 -- Architecture (Arquitetura)
31
32 architecture testbench of tb_questao2 is
33
34 -- Declaracao do componente questao2, referente a sua arquitetura descrita no arquivo questao2.vhd
35
36 component questao2 is
37     port (
38         A :in std_logic_vector(3 downto 0);
39         B :in std_logic_vector(3 downto 0);
40         S :out std_logic_vector(4 downto 0)
41     );
42 end component;
43
44 -- Sinais auxiliares para a interconexao ao
45 -- processo de estimulo
46
47 signal s : std_logic_vector(7 downto 0);
48
49 -- Instancia do componente questao1 e interconexao do componente ao processo de estimulo
50
51 begin
52     u1: questao2 PORT MAP (
53         A => s(3 downto 0),
54         B => s(7 downto 4),
55         S => open
56     );
57
58 -- Implementacao do processo de estimulo
59
60 estimulo: process
61     begin
62         for i in 255 downto 0 loop
63             wait for 5 ns;
64             s <= std_logic_vector(to_unsigned(i, 8));
65         end loop;
66         wait;
67     -- Fim do processo de estimulo
68
69 end process;
70
71 --Fim da definição da arquitetura
72
73 END;
```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,5 ns, A = 1111, B = 1111, S = 11110;
 Cursor 2: Em 17,5 ns, A = 1101, B = 1111, S = 11100;
 Cursor 3: Em 27,5 ns, A = 1011, B = 1111, S = 11010;
 Cursor 4: Em 37,5 ns, A = 1001, B = 1111, S = 11000;
 Cursor 5: Em 47,5 ns, A = 0111, B = 1111, S = 10110;
 Cursor 6: Em 57,5 ns, A = 0101, B = 1111, S = 10100;
 Cursor 7: Em 67,5 ns, A = 0011, B = 1111, S = 10010;
 Cursor 8: Em 77,5 ns, A = 0001, B = 1111, S = 10000;
 Cursor 9: Em 87,5 ns, A = 1111, B = 1110, S = 11101;
 Cursor 10: Em 97,5 ns, A = 1101, B = 1110, S = 11011;

Questão 3:

- Documentação:

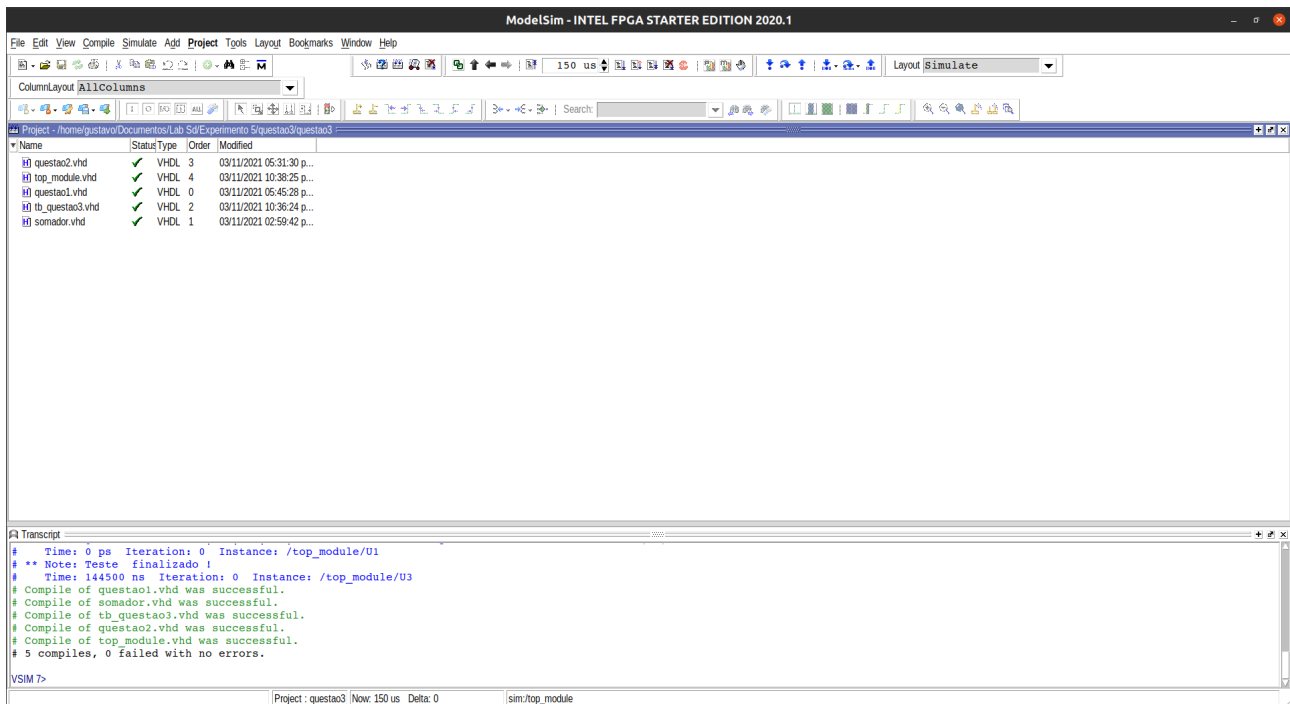
tb_questao3.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  -- Testbench que compara o dut (questão 1) com o golden module (questão 2)
8
9  -- *****
10 -- Testbench para validação do
11 -- Circuito: Somador de palavras de 4 bits:
12 --           A Entrada 1
13 --           B Entrada 2
14 --           S Saída
15 -- *****
16
17 --Package (Pacote)
18 --constantes e bibliotecas
19
20 library ieee;
21 use ieee.std_logic_1164.ALL;
22 use std.textio.all;
23 use ieee.numeric_std.all;
24
25 --Entity (Entidade)
26 --pinos de entrada e saída
27
28 entity tb_questao3 is
29     port (
30         A :out std_logic_vector(3 downto 0);
31         B :out std_logic_vector(3 downto 0);
32         dut :in std_logic_vector(4 downto 0);
33         gm :in std_logic_vector(4 downto 0)
34     );
35 end tb_questao3;
36
37 -- Architecture (Arquitetura)
38
39 architecture testbench_arch of tb_questao3 is
40
41     -- Sinal auxiliar para a interconexao ao
42     -- processo de estimulo
43
44     begin
45
46     -- Implementacao do processo de estimulo
47
48     process
49     begin
50         report "Iniciando teste ..." severity NOTE;
51         for i in 0 to 16 loop
52             A <= std_logic_vector(to_unsigned(i, 4));
53             for j in 0 to 16 loop
54                 B <= std_logic_vector(to_unsigned(j, 4));
55                 wait for 500 ns;
56
57                 assert(dut = gm) report "Teste Falhou" severity ERROR;
58             end loop;
59         end loop;
60         report "Teste finalizado !" severity NOTE;
61         wait;
62     -- Fim do processo de estimulo
63
64     end process;
65
66 --Fim da definição da arquitetura
67 END;
```

top_module.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 19/03/2021
6
7  | -- TopModule para interconexão de todos os componentes
8  |
9  | .. *****
10 | -- TopModule do Circuito: Somador de palavras de 4 bits
11 | --           A Entrada 1
12 | --           B Entrada 2
13 | --           S Saida
14 | .. *****
15
16 | -- entity (Entidade)
17 | -- top_module uma entidade sem pinos de entrada e saída
18
19 | entity top_module is end;
20
21 | --Package (Pacote)
22 | --constantes e bibliotecas
23
24 | library ieee;
25 | use ieee.std_logic_1164.ALL;
26 | use std.textio.all;
27 | use ieee.numeric_std.all;
28
29 | -- Architecture (Arquitetura)
30
31 | architecture topmodule_arch of top_module is
32
33 | -- Declaracao do componente questao1, referente a sua arquitetura descrita no arquivo questao1.vhd
34
35 | component questao1 is
36 |     port (
37 |         A :in std_logic_vector(3 downto 0);
38 |         B :in std_logic_vector(3 downto 0);
39 |         S :out std_logic_vector(4 downto 0)
40 |     );
41 | end component;
42
43 | -- Declaracao do componente questao2, referente a sua arquitetura descrita no arquivo questao2.vhd
44
45 | component questao2 is
46 |     port (
47 |         A :in std_logic_vector(3 downto 0);
48 |         B :in std_logic_vector(3 downto 0);
49 |         S :out std_logic_vector(4 downto 0)
50 |     );
51 | end component;
52
53 | -- Declaracao do componente tb_questao3, referente a sua arquitetura descrita no arquivo tb_questao3.vhd
54
55 | component tb_questao3 is
56 |     port (
57 |         A :out std_logic_vector(3 downto 0);
58 |         B :out std_logic_vector(3 downto 0);
59 |         dut :in std_logic_vector(4 downto 0);
60 |     );
61 | end component;
62
63
64
65 | -- Sinais auxiliares para a interconexao ao
66 | -- processo de estimulo
67
68 | signal a, b :std_logic_vector(3 downto 0);
69 | signal s_dut, s_gm :std_logic_vector(4 downto 0);
70
71 | -- Instancias dos componentes questao1, questao2 e tb_questao3, e interconexao dos componentes
72
73 | begin
74 |     U0: questao1 PORT MAP(a, b, s_dut);
75 |     U1: questao2 PORT MAP(a, b, s_gm);
76 |     U3: tb_questao3 PORT MAP(a, b, s_dut, s_gm);
77
78 | --Fim da definição da arquitetura
79
80 | END;
```


- **Compilação:**



- **Simulação:**

