

Nome: Gustavo Pereira Chaves
Matrícula: 19/0014113
Turma: 03A
Data: 26/02/2021

Relatório do Experimento 2

Questão 1:

- Documentação:

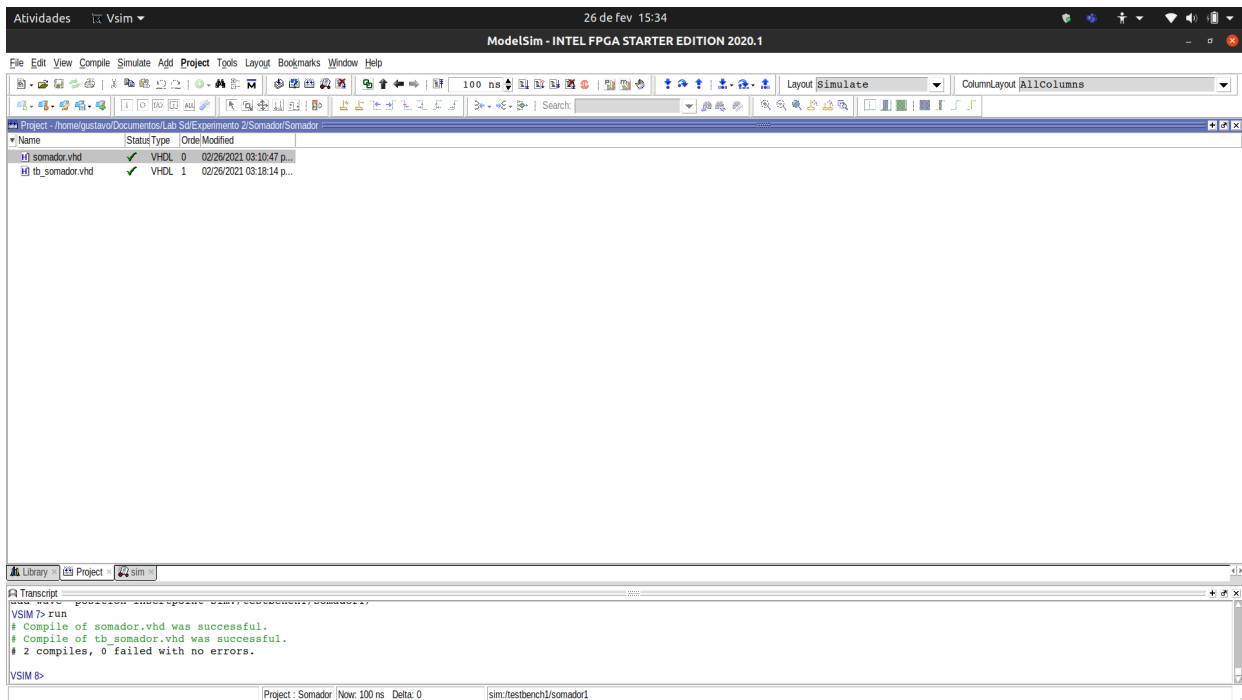
somador.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Data : 26/02/2021
5
6  -- Implementação de um Somador Completo com 3 bits de entrada e 2 de saída, descrito por duas funções lógicas:
7
8  -- *****
9  -- Circuito: Somador de 3 entradas:
10 --           A Entrada 1
11 --           B Entrada 2
12 --           Cin Entrada 3
13 --           S Saida 1
14 --           Cout Saida2
15 -- *****
16
17 --Package (Pacote)
18 --constantes e bibliotecas
19
20 library IEEE;
21 use IEEE.std_logic_1164.all;
22
23 --Entity (Entidade)
24 --pinos de entrada e saída
25
26 entity SOMADOR is port (
27
28     A      :in std_logic;
29     B      :in std_logic;
30     Cin    :in std_logic;
31     S      :out std_logic;
32     Cout   :out std_logic );
33 end SOMADOR;
34
35
36 --Architecture (Arquitetura)i
37 --implementacoes do projeto
38
39 architecture rtl of SOMADOR is
40
41     -- a definicao inicia por
42     begin
43
44         -- S = f(A,B,Cin)
45
46         S <= A xor B xor Cin;
47
48         -- Cout = f(A,B,Cin)
49
50         Cout <= (A and B) or (A and Cin) or (B and Cin);
51
52
53     end rtl;
54
55     -- a definicao termina por end
```

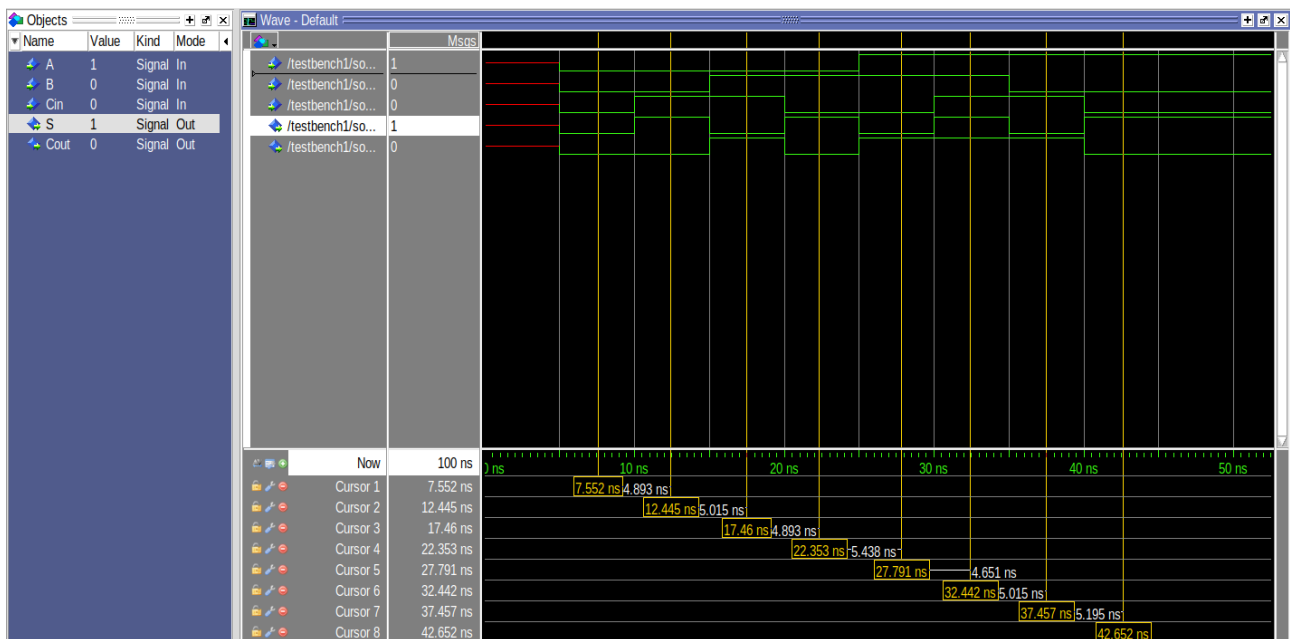
tb_somador.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Data : 26/02/2021
5
6  -- Testbench da Implementação de um Somador Completo com 3 bits de entrada e 2 de saída, descrito por duas funções lógicas
7
8  -- *****
9  -- Testbench para a simulacao Funcional do
10 -- Circuito: Somador de 3 entradas:
11 --           A Entrada 1
12 --           B Entrada 2
13 --           Cin Entrada 3
14 --           S Saida 1
15 --           Cout Saida2
16 -- *****
17
18 -- entity (Entidade)
19 -- testbench1 uma entidade sem pinos de entrada e saída
20
21 entity testbench1 is end;
22
23 --Package (Pacote)
24 --constantes e bibliotecas
25
26 library ieee;
27 use ieee.std_logic_1164.ALL;
28 use std.textio.all;
29
30
31 -- Architecture (Arquitetura)
32
33 architecture tb_somador of testbench1 is
34
35 -- Declaracao do componente somador, referente a sua arquitetura descrita no arquivo somador.vhd
36
37 component SOMADOR is
38 port(
39     A      :in std_logic;
40     B      :in std_logic;
41     Cin    :in std_logic;
42     S      :out std_logic;
43     Cout   :out std_logic
44 );
45 end component;
46
47 -- Sinais auxiliares para a interconexao ao
48 -- processo de estimulo
49
50     signal a  : std_logic;
51     signal b  : std_logic;
52     signal cin : std_logic;
53
54 -- Instancia do componente somador e interconexao do componente ao processo de estimulo
55
56 begin
57     somador1: SOMADOR PORT MAP (A => a, B => b, Cin => cin, S => open, Cout => open);
58
59 -- Implementacao do processo de estimulo
60
61     estimulo: process
62     begin
63
64         wait for 5 ns; a <= '0'; b <= '0'; cin <= '0';
65         wait for 5 ns; cin <= '1';
66         wait for 5 ns; b <= '1';
67         wait for 5 ns; cin <= '0';
68         wait for 5 ns; a <= '1';
69         wait for 5 ns; cin <= '1';
70         wait for 5 ns; b <= '0';
71         wait for 5 ns; cin <= '0';
72         wait;
73
74 -- Fim do processo de estimulo
75
76     end process;
77
78 --Fim da definição da arquitetura
79
80 END;
81
```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,552 ns, A = 0, B = 0, Cin = 0, S = 0, Cout = 0;
Cursor 2: Em 12,445 ns, A = 0, B = 0, Cin = 1, S = 1, Cout = 0;
Cursor 3: Em 17,460 ns, A = 0, B = 1, Cin = 1, S = 0, Cout = 1;
Cursor 4: Em 22,253 ns, A = 0, B = 1, Cin = 0; S = 1, Cout = 0;
Cursor 5: Em 27,791 ns, A = 1, B = 1, Cin = 0, S = 0, Cout = 1;
Cursor 6: Em 32,442 ns, A = 1, B = 1, Cin = 1, S = 1, Cout = 1;
Cursor 7: Em 37,457 ns, A = 1, B = 0, Cin = 1, S = 0, Cout = 1;
Cursor 8: Em 42,652 ns, A = 1, B = 0, Cin = 0, S = 1, Cout = 0;

Questão 2:

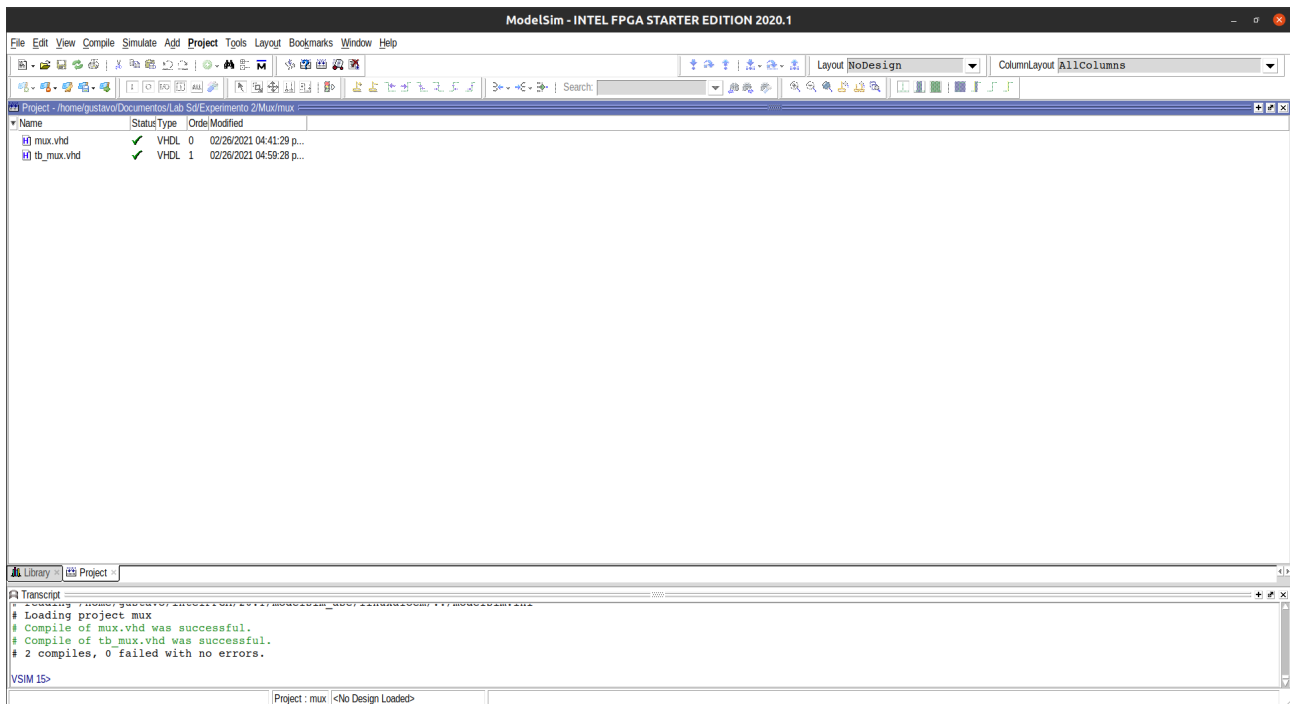
- **Documentação:**
mux.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Data : 26/02/2021
5
6  -- Implementação de um Multiplexador 4x1 (4 entradas de dados, 1 saída e 1 seletor de 2 bits)
7
8  -- *****
9  -- Circuito: Multiplexador de 2 entradas:
10 --             D Entrada 1
11 --             S Seletor
12 --             Y Saída
13 -- *****
14
15 --Package (Pacote)
16 --constantes e bibliotecas
17
18 library IEEE;
19 use IEEE.std_logic_1164.all;
20
21 --Entity (Entidade)
22 --pinos de entrada e saída
23
24 entity mux is port (
25
26     D   :in std_logic_vector(3 downto 0);
27     S   :in std_logic_vector(1 downto 0);
28     Y   :out std_logic;
29 end mux;
30
31
32 --Architecture (Arquitetura)i
33 --implementacoes do projeto
34
35 architecture rtl of mux is
36
37     -- a definicao inicia por
38     begin
39
40         -- Y = f(S, D)
41
42         process (D, S) is
43         begin
44             if S = "00" then
45                 Y <= D(0);
46             elsif S = "01" then
47                 Y <= D(1);
48             elsif S = "10" then
49                 Y <= D(2);
50             elsif S = "11" then
51                 Y <= D(3);
52             end if;
53         end process;
54
55     end rtl;
56
57     -- a definicao termina por end
58
```

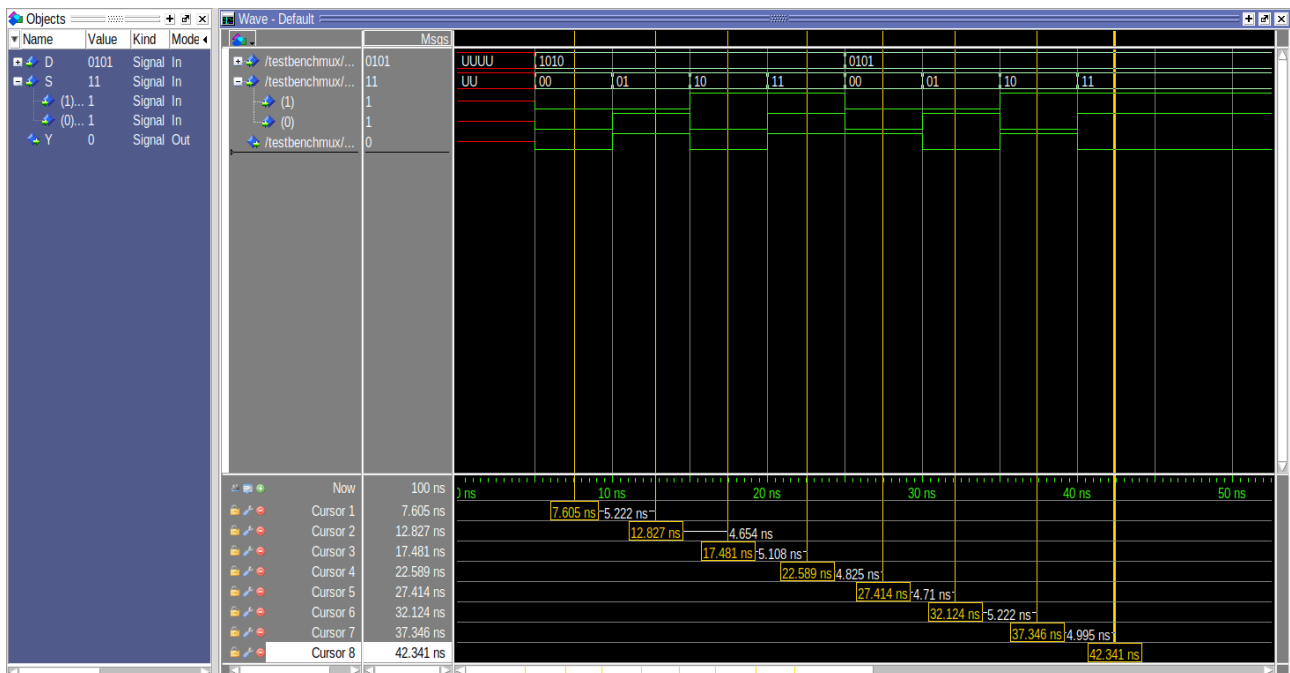
tb_mux.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Data : 26/02/2021
5
6  -- Implementação de um Multiplexador 4x1 (4 entradas de dados, 1 saída e 1 seletor de 2 bits)
7
8  -- *****
9  -- Testbench para simulação funcional do
10 -- Circuito: Multiplexador de 2 entradas:
11 --           D Entrada 1
12 --           S Seletor
13 --           Y Saída
14 -- *****
15
16 -- entity (Entidade)
17 -- testbenchmux uma entidade sem pinos de entrada e saída
18
19 entity testbenchmux is end;
20
21 --Package (Pacote)
22 --constantes e bibliotecas
23
24 library ieee;
25 use ieee.std_logic_1164.ALL;
26 use std.textio.all;
27
28
29 -- Architecture (Arquitetura)
30
31 architecture tb_mux of testbenchmux is
32
33 -- Declaração do componente somador, referente a sua arquitetura descrita no arquivo somador.vhd
34
35 component mux is
36 port(
37     D :in std_logic_vector(3 downto 0);
38     S :in std_logic_vector(1 downto 0);
39     Y :out std_logic
40 );
41 end component;
42
43 -- Sinais auxiliares para a interconexão ao
44 -- processo de estímulo
45
46 signal d : std_logic_vector(3 downto 0);
47 signal s : std_logic_vector(1 downto 0);
48
49 -- Instância do componente somador e interconexão do componente ao processo de estímulo
50
51 begin
52     mux1: mux PORT MAP (D => d, S => s, Y => open);
53
54 -- Implementação do processo de estímulo
55
56 estímulo: process
57 begin
58
59     wait for 5 ns; d <= "1010"; s <= "00";
60     wait for 5 ns; s <= "01";
61     wait for 5 ns; s <= "10";
62     wait for 5 ns; s <= "11";
63     wait for 5 ns; d <= "0101"; s <= "00";
64     wait for 5 ns; s <= "01";
65     wait for 5 ns; s <= "10";
66     wait for 5 ns; s <= "11";
67     wait;
68
69 -- Fim do processo de estímulo
70
71 end process;
72
73 --Fim da definição da arquitetura
74
75 END;
```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,706 ns, D = 1010, S = 00, Y = 0;
 Cursor 2: Em 12,827 ns, D = 1010, S = 01, Y = 1;
 Cursor 3: Em 17,481 ns, D = 1010, S = 10, Y = 0;
 Cursor 4: Em 22,589 ns, D = 1010, S = 11, Y = 1;
 Cursor 5: Em 27,414 ns, D = 0101, S = 00, Y = 1;
 Cursor 6: Em 32,124 ns, D = 0101, S = 01, Y = 0;
 Cursor 7: Em 37,346 ns, D = 0101, S = 10, Y = 1;
 Cursor 8: Em 42,341 ns, D = 0101, S = 11, Y = 0;