

Nome: Gustavo Pereira Chaves
Matrícula: 19/0014113
Turma: 03A
Data: 12/03/2021

Relatório do Experimento 4

Questão 1:

- Documentação:
questao1.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 12/03/2021
6
7  -- Implementação das funções booleanas  $X = A'.B'.C' + A.B'.C' + A.B$  e  $Y = A'.B' + A'.B.C' + A.B.C$  utilizando
8  -- 2 multiplexadores como component
9
10 -- *****
11 -- Circuito: 2 funções booleanas de 3 entradas:
12 --           A Entrada 1
13 --           B Entrada 2
14 --           C Entrada 3
15 --           X Saida 1
16 --           Y Saida 2
17 -- *****
18
19 --Package (Pacote)
20 --constantes e bibliotecas
21
22 library IEEE;
23 use IEEE.std_logic_1164.all;
24 use ieee.numeric_std.all;
25
26 --Entity (Entidade)
27 --pinos de entrada e saída
28
29 entity questao1 is
30     port (
31         A    :in std_logic;
32         B    :in std_logic;
33         C    :in std_logic;
34         X    :out std_logic;
35         Y    :out std_logic
36     );
37 end questao1;
38
39
40 --Architecture (Arquitetura)
41 --implementacoes do projeto
42
43 architecture rtl of questao1 is
44
45     -- Declaracao do componente mux, referente a sua arquitetura descrita no arquivo mux.vhd
46     component mux is
47         port (
48             D    :in std_logic_vector(3 downto 0);
49             S    :in std_logic_vector(1 downto 0);
50             Y    :out std_logic
51         );
52     end component;
```

```

53 |
54 | -- Sinais auxiliares para a interconexao
55 | signal d1_signal :std_logic_vector(3 downto 0);
56 | signal d2_signal :std_logic_vector(3 downto 0);
57 | signal s_signal :std_logic_vector(1 downto 0);
58 |
59 | -- a definicao inicia por
60 | begin
61 | -- Instancias do componente mux e interconexao do componente as portas de entrada:
62 |
63 | -- X = f(A, B, C)
64 |     u1: mux PORT MAP (d1_signal, s_signal, X);
65 |
66 |     d1_signal(0) <= '0';
67 |     d1_signal(1) <= C;
68 |     d1_signal(2) <= not C;
69 |     d1_signal(3) <= '1';
70 |     s_signal(1) <= A;
71 |     s_signal(0) <= B;
72 |
73 | -- Y = f(A, B, C)
74 |     u2: mux PORT MAP (d2_signal, s_signal, Y);
75 |
76 |     d2_signal(0) <= '1';
77 |     d2_signal(1) <= not C;
78 |     d2_signal(2) <= '0';
79 |     d2_signal(3) <= C;
80 |
81 | end rtl;
82 | -- a definicao termina por end

```

tb_questao1.vhd

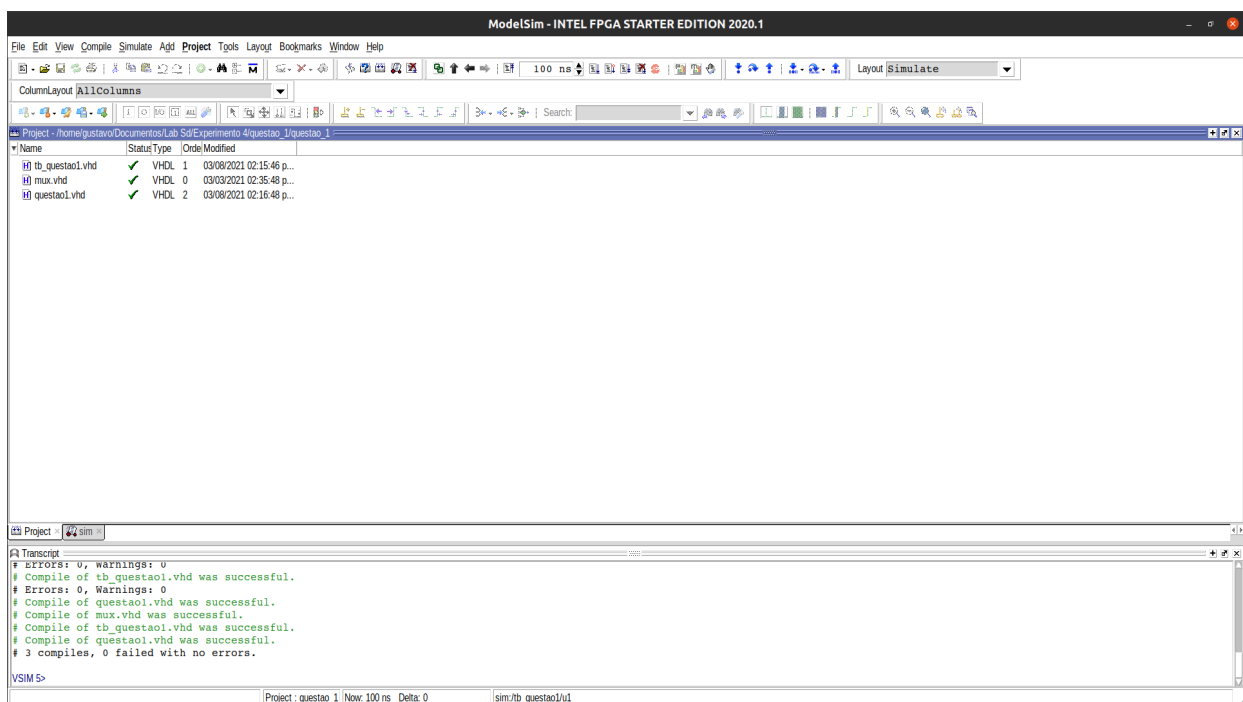
```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 12/03/2021
6
7  -- Implementação das funções booleanas  $X = A'.B'.C' + A.B'.C' + A.B$  e  $Y = A'.B' + A'.B.C' + A.B.C$  utilizando
8  -- 2 multiplexadores como component
9
10 -- *****
11 -- Testbench para simulação funcional do
12 -- Circuito: 2 funções booleanas de 3 entrada:
13 --           A Entrada 1
14 --           B Entrada 2
15 --           C Entrada 3
16 --           X Saida 1
17 --           Y Saida 2
18 -- *****
19
20 -- entity (Entidade)
21 -- tb_questao1 uma entidade sem pinos de entrada e saída
22
23 entity tb_questao1 is end;
24
25 --Package (Pacote)
26 --constantes e bibliotecas
27
28 library ieee;
29 use ieee.std_logic_1164.ALL;
30 use std.textio.all;
31 use ieee.numeric_std.all;
32
33 -- Architecture (Arquitetura)
34
35 architecture testbench of tb_questao1 is
36
37 -- Declaracao do componente questao1, referente a sua arquitetura descrita no arquivo questao1.vhd
38
39 component questao1 is
40     port (
41         A :in std_logic;
42         B :in std_logic;
43         C :in std_logic;
44         X :out std_logic;
45         Y :out std_logic
46     );
47 end component;
48
49 -- Sinais auxiliares para a interconexao ao
50 -- processo de estimulo
51
52 signal s : std_logic_vector(2 downto 0);
53
```

```

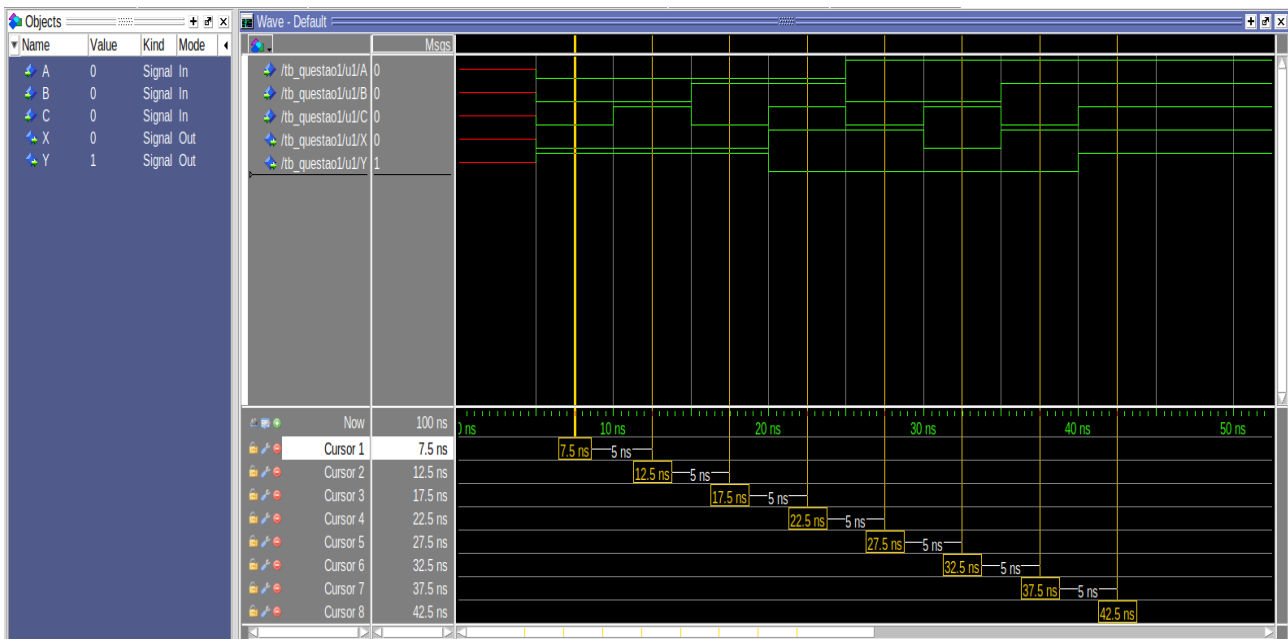
54  -- Instancia do componente questao1 e interconexao do componente ao processo de estimulo
55
56  begin
57      u1: questao1 PORT MAP (
58          A => s(2),
59          B => s(1),
60          C => s(0),
61          X => open,
62          Y => open
63      );
64
65  -- Implementacao do processo de estimulo
66
67  estimulo: process
68      begin
69          for i in 0 to 7 loop
70              wait for 5 ns;
71              s <= std_logic_vector(to_unsigned(i, 3));
72          end loop;
73          wait;
74  -- Fim do processo de estimulo
75
76  end process;
77
78  --Fim da definicao da arquitetura
79
80  END;

```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,5 ns, A = 0, B = 0, C = 0, X = 0, Y = 1;
Cursor 2: Em 12,5 ns, A = 0, B = 0, C = 1, X = 0, Y = 1;
Cursor 3: Em 17,5 ns, A = 0, B = 1, C = 0, X = 0, Y = 1;
Cursor 4: Em 22,5 ns, A = 0, B = 1, C = 1, X = 1, Y = 0;
Cursor 5: Em 27,5 ns, A = 1, B = 0, C = 0, X = 1, Y = 0;
Cursor 6: Em 32,5 ns, A = 1, B = 0, C = 1, X = 0, Y = 0;
Cursor 7: Em 37,5 ns, A = 1, B = 1, C = 0, X = 1, Y = 0;
Cursor 8: Em 42,5 ns, A = 1, B = 1, C = 1, X = 1, Y = 1;

Questão 2:

- Documentação:

questao2.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 12/03/2021
6
7  -- Implementação das função booleana:  $S = F.G + A.B.C.D.E'.F'.G + A'.B'.C'.D'.E'.F'.G + A.B'.C.E.F.G' +$ 
8  --  $A'.B.C.D.E'.F.G' + A.B.C.D.E.F'.G' + A.B'.C'.D.E.F'.G'$ ,
9  -- utilizando um decodificador de 4 para 16 bits e um multiplexador de 8 bits de entrada.
10
11  -- *****
12  -- Circuito: 1 função booleana de 7 entradas:
13  --           A Entrada 1
14  --           B Entrada 2
15  --           C Entrada 3
16  --           D Entrada 4
17  --           E Entrada 5
18  --           F Entrada 6
19  --           G Entrada 7
20  --           S Saida
21  -- *****
22
23  --Package (Pacote)
24  --constantes e bibliotecas
25
26  library IEEE;
27  use IEEE.std_logic_1164.all;
28  use ieee.numeric_std.all;
29
30  --Entity (Entidade)
31  --pinos de entrada e saída
32
33  entity questao2 is
34  |   port (
35  |       A, B, C, D, E, F, G :in std_logic;
36  |       S :out std_logic
37  |   );
38  end questao2;
39
40
41  --Architecture (Arquitetura)
42  --implementacoes do projeto
43
44  architecture rtl of questao2 is
45
46  -- Declaracao do componente mux_8x1, referente a sua arquitetura descrita no arquivo mux_8x1.vhd
47  |   component mux_8x1 is
48  |       port (
49  |           D :in std_logic_vector(7 downto 0);
50  |           S :in std_logic_vector(2 downto 0);
51  |           Y :out std_logic
52  |       );
53  |   end component;
54
```



```

55 -- Declaracao do componente decod_4x16, referente a sua arquitetura descrita no arquivo decod_4x16.vhd
56 component decod_4x16 is
57     port (
58         A    :in std_logic_vector(3 downto 0);
59         Y    :out std_logic_vector(15 downto 0)
60     );
61 end component;
62
63 -- Sinais auxiliares para a interconexao
64 signal y_signal : std_logic_vector(15 downto 0);
65 signal d_signal : std_logic_vector(7 downto 0);
66
67 -- a definicao inicia por
68 begin
69 --S = f(A,B,C,D,E,F,G)
70
71 -- Instancia do componente decod_4x16 e interconexao do componente as portas de entrada:
72 u0: decod_4x16 PORT MAP (
73     A(3) => A,
74     A(2) => B,
75     A(1) => C,
76     A(0) => D,
77     Y => y_signal
78 );
79
80 -- Instancia do componente mux_8x1 e interconexao do componente as portas de entrada:
81 u1: mux_8x1 PORT MAP (
82     D => d_signal,
83     S(2) => E,
84     S(1) => F,
85     S(0) => G,
86     Y => S
87 );
88
89 d_signal(0) <= '0';
90 d_signal(1) <= y_signal(0) or y_signal(15);
91 d_signal(2) <= y_signal(7);
92 d_signal(3) <= '1';
93 d_signal(4) <= y_signal(9) or y_signal(15);
94 d_signal(5) <= '0';
95 d_signal(6) <= y_signal(10) or y_signal(11);
96 d_signal(7) <= '1';
97
98 end rtl;
99 -- a definicao termina por end

```

tb_questao2.vhd

```
1  -- Universidade de Brasília
2  -- Laboratório de Sistemas Digitais
3  -- Autor : Gustavo Pereira Chaves
4  -- Matrícula: 19/0014113
5  -- Data : 12/03/2021
6
7  -- Implementação das função booleana:  $S = F.G + A.B.C.D.E'.F'.G + A'.B'.C'.D'.E'.F'.G + A.B'.C.E.F.G' +$ 
8  --  $A'.B.C.D.E'.F.G' + A.B.C.D.E.F'.G' + A.B'.C'.D.E.F'.G'$ ,
9  -- utilizando um decodificador de 4 para 16 bits e um multiplexador de 8 bits de entrada.
10
11  -- *****
12  -- Testbench para simulação funcional do
13  -- Circuito: 1 função booleana de 7 entradas:
14  --           A Entrada 1
15  --           B Entrada 2
16  --           C Entrada 3
17  --           D Entrada 4
18  --           E Entrada 5
19  --           F Entrada 6
20  --           G Entrada 7
21  --           S Saida
22  -- *****
23
24  entity tb_questao2 is end;
25
26  --Package (Pacote)
27  --constantes e bibliotecas
28
29  library ieee;
30  use ieee.std_logic_1164.ALL;
31  use std.textio.all;
32  use ieee.numeric_std.all;
33
34  -- Architecture (Arquitetura)
35
36  architecture testbench of tb_questao2 is
37
38  -- Declaracao do componente questao2, referente a sua arquitetura descrita no arquivo questao2.vhd
39
40  component questao2 is
41  port (
42  A, B, C, D, E, F, G :in std_logic;
43  S :out std_logic
44  );
45  end component;
46
47  -- Sinais auxiliares para a interconexao ao
48  -- processo de estimulo
49
50  signal s : std_logic_vector(6 downto 0);
51
52
```

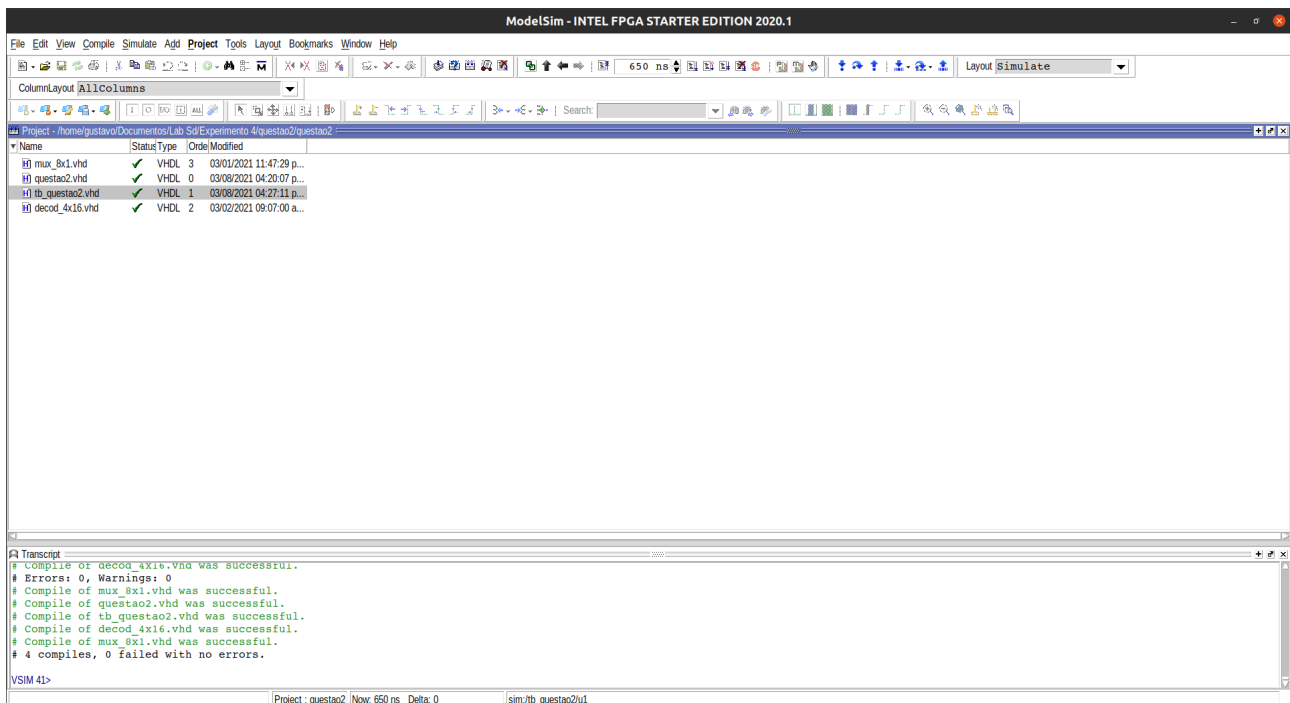


```

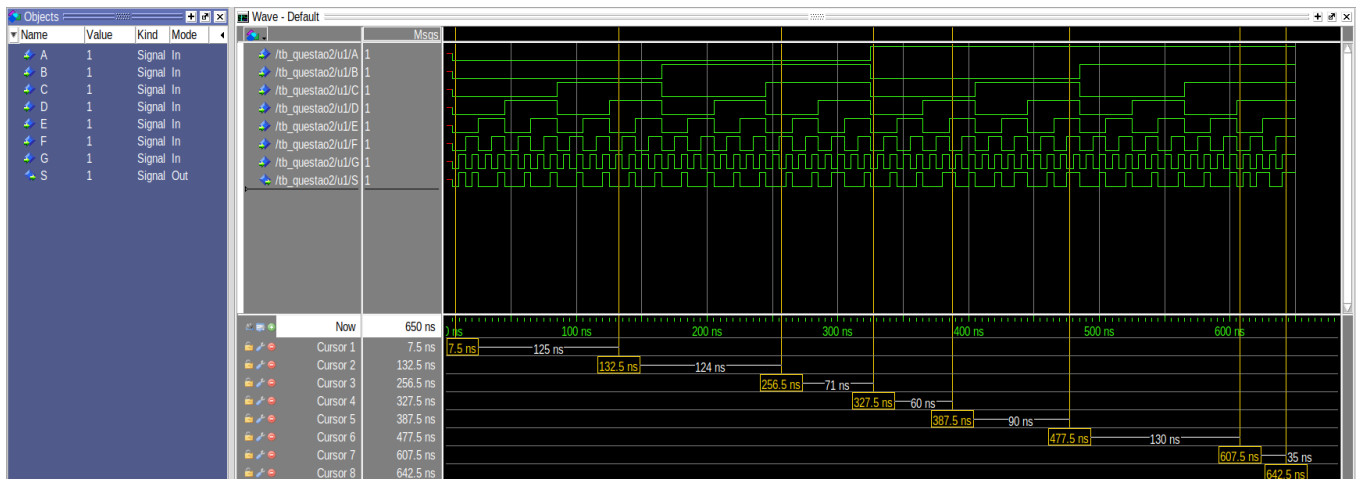
--
53  -- Instancia do componente questao1 e interconexao do componente ao processo de estimulo
54
55  begin
56      u1: questao2 PORT MAP (
57          A => s(6),
58          B => s(5),
59          C => s(4),
60          D => s(3),
61          E => s(2),
62          F => s(1),
63          G => s(0),
64          S => open
65      );
66
67  -- Implementacao do processo de estimulo
68
69  estimulo: process
70      begin
71          for i in 0 to 127 loop
72              wait for 5 ns;
73              s <= std_logic_vector(to_unsigned(i, 7));
74          end loop;
75          wait;
76  -- Fim do processo de estimulo
77
78  end process;
79
80  --Fim da definicao da arquitetura
81
82  END;

```

- **Compilação:**



- **Simulação do Código:**



Cursor 1: Em 7,5 ns, A = 0, B = 0, C = 0, D = 0, E = 0, F = 0, G = 0, S = 0;

Cursor 2: Em 132,5 ns, A = 0, B = 0, C = 1, D = 1, E = 0, F = 0, G = 1, S = 0;

Cursor 3: Em 256,5 ns, A = 0, B = 1, C = 1, D = 0, E = 0, F = 1, G = 0, S = 0;

Cursor 4: Em 327,5 ns, A = 1, B = 0, C = 1, D = 1, E = 0, F = 0, G = 1, S = 0;

Cursor 5: Em 387,5 ns, A = 1, B = 0, C = 0, D = 1, E = 1, F = 0, G = 0, S = 1;

Cursor 6: Em 477,5 ns, A = 1, B = 0, C = 1, D = 1, E = 1, F = 1, G = 0, S = 1;

Cursor 7: Em 607,5 ns, A = 1, B = 1, C = 1, D = 1, E = 0, F = 0, G = 0, S = 0;

Cursor 8: Em 77,5 ns, A = 1, B = 1, C = 1, D = 1, E = 1, F = 1, G = 1, S = 1;