Trabalho 6 – Organização e Arquitetura de Computadores Projeto e Simulação de uma ULA no Risc-V

Aluno: Gustavo Pereira Chaves Matrícula: 19/0014113 Turma: C

1. Objetivos

Este trabalho tem por objetivo a simulação a simulação de uma ULA do RISC-V de 32 bits.

2. Documentação

Para a implementação do problema, foram desenvolvidos dois arquivos em vhdl, o trabalho6.vhd, que armazena propriamente o módulo desenvolvido que simula a ULA, e o arquivo testbench.vhd, que testa o programa.

2.1. trabalho6.vhd

Nesse arquivo foi criada a entidade ulaRV assim como explicitado nas instruções do trabalho, tendo como parâmetros de entrada o opcode (indica a instrução a ser realizada), A e B (os dados a serem operados). O componente possui também como saída Z (resultado da operação) e cond (utilizado para operações que resultam em true ou false).

Já com relação a implementação da arquitetura foi criado um processo que utiliza de um "case-when" no opcode para identificar qual operação deve ser realizada, implementando assim todas as que foram solicitadas.

Cabe ressaltar a diferença entre as operações com e sem sinal. Quando essas são realizadas sem sinal, é utilizada a notação simples, ou seja, desconsiderando a existência de números negativos. No entanto, utilizando os bits com sinal, adota-se a notação de complemento de 2, reservando o primeiro bit como sinal.

2.2 testbench.vhd

Já no testbench, é declarado o componente **ulaRB**, bem como os sinais auxiliares para a interconexão com o processo de estímulo, que deve testar o módulo desenvolvido.

O processo de testes ocorreu realizando uma atribuição de valores as entradas A, B e opcode, utilizando a função assert para verificar se o resultado corresponde ao esperado. Para as funções aritméticas de ADD e SUB foram

realizadas três tipos de testes, considerando resultados positivos, negativos e zero. Para aferir os resultados também foi utilizada a geração de formas de onda, que apresentou os seguintes resultados:



Assim, realizando as operações de forma manual, como controle, conclui-se que todas as operações funcionaram de forma correta.