

Instituto de Matemática e Estatística  
Monografia dos curso Organização de Computadores

## Arquitetura do Console Nintendo 64

**Professor:** Siang Wun Song

**Alunos:** Antônio Augusto Abello  
Gustavo Estrela de Matos  
Lucas Romão Silva

São Paulo, 22 de Novembro de 2016

# Conteúdo

<b>1</b>	<b>Introdução</b>	<b>2</b>
<b>2</b>	<b>Principais Componentes do Nintendo64</b>	<b>2</b>
<b>3</b>	<b>Chip NEC VR4300</b>	<b>2</b>
3.1	Formato de instrução . . . . .	3
<b>4</b>	<b>Chip SGI RCP</b>	<b>5</b>

# 1 Introdução

## 2 Principais Componentes do Nintendo64

### 3 Chip NEC VR4300

O chip NEC VR4300 é o principal processador no Nintendo64, responsável principalmente por processar a lógica dos jogos e, também áudio. Esse processador foi desenvolvido pela empresa japonesa NEC e implementa a arquitetura de conjunto de instruções MIPS, desenvolvida pela empresa de mesmo nome. A arquitetura MIPS define um conjunto de instruções do tipo RISC, *reduced instruction set computer*.

O processador VR4300 possuía uma arquitetura compatível com instruções de 64 bits, apesar de grande parte das instruções do Nintendo 64 serem de apenas 32 bits. Especificamente nesse console, o processador da NEC trabalhava a uma frequência de 93,75 MHz.

#### 3.1 Formato de instrução

Cada instrução do processador é formada por 32 bits, e elas podem ser separadas em três categorias: *I-type*, *J-Type* e *R-Type*.

As instruções do tipo *I-Type* são formadas por 5 bits, *op*, que determinam a operação; 5 bits em *rs* e mais 5 em *rt*, que determinam os registradores que estão sendo operados; e mais 16 bits, *immediate*, que pode representar ou um endereço ou uma constante. Exemplos de instruções desse tipo são as instruções *load* e *store*.

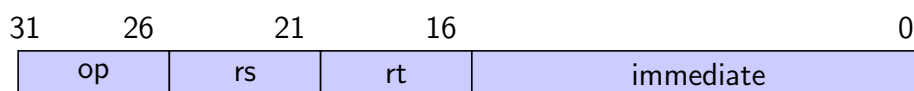


Figura 2: Formato de uma instrução *I-Type*

As instruções do tipo *J-Type* são usadas para controlar o fluxo do programa. Para isso, esse tipo de instrução pode pular para um pedaço específico do código por via de um *jump* ou um *branch*. Quando uma instrução do tipo *jump* é executada, o desvio sempre acontece, ao contrário da instrução *branch* na qual é possível determinar uma condição para o desvio. No

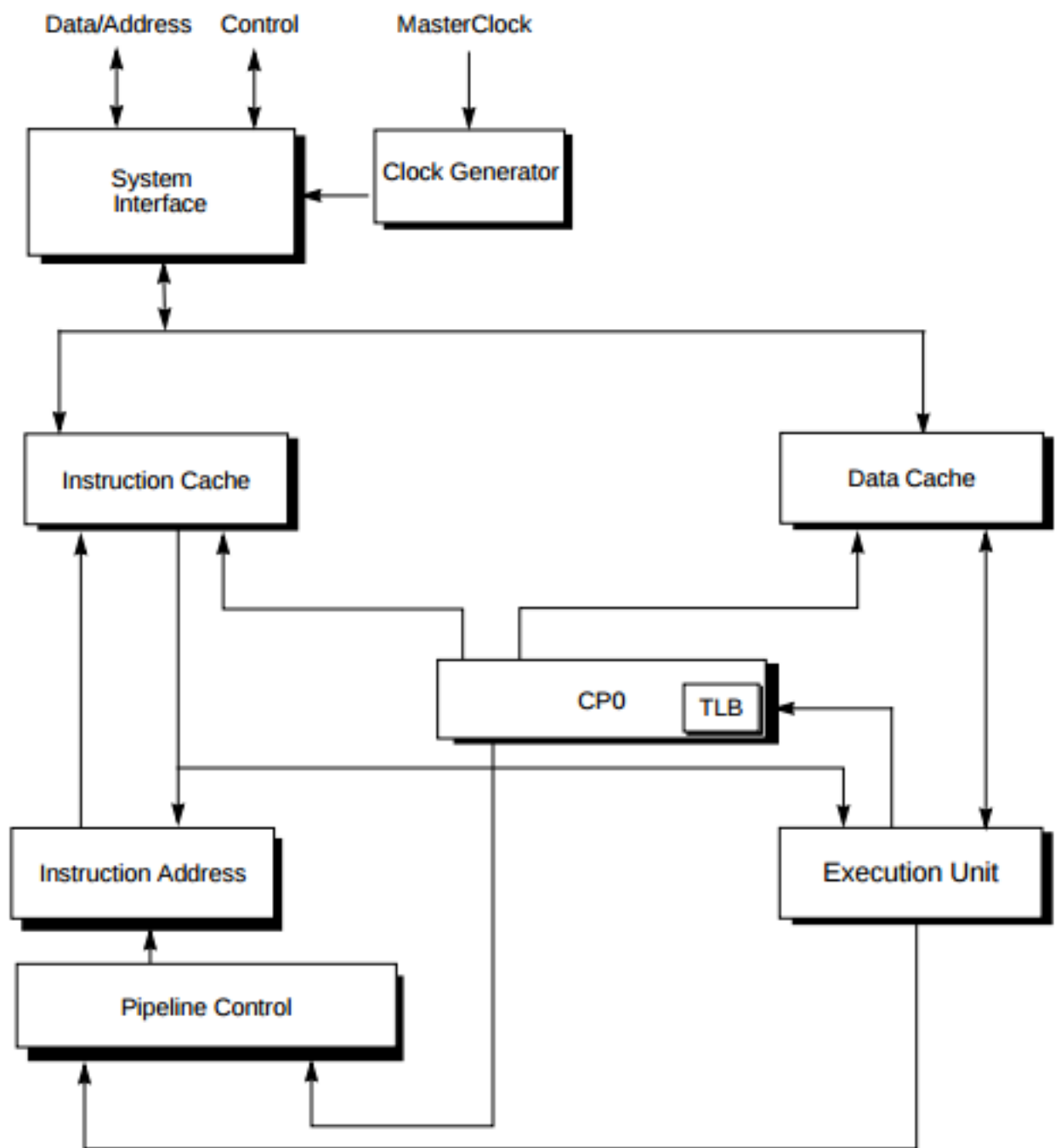


Figura 1: Um diagrama com os principais componentes do processador VR4300

VR4300 essas instruções são formadas por 5 bits, *op*, que determinam a operação; e mais 26 bits *target*, que determinam o endereço do possível desvio. Quando a instrução é um desvio obrigatório, os 26 bits estão todos disponíveis para determinar o endereço de destino, mas no caso de um *branch* o valor de *target* só pode determinar um *offset* de 16 bits relativo ao registrador *PC*.

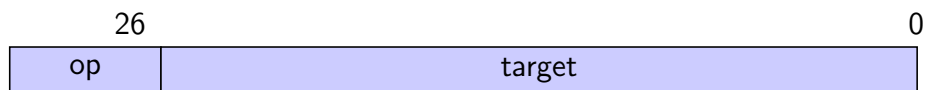


Figura 3: Formato de uma instrução *J-Type*

As instruções do tipo *R-Type* envolvem apenas o uso de registradores. Exemplos de instruções desse tipo são aquelas que fazem operações aritméticas entre dois registradores e guardam o resultado em um terceiro registrador. Essas instruções são formadas por 5 bits *op*; 5 bits para cada um dos três registradores *rs*, *rt* e *rd*; 5 bits *sa* que definem um *shift* para o resultado; e mais 6 bits para *function*.

Code	Operation
0	Add
1	Subtract
2	Multiply
3	Divide
4	Square root
5	Absolute value
6	Transfer
7	Sign reverse
8	Convert to 64-bit fixed-point, rounded to nearest/even
9	Convert to 64-bit fixed-point, rounded toward zero
10	Convert to 64-bit fixed-point, rounded to $+\infty$
11	Convert to 64-bit fixed-point, rounded to $-\infty$
12	Convert to 32-bit fixed-point, rounded to nearest/even
13	Convert to 32-bit fixed-point, rounded toward zero
14	Convert to 32-bit fixed-point, rounded to $+\infty$
15	Convert to 32-bit fixed-point, rounded to $-\infty$
16–31	Reserved
32	Convert to single floating-point
33	Convert to double floating-point
34	Reserved
35	Reserved
36	Convert to 32-bit fixed-point
37	Convert to 64-bit fixed-point
38–47	Reserved
48–63	Floating-point compare

Tabela 1: Lista de todas as possíveis funções em uma instrução do tipo *R-Type* [1].

## 4 Chip SGI RCP

## Referências

- [1] NEC V<sub>R</sub>4300, V<sub>R</sub>4305, V<sub>R</sub>4310 64-bit processor User's Manual 7<sup>th</sup> edition. Japan, 2000.