

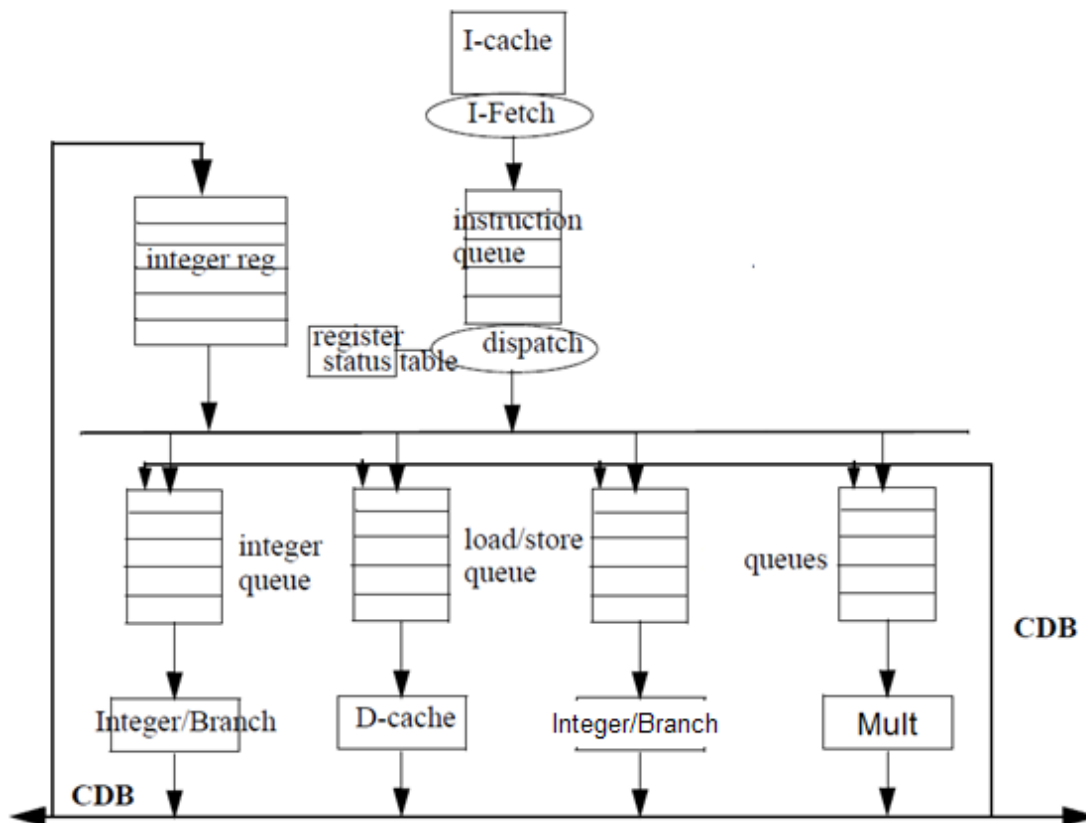
## OBJETIVO.

En este proyecto el alumno implementara el conjunto de instrucciones MIPS en una arquitectura superescalr con ejecución fuera de orden.

El diseño de cada uno de los bloques que comprenden la arquitectura será discutida en clase y se generara un documento de especificación de microarquitectura por cada bloque.

El funcionamiento de la implementación será verificada tanto en simulación como en la tarjeta de desarrollo para FPGA.

## ARQUITECTURA.



### Bloques Principales:

- I-Fetch: I-Cache e IFQ.
- Dispatch: comprende la unidad de dispatch, el RST, un TAG FIFO y el banco de registros.
- Issue Queues: la misma para las unidades de ejecución de enteros y multiplicaciones.
- Load/Store Queue.
- Unidades de Ejecución: enteros, D-Cache y multiplicador
- Issue Unit: comprende la unidad de issue y el manejo del CDB.
- ROB: Buffer para el re-ordenamiento de las instrucciones

### SET DE INSTRUCCIONES.

Las instrucciones que vamos a soportar son las siguientes.

Add	Addi	Addiu	Addu
And	Andi	Beq	Bnq
Jmp	Ldw	Nor	Or
Ori	Slt	Slti	Sltu
Stw	sub	Sll	Srl
Mult			

Las multiplicaciones serán de 16 bits para que el resultado quepa en los registros de 32 bits, mult R1, R2, R3 --  $R1 \leq R2[15:0] * R3[15:0]$

### PROCEDIMIENTO.

El diseño de cada bloque será discutido en la sesión de clase, una vez que el documento de especificación de microarquitectura (MAS) sea publicado en la plataforma moodle el alumno es responsable de la implementación y verificación de dicho bloque.

El proyecto será realizado en 2 fases.

#### Fase 1

Microprocesador con ejecución especulativa y Re-Order Buffer: Si hay disponibilidad de FPGAs de Altera esta primera fase tendrá que ser demostrada en la tarjeta de desarrollo de Altera. La fecha límite de entrega es el día 6 de Abril.

#### Fase 2.

Diseño de Microprocesadores Primavera 2012  
Proyecto Final

Microprocesador de la fase 1 con capacidad de despachar hasta 2 instrucciones por ciclo de reloj. Si hay disponibilidad de FPGAs de Altera esta primera fase tendrá que ser demostrada en la tarjeta de desarrollo de Altera. La fecha límite de entrega es el día 11 de Mayo.

EVALUACION.

El proyecto final es el 60% de su calificación final del curso. El esquema de evaluación del

	Fecha limite	Total	Comentarios
Fase 1	Abril 6.	60%	Simulación
Fase 1	Abril 6	80%	FPGA
Fase 2	Mayo 11	100%	Simulación
Fase 1	Mayo 11	120%	FPGA