

1 Introducción

La unidad de Issue es la encargada de arbitrar el CDB. Las colas de ejecución manifiestan su intención de mandar a ejecutar una instrucción mediante una señal de ready y la unidad de issue dependiendo del estado actual de las diferentes unidades de ejecución elige la instrucción que debe de iniciar ejecución.

La siguiente figura muestra un diagrama a bloques de la unidad de Issue. Tiene dos bloques principales, el primero es la lógica de Issue y la segunda es el control del CDB.

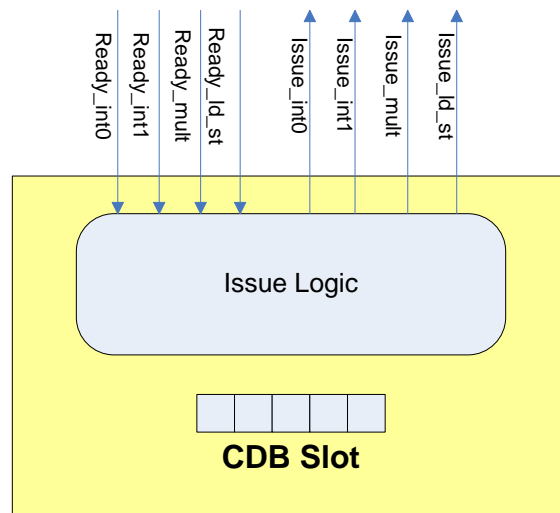
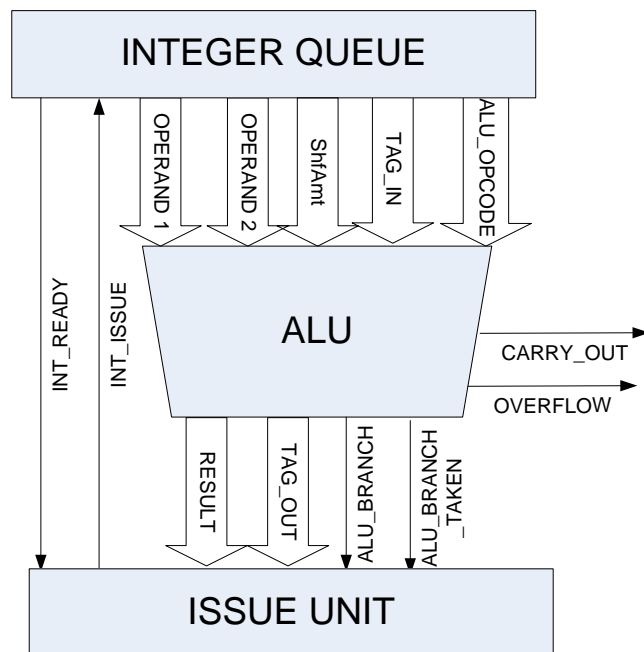


Figura 1.

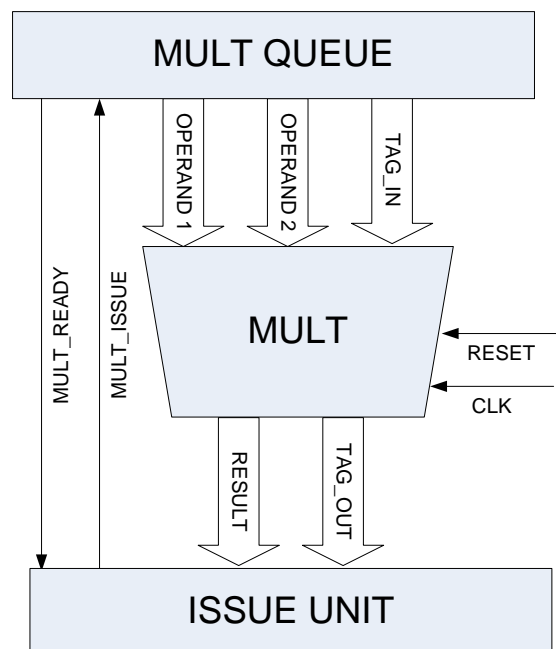
2 Especificaciones de Diseño.

2.1 Interfaces y conexiones.

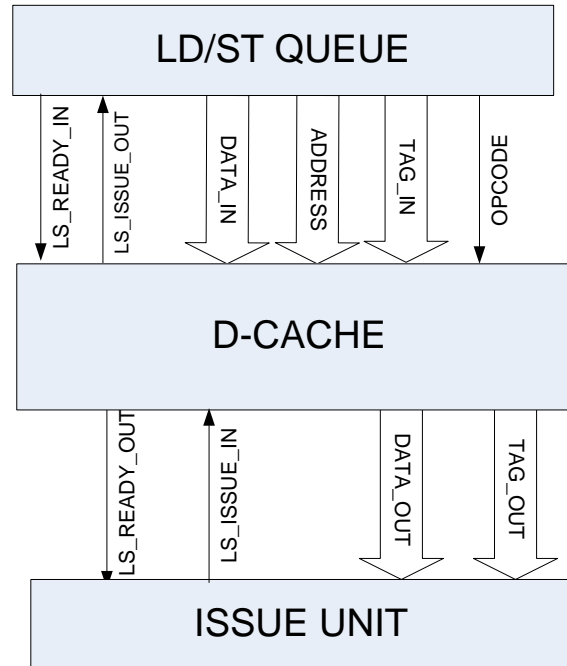
Interface con la cola de ejecución de enteros y la ALU.



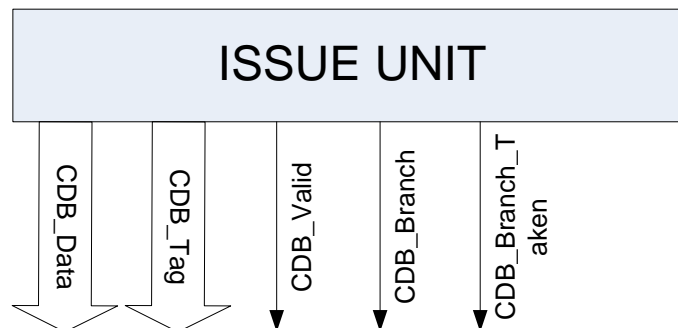
Interface con la cola de ejecución de multiplicaciones y el Multiplicador.



Interface con la cola de ejecución de Load/Stores y la D-Cache.



Interface con el CDB.



2.2 Diseño de la unidad de Issue.

Dependiendo de las señales de “ready” que reciba la unidad issue va tomar la decisión de cuál de las instrucciones puede proceder a ejecución y asegurarle que al término de la ejecución el CDB se encontrara libre.

Para lograr esto vamos a utilizar una “reservation table” donde llevamos el record de que instrucciones se encuentran “en ejecución” (las multiplicaciones y divisiones toman más de un ciclo de reloj en ejecutarse) y después de cuantos ciclos de reloj va a estar lista.

Como se muestra en la Figura 2. Las señales de ready entran o tratan de entrar a la “reservation table”. Esta tabla es implementada como un registro de corrimiento con tres puntos de acceso; uno para las divisiones, otro para las multiplicaciones y un último para las operaciones de enteros y accesos a memoria.

La lógica de la unidad de issue lleva a cabo los siguientes pasos.

- 1.- chequea si la señal de ready activada por las colas de ejecución puede ser escrita en la reservation table. Es decir la localidad anterior del punto de entrada de la cola de ejecución no tenga el valor ‘1’.
- 2.- En el caso de las multiplicaciones, como entran por la última localidad no existe el conflicto del primer punto
- 3.- Si están presentes las señales de ready tanto como de la cola de ejecución de enteros como de accesos a memoria es necesario arbitrar utilizando dos bits de LRU.

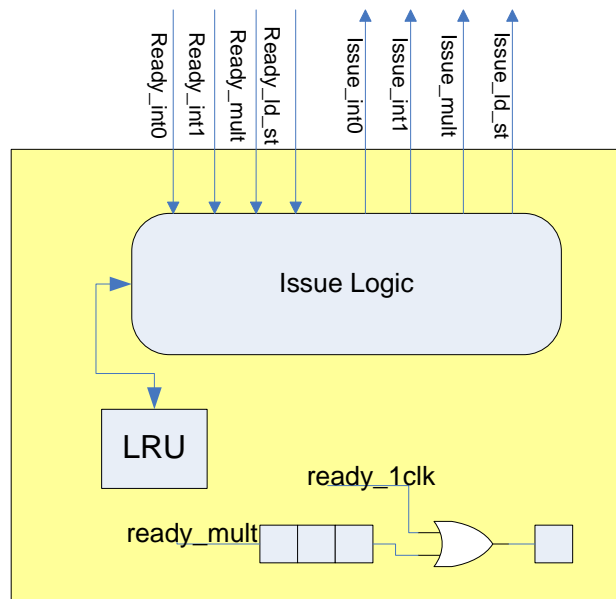


Figura 2.

Si la lógica de la unidad de Issue tomando en cuenta los 3 puntos descritos es capaz de escribir la(s) instrucción(es) en la reservation table la señal de issue es generada para cada una de las instrucciones que pudieron entrar a la tabla. A lo máximo se pueden escribir 2 instrucciones en la tabla en el mismo ciclo.

Ahora bien, ya que reservamos el CDB para publicar los resultados de una instrucción necesitamos generar las señales de control para seleccionar los resultados provenientes de las unidades de ejecución justo en el ciclo de reloj que estas terminan su ejecución.

La Figura 3 muestra el diagrama a bloques para generar las señales de control del multiplexor del CDB.

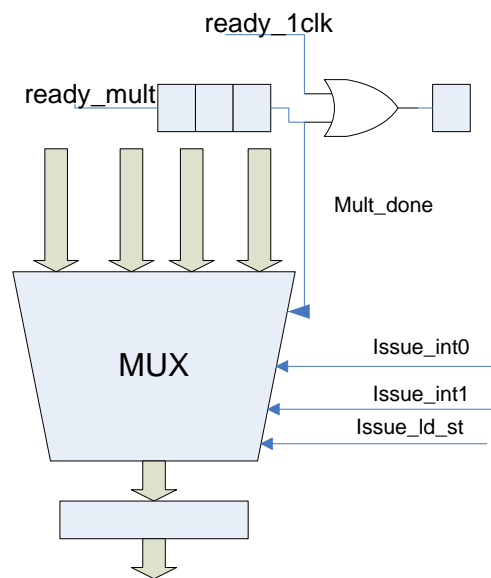


Figura 3.

Para las instrucciones que se ejecutan en un solo ciclo de reloj (enteros y accesos a memoria) la señal de control se genera con la misma lógica que genera la señal de issue. Para las multiplicaciones se genera la señal de mult done a la salida del últimos penúltimo registro del reservation table como se muestra en la figura 3. Las cuatro señales de control que alimentan el multiplexor del CDB tienen que ser “one hot encoded”. Obviamente la salida del multiplexor es la interface del CDB mostrada anteriormente.