

מס הרצאה	נושא הרצאה	מספר תרגול	נושא תרגול	סדנה
L1a	מבוא. ארכיטקטורה של מחשב $RISC - V$ שפת אסמבלי	1	יצוג מספרים מעבר בין בסיסים משלים ל-2 נקודה צפה	
L1b	פקודות המעבד PC קפיצות ולולאות		שגיאות וקודים לתיקון שגיאות	
L2a	אלגברת מיתוג, עיקרון הדואליות, פונקציות מיתוג, חוקי דה-מורגן, CNF, DNF, ריבוי ייצוגים (שער, טבלת אמת, ביטוי מיתוג, תיאור ורילוג)	2	תכנות בשפת אסמבלי, שימוש בסימולטור אסמבלי	
L2b	מפת קרנו, צמצום פונקציות, צירופי ברירה, הרחבת שנון\בול, מערכת פעולות שלמה		תכנית ללא חוגים ועם חוגים הרצה על סימולטור אסמבלי	
L3a	הפשטה דיגיטלית (רמות מתח), הפשטת הטרנזיסטור כמתג, בניית שערים באמצעות מתגים, זמן התפשטות (ארבעה מודלים), האזארד סטטי ודינמי, אנרגיה לחישוב, מימוש bus באמצעות מתגים, fanout/load	3	אלגברת מיתוג צמצום ביטויי מיתוג על ידי פעולות באלגברת מיתוג	לוגיקה צירופית בשפת ורילוג, שימוש בסימולטור, השהיית שערים
L3b	לוגיקה צירופית—רכיבים: decoder, mux, encoder, selector, switch		צמצום ביטוי מיתוג ע"י מפת קרנו מערכת פעולות שלמה	
L4a	לוגיקה לחישובים אריתמטיים: Full adder, ripple carry adder, carry lookahead ALU של RISC-V גילוי תקלות בלוגיקה צירופית	4	שערים לוגיים ייצוג השערים (ציור, טבלת אמת, וורילוג) בניית רכיבים לוגיים ופונקציות צירופיות באמצעות שערים	
L4b	זיכרונות, מנעד גודל / מהירות / אנרגיה לוגיקה סדרתית: פליפ-פלופ, שעון, (מטה- סטביליות) רגיסטר הזה Register File של RISC-V		תזמון שערים לוגיים	מכונת מצבים בשפת ורילוג, וידוא זמן מחזור
L5a	מכונות מצבים מילי / מור ייצוג באמצעות ביטוי רגולרי	5	רכיבים לוגיים (ביטויי מיתוג, ציור וורילוג, ייצוג (one-hot) מפענח, מקודד, בורר, בורר קדימות	
L5b	סינטזה של מכונת מצבים סופית ייצוג באמצעות ורילוג		מולטיפלקסר, משווה, מקסימום. מימוש פונקציות באמצעות מפענחים ובוררים	
L6a	מערכות סינכרוניות, תזמון, מסלול קריטי, סטיית שעון	6	פליפ-פלופ מסוג D כולל תזמונים	
L6b	מגבלות של מכונות מצבים		תזמון מערכת סינכרונית	
L7a	בדיקת תקלות ע"י scan	7	סינטזה של מערכות סינכרוניות	
L7b	צינור מערכת לוגית זמן ביצוע מול תפוקה		סינטזה של מערכות סינכרוניות	
L8a	תקשורת טורית אסינכרונית	8	pipeline	

	תקשורת טורית אסינכרונית		פקודות זיכרון, אופני מיעון לזיכרון	L8b
		9	המחסנית, שגרות, העברת שליטה ומידע בין שגרות, רקורסיה	L9a
			מימוש מעבד מחזור יחיד	L9b
תרגול חזרה למבחן 1	Single cycle RISC-V	10	מימוש מעבד של מספר מחזורים, הפרדה בין בקר למסלול נתונים	L10a
			מימוש בקר באמצעות מיקרו-קוד	L10b
תרגול חזרה למבחן 2	Multi cycle RISC-V	11	פסיקות וטיפול במצבים חריגים	L11a
			מימוש מעבד מצונר	L11b
	RISC-V - תלויות ב- Pipeline	12	תלויות נתונים, תלויות מבניות ותלויות בקרה (קפיצות) במעבד מצונר	L12a
			תלויות מידע במעבד מצונר	L12b