

M OFC

Write Set Tab

Global Config CFG_Register Setting

Pulse PRI (us) : 100 DPMODE : Single Channel

Pulse Width (us) : 10

BIT LO Freq(MHz) : 500 Pulse/CW : 200

BITPower : -80 INT / EXT : Internal BIT

Test REG : [] Test REG CheckSum : (Hex) Checksum Set

Read Set Tab

Global Config CFG_Register Setting Read Only

Pulse PRI (us) : 100 DPMODE : Single Channel

Pulse Width (us) : 10

BIT LO Freq(MHz) : 500 Pulse/CW : 200

BITPower : -80 INT / EXT : Internal BIT

Test REG : [] Test REG

Global Config REG

REG	ADDR	D1	D2	D3
REG_0x0	0	40	10	
REG_0x1	1	2	41	11
REG_0x2	2	4	42	12
REG_0x3	3	6	43	13
REG_0x4	4	8	44	14
REG_0x5	5	A	45	15
REG_0x6	6	C	46	16
REG_0x7	7	E	47	17
REG_0x8	8	10	48	18
REG_0x9	9	12	49	19
REG_0xA	A	14	4A	1A
REG_0xB	B	16	4B	1B
REG_0xC	C	18	4C	1C
REG_0xD	D	1A	4D	1D
REG_0xE	E	1C	4E	1E
REG_0xF	F	1E	4F	1F
REG_0x0	0	20	50	20
REG_0x1	1	22	51	21
REG_0x2	2	24	52	22
REG_0x3	3	26	53	23
REG_0x4	4	28	54	24
REG_0x5	5	2A	55	25
REG_0x6	6	2C	56	26
REG_0x7	7	2E	57	27
REG_0x8	8	30	58	28
REG_0x9	9	32	59	29
REG_0x1A	1A	34	5A	2A
REG_0x1B	1B	36	5B	2B
REG_0x1C	1C	38	5C	2C
REG_0x1D	1D	3A	5D	2D
REG_0x1E	1E	3C	5E	2E
REG_0x1F	1F	3E	5F	2F
REG_0x20	20	40	60	30
REG_0x21	21	42	61	31
REG_0x22	22	44	62	32
REG_0x23	23	46	63	33
REG_0x24	24	48	64	34
REG_0x25	25	4A	65	35
REG_0x26	26	4C	66	36
REG_0x27	27	4E	67	37
REG_0x28	28	50	68	38

BIT Config

Check SUM

LOAD RF SETUP

Reg Write

Reg Read

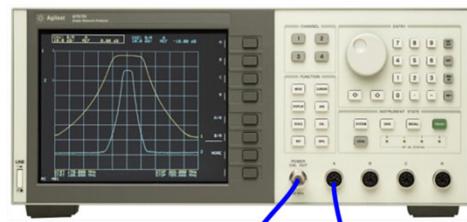
Debug(Dir and Flash)

COMB

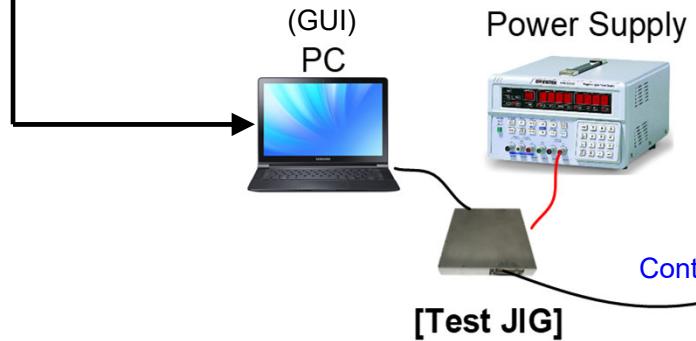
Connection

COM CHECK

Scalar Network Analyzer



Signal Generator



Power Supply

10MHz (Ref.)

+28VDC



Write Set Tab

Global Config CFG_Register Setting

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum : (Hex) Checksum Set RF Load

Check SUM

LOAD RF SETUP

Read Set Tab

Global Config CFG_Register Setting Read Only

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum :

Check SUM

Reg Write

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Reg Read

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Sync TX RX

COM8 Connection

Sync LenL LenH

TX RX

COM CHECK

Debug(Dir and Flash)

Read

File Write

File Read RadioGroup1

Set Read Write

MORC

Write Set Tab

Global Config CFG_Register Setting

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum : (Hex) Checksum Set RF Load

Check SUM

LOAD RF SETUP

Read Set Tab

Global Config CFG_Register Setting Read Only

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum :

Check SUM

Reg Write

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Reg Read

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Connection

TX RX

Sync LenL LenH

COM8

COM CHECK

Debug(Dir and Flash)

Read

File Write

File Read

Set

RadioGroup1

Read

Write

MORC

Write Set Tab

Global Config CFG_Register Setting

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum : (Hex) Checksum Set

Check SUM

LOAD RF SETUP

Read Set Tab

Global Config CFG_Register Setting Read Only

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BIT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum : Check SUM

Reg Write

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Reg Read

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
D40	

Debug(Dir and Flash)

Read

File Write

File Read RadioGroup1

Set Read Write

MORC

Write Set Tab

Global Config CFG_Register Setting

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BITT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum : (Hex) Checksum Set

Check SUM

LOAD RF SETUP

Read Set Tab

Global Config CFG_Register Setting Read Only

Pulse PRI (us) :	100	OPMODE :	Global Config REG
Pulse Width (us) :	10	Single Channel	BITT Config
BIT LO Freq(MHz) :	500	Pulse/CW :	CW
BITPower :	-80	INT / EXT :	Internal Bit

Test REG : Test REG

CheckSum :

Check SUM

ADDR	D1	D2	D3
REG_0x0	0	0	40 10
REG_0x1	1	2	41 11
REG_0x2	2	4	42 12
REG_0x3	3	6	43 13
REG_0x4	4	8	44 14
REG_0x5	5	A	45 15
REG_0x6	6	C	46 16
REG_0x7	7	E	47 17
REG_0x8	8	10	48 18
REG_0x9	9	12	49 19
REG_0xA	A	14	4A 1A
REG_0xB	B	16	4B 1B
REG_0xC	C	18	4C 1C
REG_0xD	D	1A	4D 1D
REG_0xE	E	1C	4E 1E
REG_0xF	F	1E	4F 1F
REG_0x10	10	20	50 20
REG_0x11	11	22	51 21
REG_0x12	12	24	52 22
REG_0x13	13	26	53 23
REG_0x14	14	28	54 24
REG_0x15	15	2A	55 25
REG_0x16	16	2C	56 26
REG_0x17	17	2E	57 27
REG_0x18	18	30	58 28
REG_0x19	19	32	59 29
REG_0x1A	1A	34	5A 2A
REG_0x1B	1B	36	5B 2B
REG_0x1C	1C	38	5C 2C
REG_0x1D	1D	3A	5D 2D
REG_0x1E	1E	3C	5E 2E
REG_0x1F	1F	3E	5F 2F
REG_0x20	20	40	60 30
REG_0x21	21	42	61 31
REG_0x22	22	44	62 32
REG_0x23	23	46	63 33
REG_0x24	24	48	64 34
REG_0x25	25	4A	65 35
REG_0x26	26	4C	66 36
REG_0x27	27	4E	67 37
REG_0x28	28	50	68 38

Reg Write

No	Data
D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	
D8	
D9	
D10	
D11	
D12	
D13	
D14	
D15	
D16	
D17	
D18	
D19	
D20	
D21	
D22	
D23	
D24	
D25	
D26	
D27	
D28	
D29	
D30	
D31	
D32	
D33	
D34	
D35	
D36	
D37	
D38	
D39	
nan	

COM8 Connection

TX Sync LenL LenH RX

Reg Read

Debug(Dir and Flash)

Read

File Write

File Read RadioGroup1

Set RadioGroup1

RadioGroup1 Read Write

PLL SET

- Fixed LO
- Bit
- Test 1
- L01
- L02
- L03
- L04
- Test 2
- L05
- L06
- L07
- L08

<input type="checkbox"/> R0[0] POWER_DOWN	R34[2:0] PLL_N[18:16] : <input type="text" value="0"/>	PLL_N : <input type="text" value="384"/>
<input type="checkbox"/> R0[1] RESET	R36[15:0] PLL_N[15:0] : <input type="text" value="384"/>	
<input type="checkbox"/> R0[2] MUXOUT_LD_SEL		
<input type="checkbox"/> R0[6:5] FCAL_LPFD_ADJ : <input type="text" value="0: PFD ≥ 10 MHz"/>	R37[13:8] PFD_DLY_SEL : <input type="text" value="3"/>	
<input type="checkbox"/> R0[8:7] FCAL_HPFD_ADJ : <input type="text" value="0: PFD ≤ 100 MHz"/>	R38[15:0] PLL_DEN[31:16] : <input type="text" value="0"/>	PLL_DEN : <input type="text" value="1000"/>
<input type="checkbox"/> R0[9] OUT_MUTE	R39[15:0] PLL_DEN[15:0] : <input type="text" value="1000"/>	
<input type="checkbox"/> R0[14] VCO_PHASE_SYNC		
R0[15] RAMP_EN : 0		
R1[2:0] CAL_CLK_DIV : <input type="text" value="0: fOSC ≤ 200 MHz"/>	R42[15:0] PLL_NUM[31:16] : <input type="text" value="0"/>	PLL_NUM : <input type="text" value="0"/>
R11[11:4] PLL_R : <input type="text" value="5"/>	R43[15:0] PLL_NUM[15:0] : <input type="text" value="0"/>	
R14[6:4] CPG : <input type="text" value="7: 15 mA"/>	R44[2:0] MASH_ORDER : <input type="text" value="3: Third order modulator"/>	
<input type="checkbox"/> R27[0] VCO2X_EN	<input type="checkbox"/> R44[4:5] MASH_RESET_N	
<input checked="" type="checkbox"/> R31[14] CHDIV_DIV2	<input type="checkbox"/> R44[6:7] OUTA_PD	
R75[10:8] CHDIV : <input type="text" value="6: 24"/>	<input checked="" type="checkbox"/> R44[7:8] OUTB_PD	
fosc : <input type="text" value="125"/> (MHz)	R44[13:8] OUTA_PWR : <input type="text" value="31"/>	
fVCO : <input type="text" value="9600"/> (MHz)	R45[12:11] OUTA_MUX : <input type="text" value="0: Channel divider"/>	
PFD : <input type="text" value="25"/> (MHz)	R45[10:0] OUTSEL : <input type="text" value="0: Maximum output power boost"/>	
R45[5:0] OUTB_PWR : <input type="text" value="31(Default)"/>	R45[4:0] OUTB_MUX : <input type="text" value="0: Channel divider"/>	

Reg Write

	ADDR	D1	D2	D3
REG_R0	70	00	24	18
REG_R1	70	01	08	08
REG_R2	70	08	00	58
REG_R3	70	0E	1E	70
REG_R4	70	18	00	02
REG_R5	70	1F	43	EC
REG_R6	70	22	00	00
REG_R7	70	24	01	80
REG_R8	70	25	03	04
REG_R9	70	26	00	00
REG_R10	70	27	03	E8
REG_R11	70	2A	00	00
REG_R12	70	2B	00	00
REG_R13	70	2C	1F	83
REG_R14	70	2D	C0	DF
REG_R15	70	4B	08	C0

Direct Register Set : (Hex)

RF OUT SET : (MHz) R0[3] FCAL_EN