

Какими параметрами физических сигналов представить двоичные данные 0 и 1 ?

Например, как от одного цифрового элемента передать 1 или 0 другому элементу?

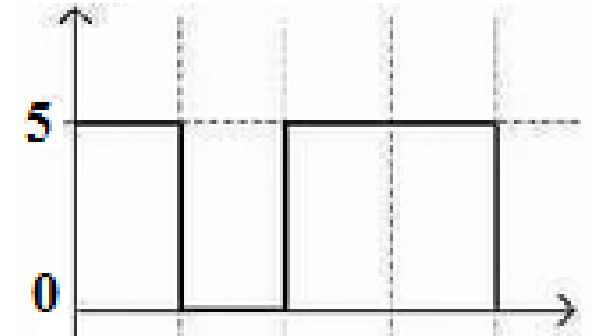
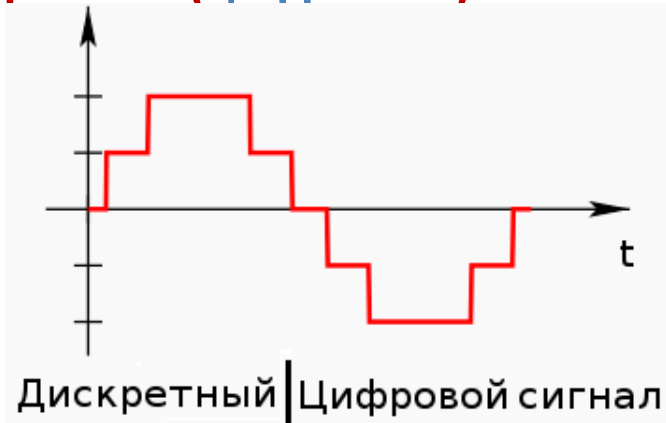
Два типа сигналов

Непрерывный (аналоговый) сигнал



Сигнал может принимать любое (бесконечное) количество значений на определенном интервале

Дискретный (цифровой) сигнал



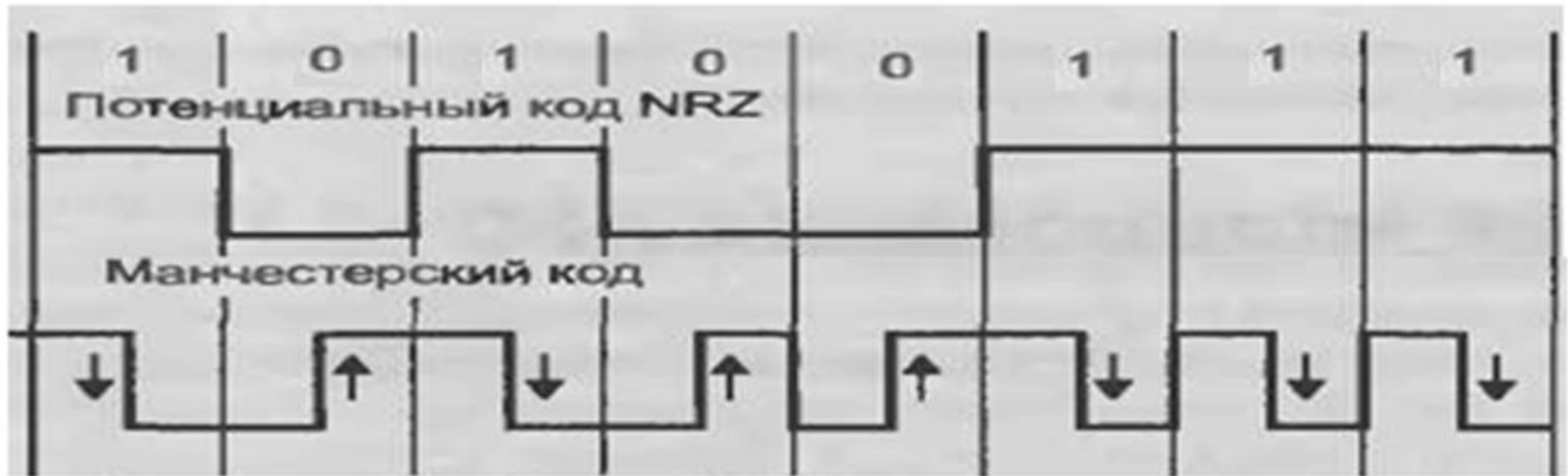
Сигнал может принимать конечное число значений на определенном интервале

Представление 0 или 1 цифровыми сигналами

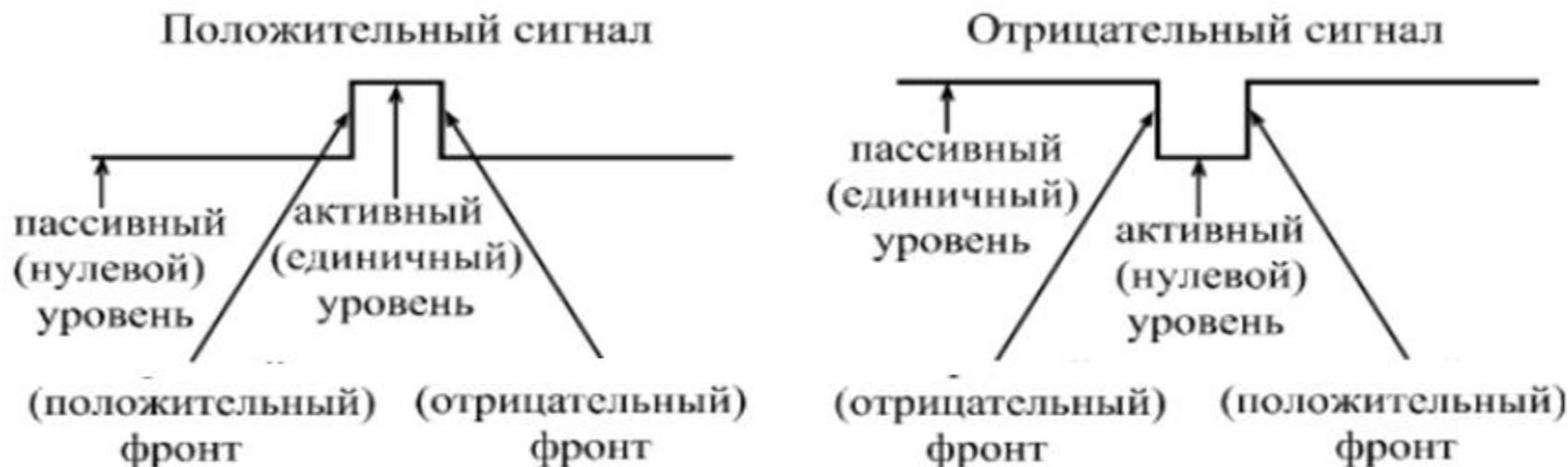
Представление **амплитудой** цифрового сигнала (импульса);

- (например, единица = 0 Вольт, ноль = 5 Вольт)

- Представление перепадом (**фронтом**) цифрового сигнала (импульса)



Составляющие цифрового сигнала



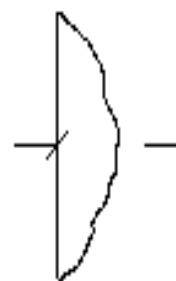
Активный уровень сигнала - уровень, при котором сигнал на входе схемы выполняет в ней какие-то действия.

Положительный фронт - переход из 0 в 1

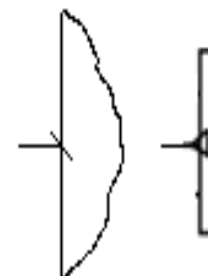
Отрицательный фронт – переход из 1 в 0

Обозначение входов и выходов на схемах

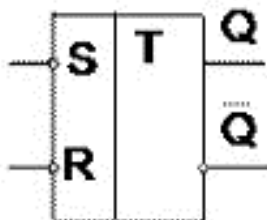
Как правило, слева входы справа выходы



а



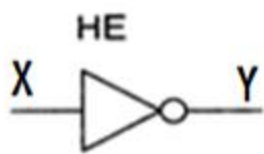
б



Функциональные узлы цифровой техники

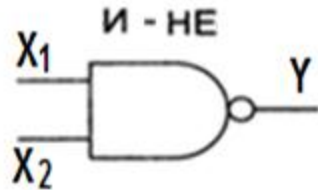
Базовые логические функции

Булевый базис



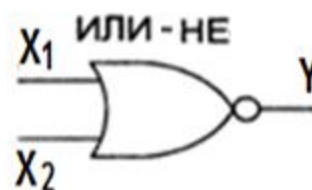
X	Y
0	1
1	0

а



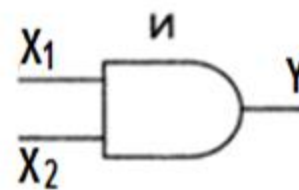
X ₁	X ₂	Y
0	0	1
0	1	1
1	0	1
1	1	0

б



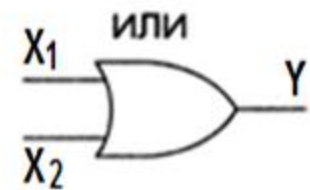
X ₁	X ₂	Y
0	0	1
0	1	0
1	0	0
1	1	0

в



X ₁	X ₂	Y
0	0	0
0	1	0
1	0	0
1	1	1

г



X ₁	X ₂	Y
0	0	0
0	1	1
1	0	1
1	1	1

д

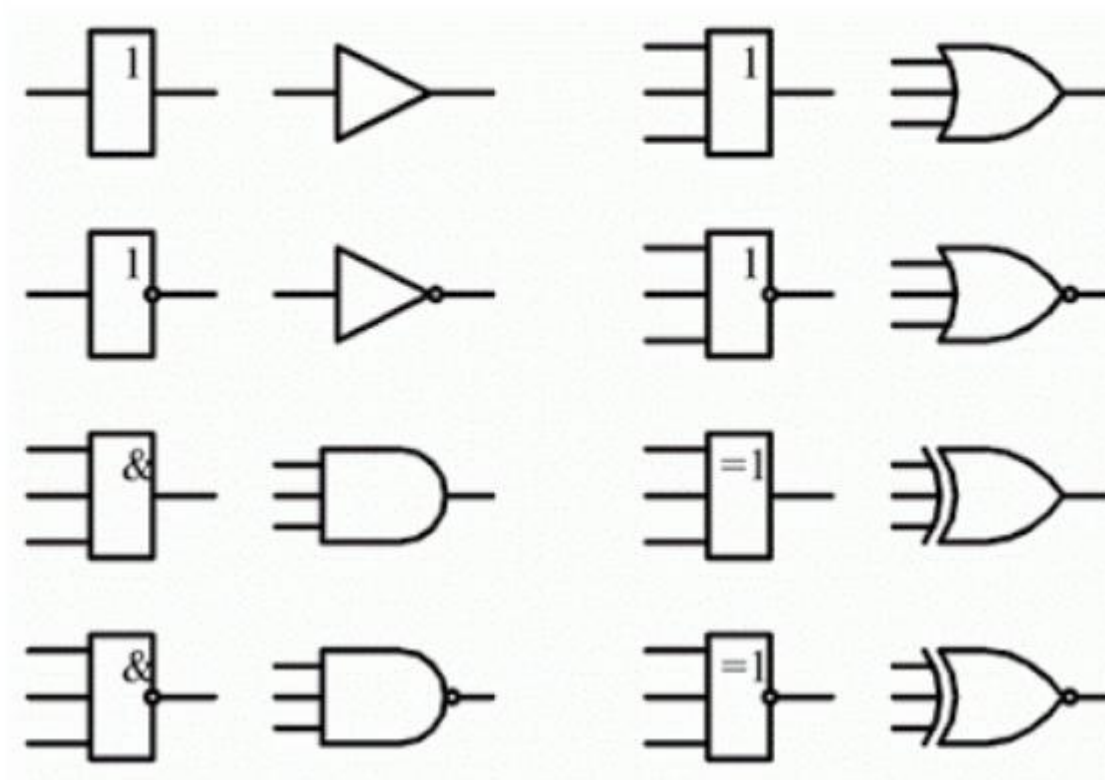
Значки для изображения пяти основных вентиляей.

(элементарные логические функции)

Режимы работы функции для каждого вентиля

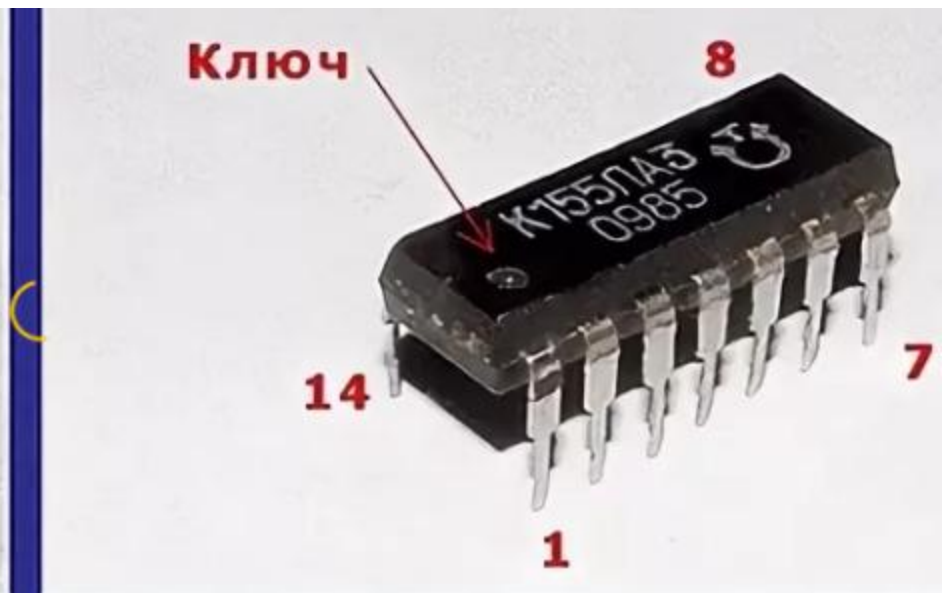
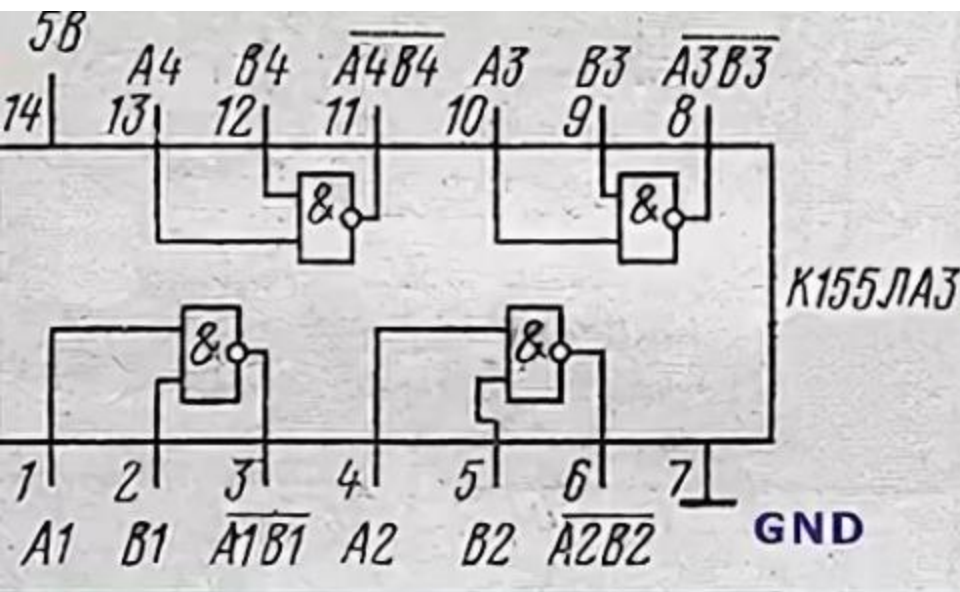
Обозначение логических элементов

ТАБЛИЦА СООТВЕТСТВИЯ ОБОЗНАЧЕНИЙ ГОСТ И СТАНДАРТА МЭК СТАНДАРТУ MILSPEC



Логические функции в «железе»

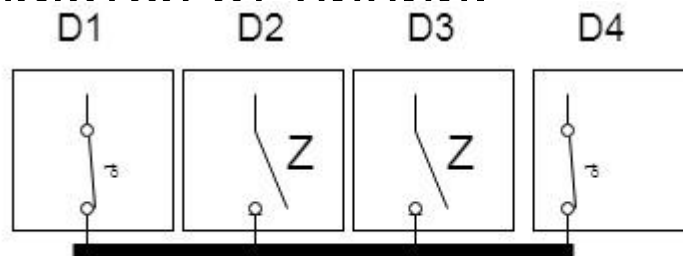
Несколько базовых элементов в одном корпусе



Выходы с третьим состоянием (высокоомным состоянием или Z-состоянием)

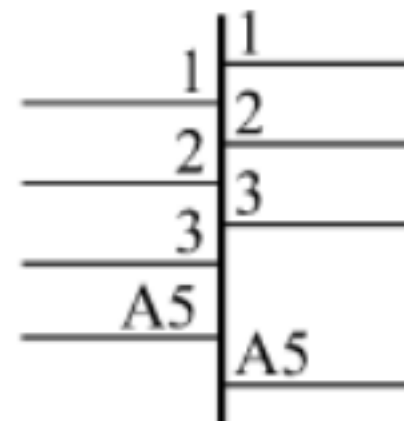
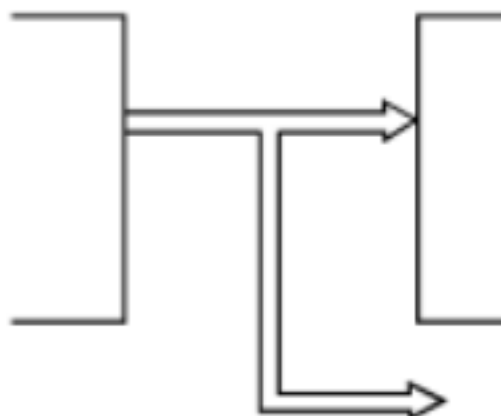
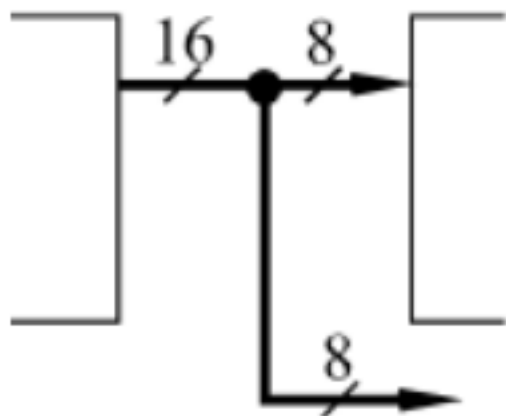
Внутренний вывод микросхемы отключается от физического выхода («ножки») специальным сигналом и «висит» в воздухе.

Это свойство позволяет подсоединять выходы нескольких устройств к одной общей шине связи для передачи информации между ними. Когда два устройства передают друг другу информацию остальные переводят свои выходные каскады в третье состояние и отключаются от пинии.



D1 и D4 могут передавать друг другу по общей линии
D2 и D3 отключены

Обозначение шин сигналов



Классификация цифровых элементов

Последовательные и параллельные ЦЭ

- По характеру информации на входах и выходах цифровые элементы подразделяются на:
 - последовательные;
 - параллельные ;
 - смешанные.

- По зависимости между входными и выходными сигналами с учётом их изменения по тактам работы – на:
 - комбинационные;
 - элементы с памятью.

Комбинационные элементы и элементы с памятью

- В **комбинационных элементах** значения выходных сигналов определяются только значениями (комбинацией) действующих в данный момент (такт) входных сигналов.
- В **элементах с памятью** значения выходных сигналов в текущем такте зависит не только от **значений входных сигналов** в этом такте, но и **от внутренних состояний устройства**, которые произошли в предыдущие такты .

Цифровые элементы комбинационного типа

Общий подход к синтезу элементов комбинационного типа

- Создать таблицу истинности работы элемента
- По таблице истинности записать СКНФ или СДНФ реализуемой логической функции элемента
- Минимизировать полученные логические функции
 - Расчетный метод;
 - Метод карт Карно – Вейча;
 - Метод Квайна;
 - Метод Блейка – Порецкого;
- Разработать принципиальную схему
- Реализовать схему

Шифратор

- Шифратор (кодер)
 - Элемент, преобразующий **m**-разрядный **позиционный код** в **n**-разрядный **двоичный код**.
 - В **позиционном коде** число определяется позицией единицы в последовательности нулей, или позицией нуля в последовательности единиц

000000100
111110111

Находил широкое применение в устройствах ввода информации (пультах, клавиатурах) для преобразования десятичных чисел в двоичную систему счисления.

Таблица истинности шифратора

Входы	Входы	Выходы			
X		Y_3	Y_2	Y_1	Y_0
0	0000000000	0	0	0	0
1	0000000001	0	0	0	1
2	0000000010	0	0	1	0
3	0000000100	0	0	1	1
4	0000001000	0	1	0	0
5	0000010000	0	1	0	1
6	0000100000	0	1	1	0
7	0001000000	0	1	1	1
8	0010000000	1	0	0	0
9	0100000000	1	0	0	1

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9$$

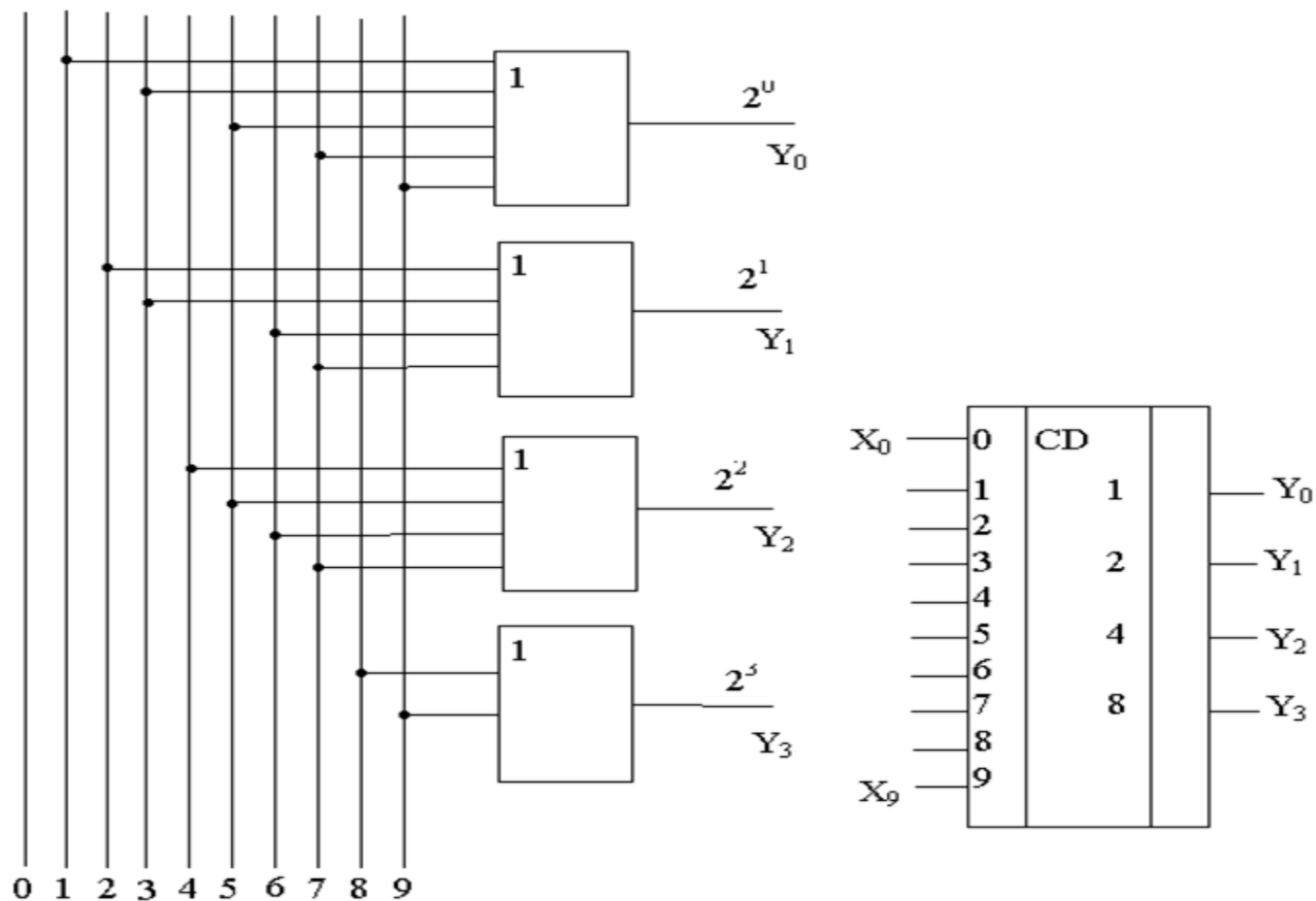
$$Y_1 = X_2 + X_3 + X_6 + X_7$$

$$Y_2 = X_4 + X_5 + X_6 + X_7$$

$$Y_3 = X_8 + X_9$$

- Задача:
- На пульте десять клавиш с обозначениями от 0 до 9. При нажатии любой из них на вход шифратора подается единичный сигнал (X_0, \dots, X_9).
- На выходе шифратора должен появиться двоичный код (Y_0, \dots, Y_3) этого десятичного числа.

Реализация шифратора



Дешифраторы

- Дешифратор (декодер)

- преобразует входной **n** – разрядный **двоичный** код в выходной **m** – разрядный **позиционный** код по формуле:

$$m = 2^n$$

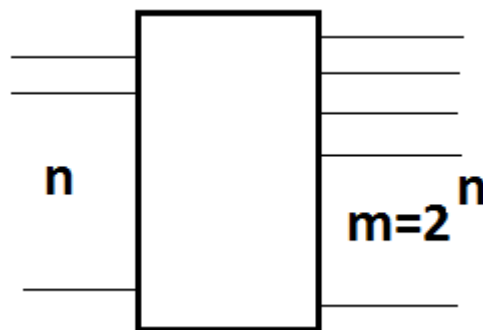


Таблица истинности для дешифратора трехразрядного двоичного кода

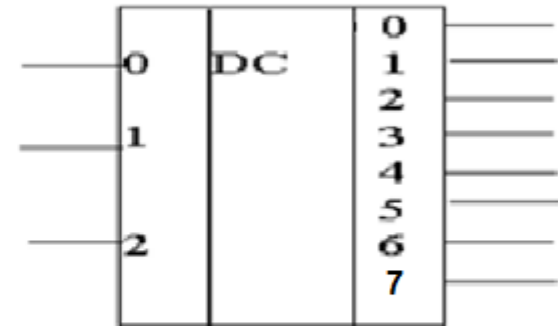
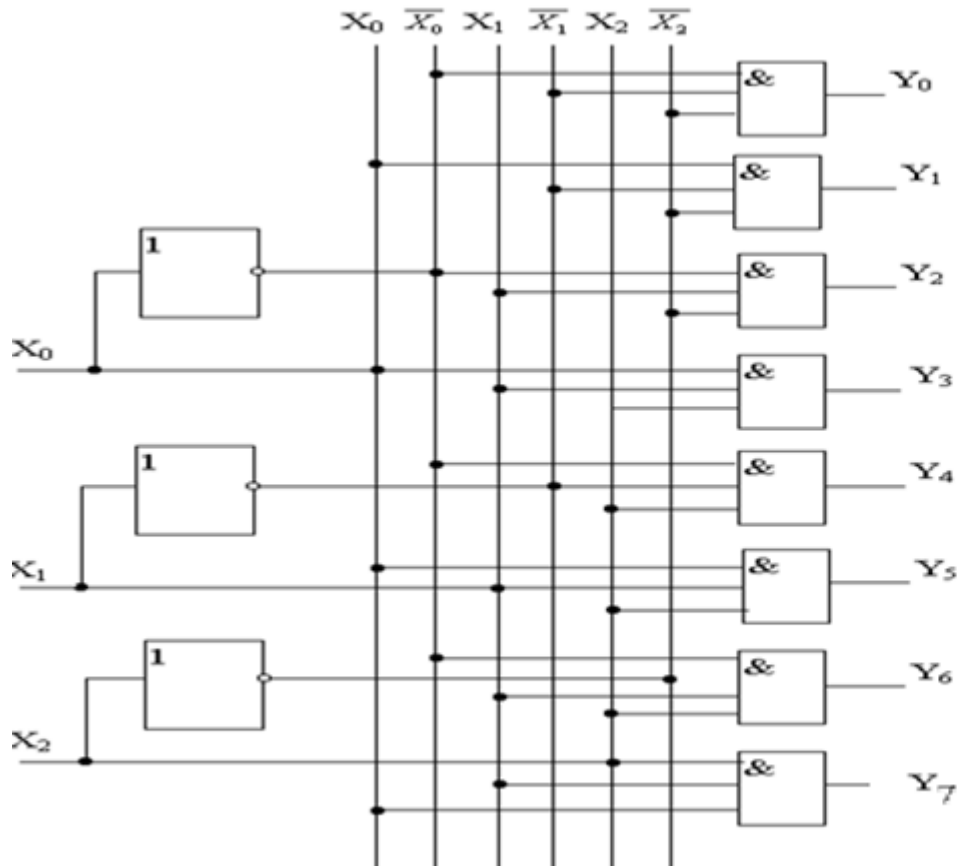
Входы			(Y)	Выходы
X ₂	X ₁	X ₀		
0	0	0	1	Y0
0	0	1	1	Y1
0	1	0	1	Y2
0	1	1	1	Y3
1	0	0	1	Y4
1	0	1	1	Y5
1	1	0	1	Y6
1	1	1	1	Y7

$$Y0 = \overline{X_2} * \overline{X_1} * \overline{X_0}; \quad Y1 = \overline{X_2} * \overline{X_1} * X_0; \quad Y2 = \overline{X_2} * X_1 * \overline{X_0}$$

$$Y3 = \overline{X_2} * X_1 * X_0; \quad Y4 = X_2 * \overline{X_1} * \overline{X_0}; \quad Y5 = X_2 * \overline{X_1} * X_0; \quad Y6 = X_2 * X_1 * \overline{X_0};$$

$$Y7 = X_2 * X_1 * X_0$$

Дешифратор на три входа



Дешифраторы бывают с прямыми и инверсными выходами

Дешифраторы широко применяются в устройствах управления, элементах памяти, ЖК-матрицах и др.

Цифровой компаратор

- Цифровые компараторы выполняют сравнение двух чисел A и B , заданных в двоичном коде с одинаковым количеством разрядов.
- Имеют три выхода: $F(a > b)$, $F(a = b)$, $F(a < b)$.

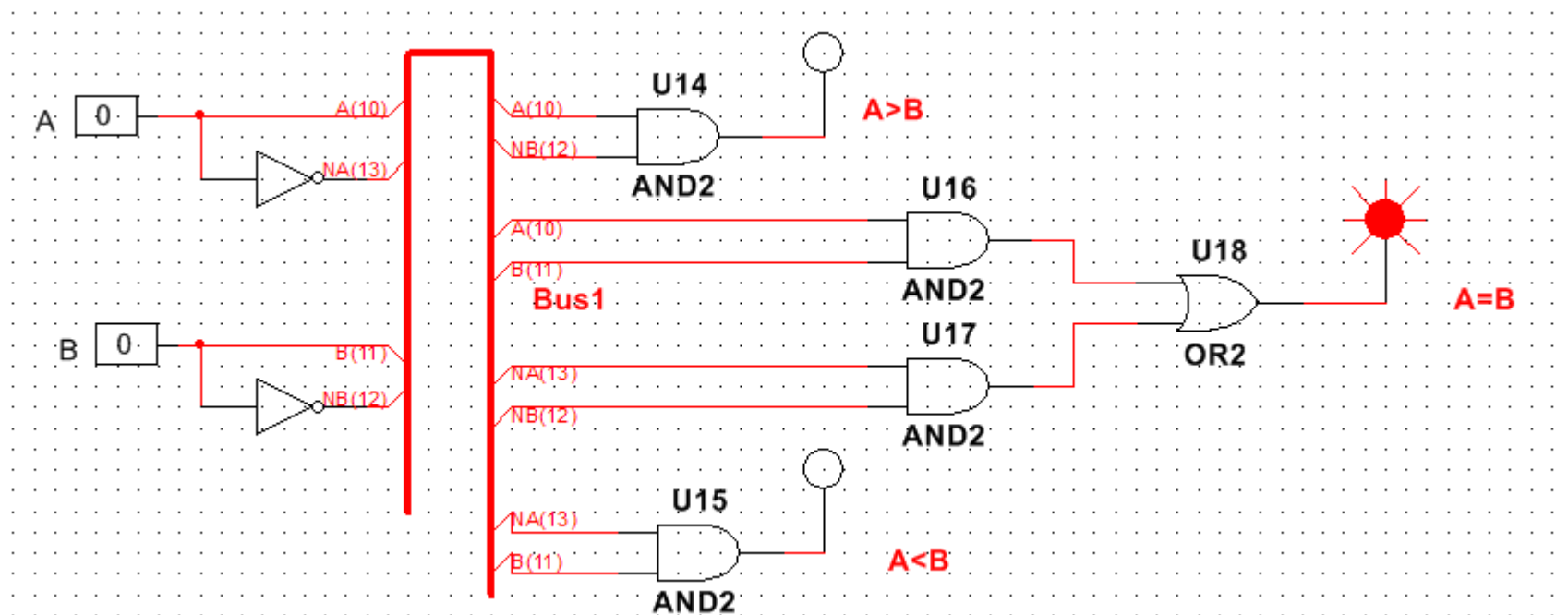
Таблица истинности одноразрядного компаратора :

Входы		Выходы		
a	b	$F_{a>b}$	$F_{a=b}$	$F_{a<b}$
1	1	0	1	0
1	0	1	0	0
0	1	0	0	1
0	0	0	1	0

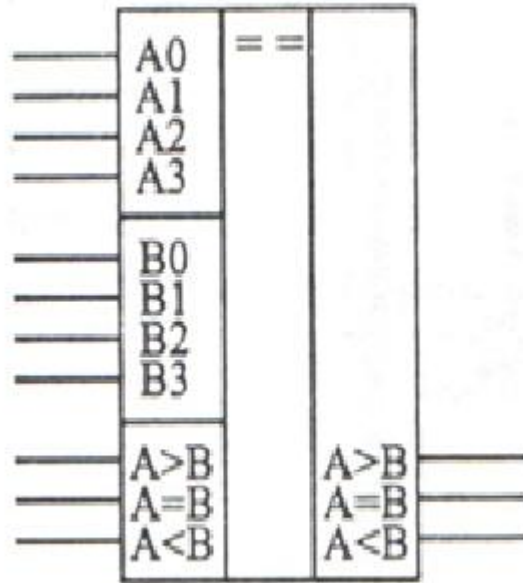
Цифровой компаратор

■ Логические выражения для каждой функции имеют вид:

- $F(a > b) = a \cdot \overline{b}$
- $F(a = b) = a b + \overline{a} \overline{b}$
- $F(a < b) = \overline{a} b$



Микросхема компаратора



Цифровой компаратор в отдельном корпусе

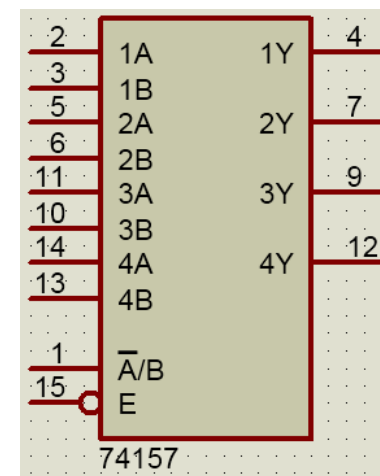
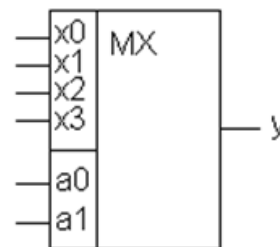
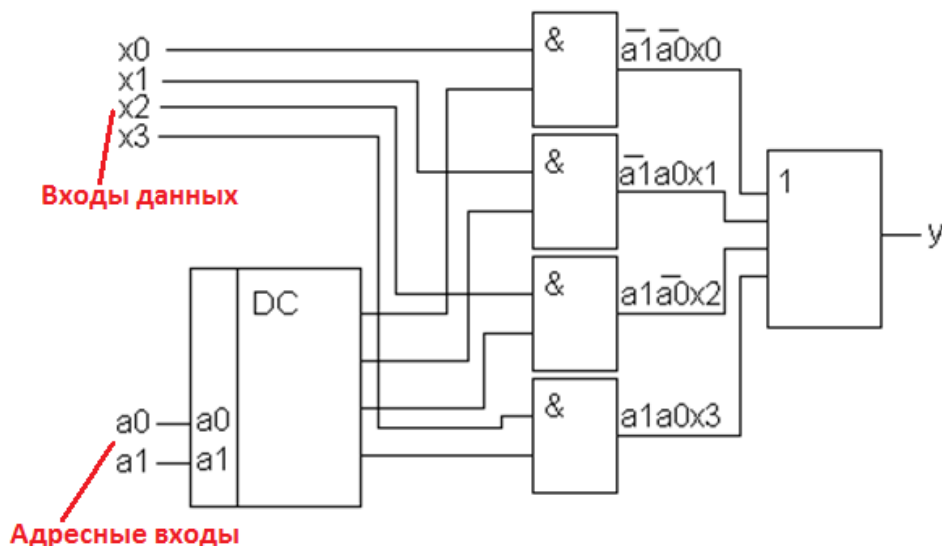
Входы $A > B$, $A < B$, $A = B$ служат для наращивания разрядов.

Цифровой мультиплексор

- Пропускает (коммутирует) биты с одного из N входов на один выход в зависимости от двоичного кода на адресных входах.

a1	a0	X3	X2	X1	X0	Y
0	0	x	x	x	X0	X0
0	1	x	x	X1	x	X1
1	0	x	X2	x	x	X2
1	1	X3	x	x	x	X3

$$Y = X0 \cdot \bar{a1} \cdot \bar{a0} + X1 \cdot \bar{a1} \cdot a0 + X2 \cdot a1 \cdot \bar{a0} + X3 \cdot a1 \cdot a0$$



(N к одному)

Демультимплексор

- Коммутирует биты с одного информационного входа на один из выходов в зависимости от кода на адресных входах.

Таблица истинности

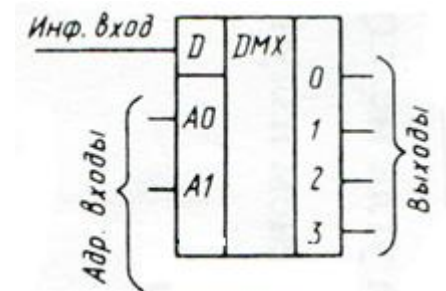
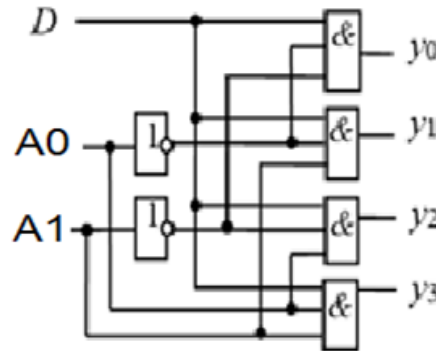
D	$A0$	$A1$	$y3$	$y2$	$y1$	$y0$
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

$$Y0 = D \cdot \overline{A0} \cdot \overline{A1};$$

$$Y1 = D \cdot \overline{A0} \cdot A1;$$

$$Y2 = D \cdot A0 \cdot \overline{A1};$$

$$Y3 = D \cdot A0 \cdot A1$$



(Один к N)

Сложение по модулю 2 (исключающее «ИЛИ»)

Сумматор по модулю «2» вырабатывает на своем выходе сигнал логической единицы, если количество единиц на его входах нечетное.

$$a \otimes b = \bar{a}b + a\bar{b}$$

a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0



a	b	c	$a \oplus b \oplus c$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	0	0
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	1

Одноразрядный двоичный сумматор

PI	A	B	S	PO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

PI – перенос из предыдущего разряда

A – бит первого числа

B- бит второго числа

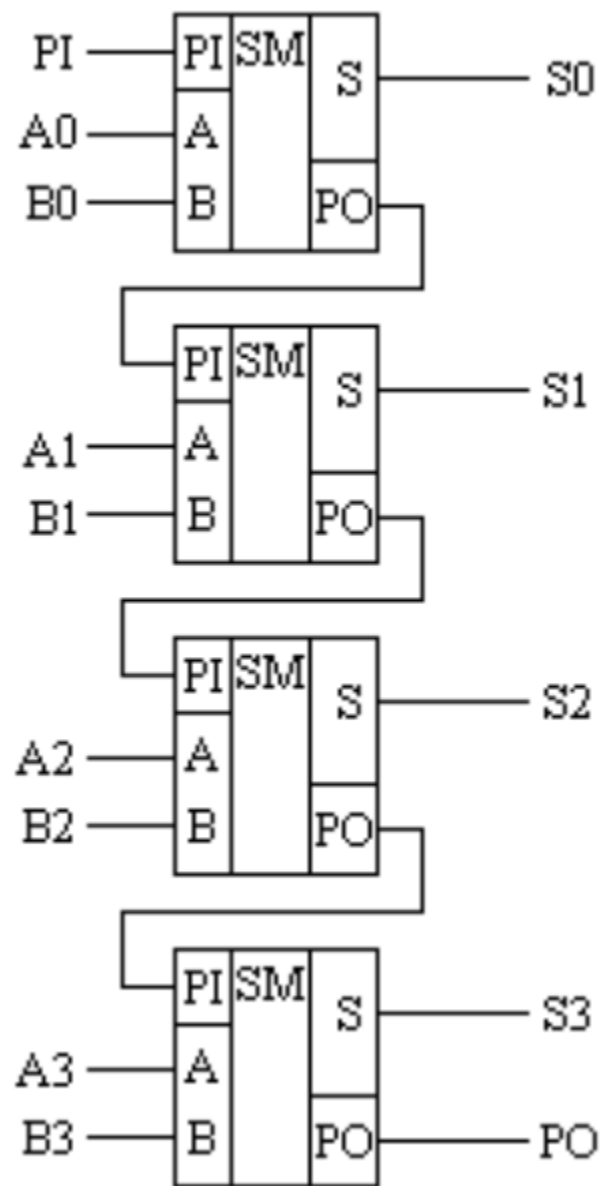
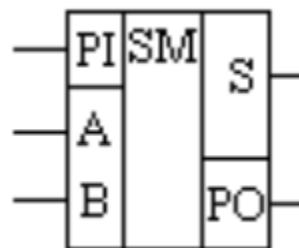
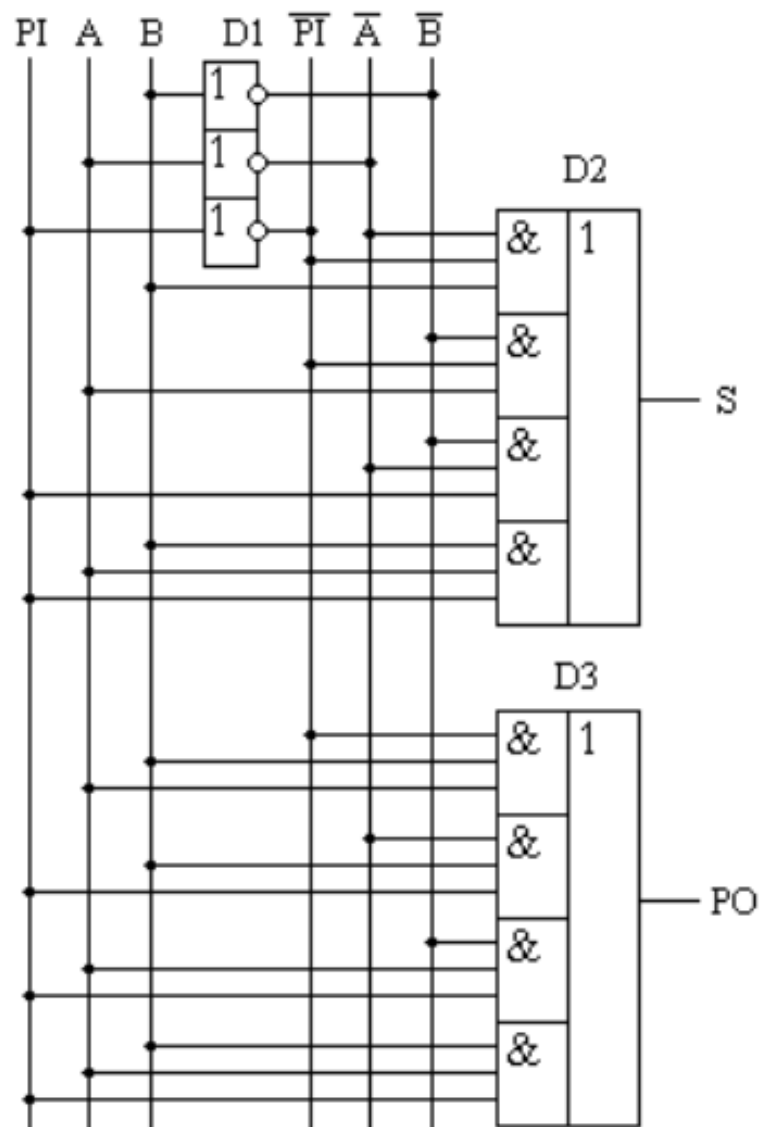
S - сумма

PO – перенос в следующий разряд

$$S = \overline{A} \overline{B} \overline{PI} + A \overline{B} \overline{PI} + \overline{A} B \overline{PI} + A B \overline{PI}$$

$$PO = A B \overline{PI} + \overline{A} B \overline{PI} + A \overline{B} \overline{PI} + A B \overline{PI}$$

Сумматор



Цифровые устройства с памятью

Запоминающие элементы - триггеры

- *Триггер*
 - Устройство **с двумя устойчивыми** состояниями предназначенное для записи, хранения и чтения одного бита информации.
- Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое.

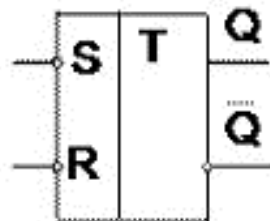
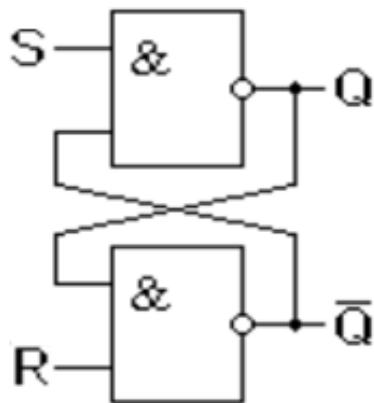
Триггер изобрел
М.А. Бонч-Бруевич в 1918



Триггеры

- По способу записи информации триггеры делят на :
 - **асинхронные** - переключаются в момент подачи входных сигналов,
 - **синхронные** (тактируемые) - переключаются только при подаче дополнительных синхронизирующих сигналов
 - **статические** – переключаются **уровнем** синхросигнала .
 - **динамические** - переключаются **фронтом** (перепадом) синхросигнала.

Асинхронный RS – триггер защелка (latch)



\overline{R}	\overline{S}	Q	\overline{Q}
1	0	1	0
0	1	0	1
1	1	Q	\overline{Q}
0	0	зап	зап

При подаче на входы **двух нулей** состояние выходов триггера не определено.

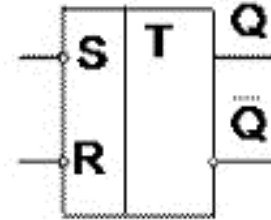
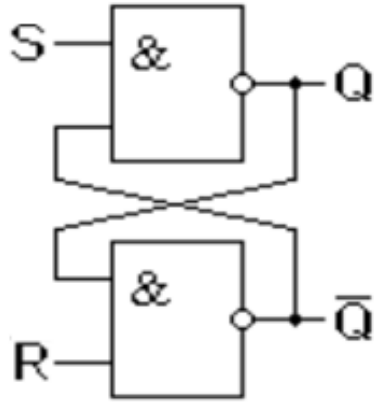
Состояние неопределенности иногда называют запрещенным состоянием

Недостатки:

- два информационных входа, которые должны меняться одновременно;
- наличие запрещенного состояния.

Асинхронный RS – триггер защелка (latch)

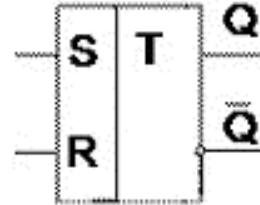
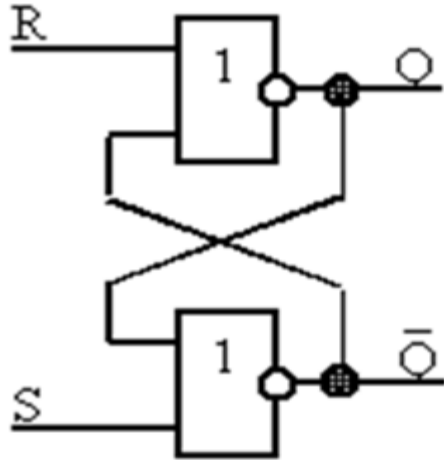
Элемент ИЛИ



\overline{R}	\overline{S}	Q	\overline{Q}
1	0	1	0
0	1	0	1
1	1	Q	\overline{Q}
0	0	зап	зап

При подаче на входы **двух единиц** состояние выходов триггера не определено.

Асинхронный RS – триггер защелка (latch - защелка)

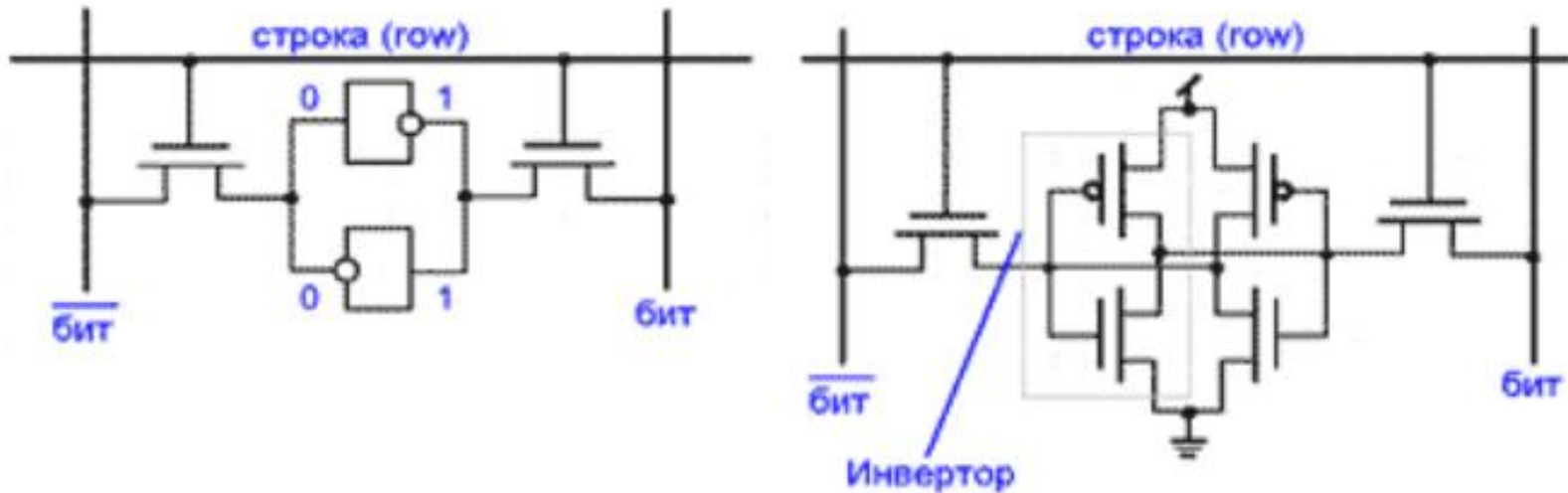


R	S	Q	\overline{Q}
0	1	1	0
1	0	0	1
0	0	Q	\overline{Q}
1	1	зап	зап

При подаче на входы **двух нулей (И)** или **двух единиц (ИЛИ)** состояние выходов триггера не определено

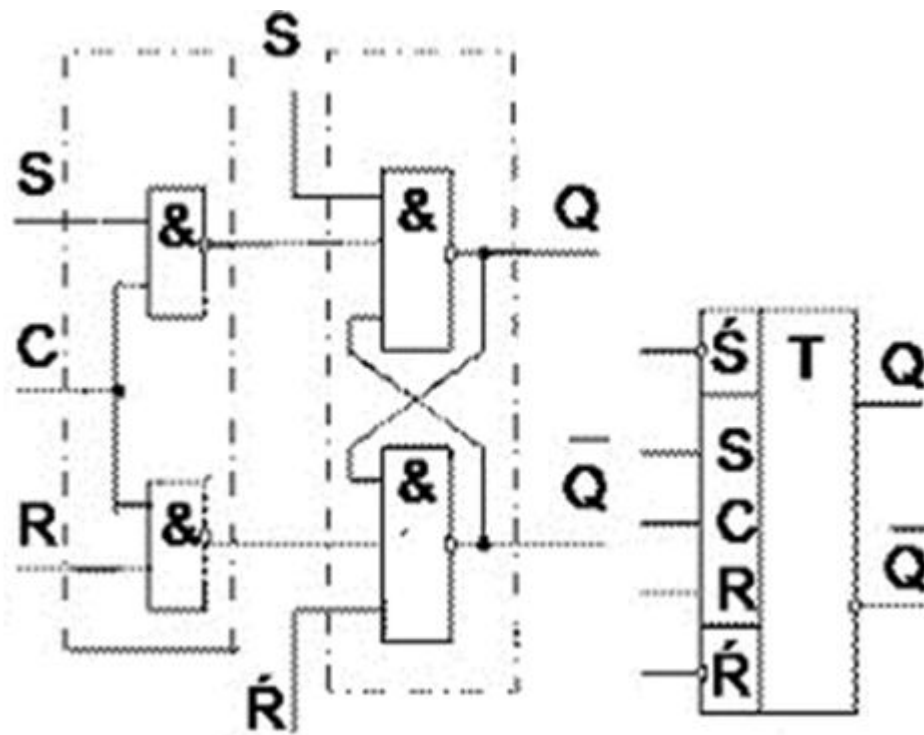
Состояние неопределенности иногда называют запрещенным состоянием

Статическая память - СОЗУ



- Элемент – асинхронный RS-триггер - защелка
- Содержит 6 транзисторов

Синхронный RS - триггер

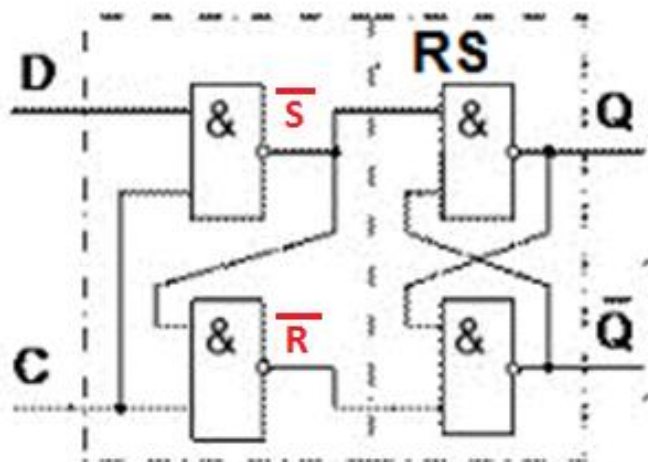


- S, R – информационные входы
- \bar{S} , \bar{R} – входы принудительной установки в 0 или 1
- **C – Clock** – вход синхронизации
- При C=0 триггер переходит в режим хранения

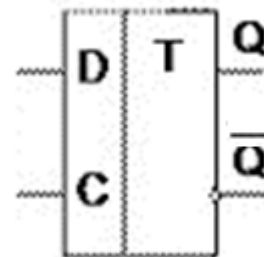
Для управления используются дополнительный вход **C**

Одноступенчатый D – триггер защелка

- D-триггер — имеет один информационный вход D и вход синхронизации.
- Не имеет запрещенного состояния, переключается по уровню
- При $C=1$ информация с входа записывается в триггер и появляется на выходе
- При $C=0$ триггер хранит информацию

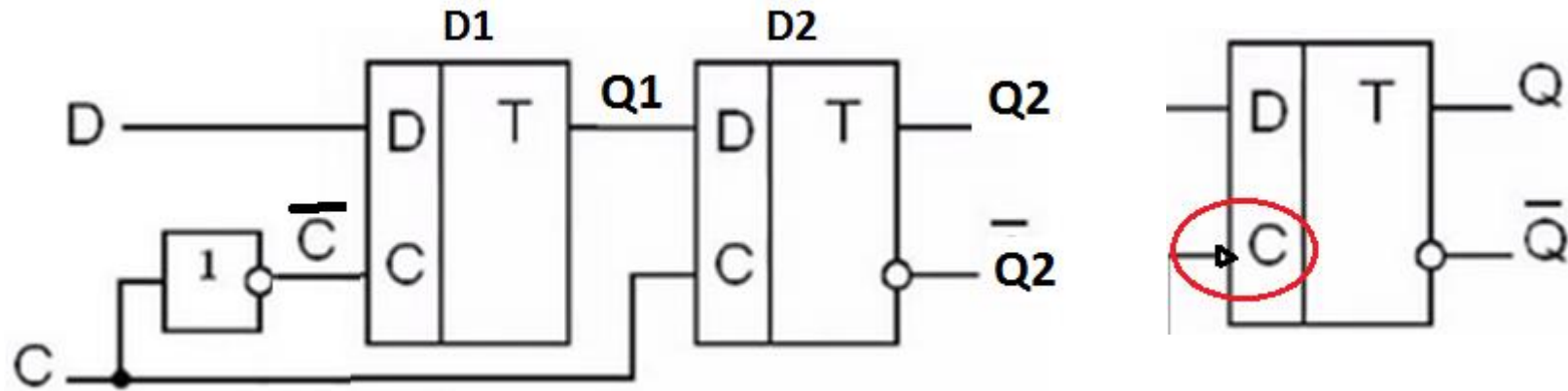


D	C	Q	\overline{Q}	
0	1	0	1	Запись 0
1	1	1	0	Запись единицы
0	0	1	0	Хранение
1	0	1	1	Хранение



- Недостаток:
- при записи ($C=1$) триггер прозрачен, все изменения на входе D (в том числе и помехи) появляются на выходе.
- В режиме записи и наличии обратной связи может переходить в автоколебательный режим (самовозбуждаться)

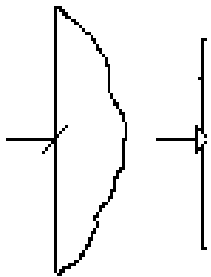
Двухступенчатый динамический D-триггер (Flip – Flop)



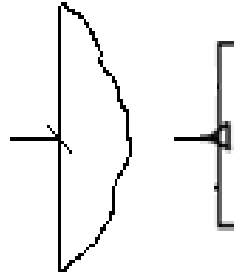
- Два последовательно соединенные одноканальные D-триггеры
- Построен по схеме «ведущий-ведомый» или **Flip - Flop**
- D1- ведущий, D2 – ведомый, оба **D-latch**
 - При $C = 0$ информация с входа **D** записывается в триггер **D1**.
D2 – хранит предыдущее состояние D1
 - При **переходе синхросигнала C** из **0** в **1** (по **нарастающему фронту**) информация из **D1** записывается в ведомый **D2**.
D1 – хранит предыдущее состояние на входе D

Динамический триггер

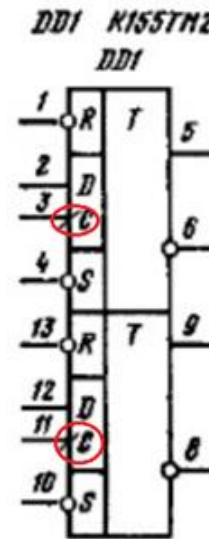
- При изображении динамического входа указывают, по какому фронту триггер изменяет своё состояние.



а



б

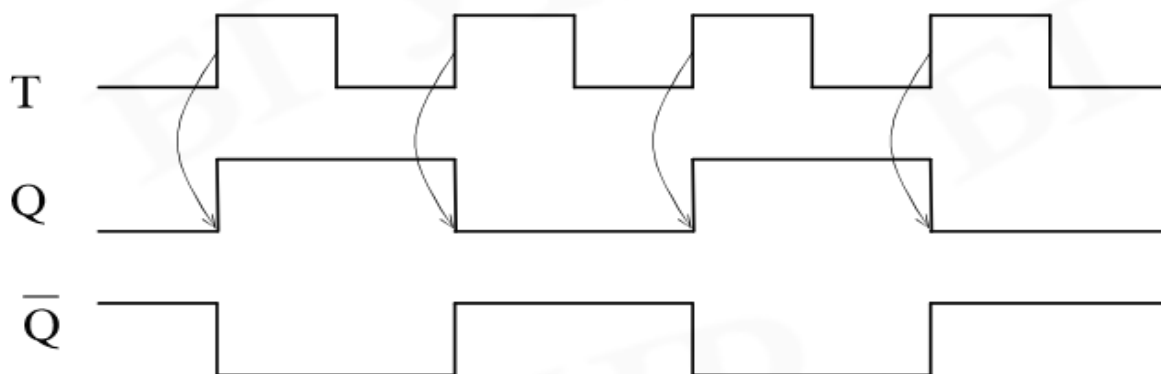
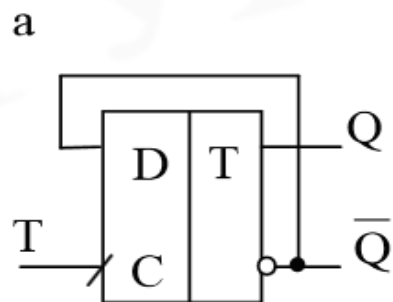


- а- нарастающий фронт
- б - спадающий фронт.

T- триггеры

T – триггер строится на базе двухтактного D -триггера и меняет свое состояние на противоположное при каждом переходе тактового сигнала :

- из **0 в 1** (для триггера на элементах **NOR**)
- из **1 в 0** (для триггера на элементах **NAND**)



Один T-триггер делит тактовую частоту в **два раза**.

Двоичный счетчик

- Счётчик предназначен для **счёта поступающих на его вход импульсов**, в интервале между которыми он должен хранить информацию об их количестве.
- **Коэффициент пересчета** равен количеству состояний в которых может быть счетчик, разрядностью N :

$$K_{сч} = 2^N$$

- Максимальное число M , которое может быть получено в счетчике равно :

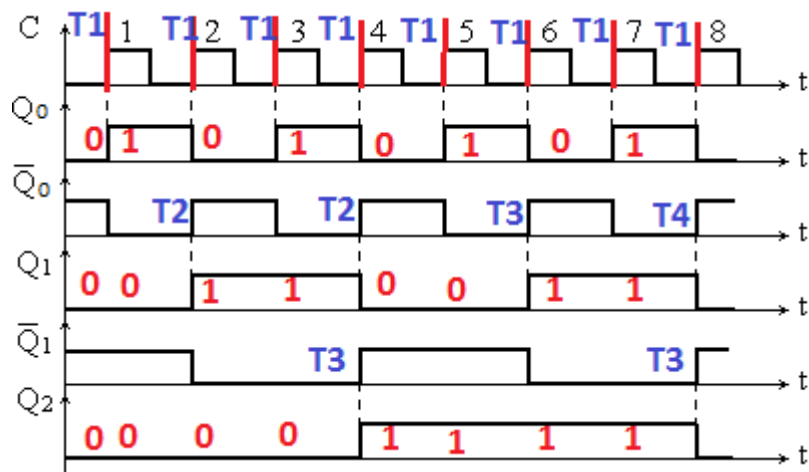
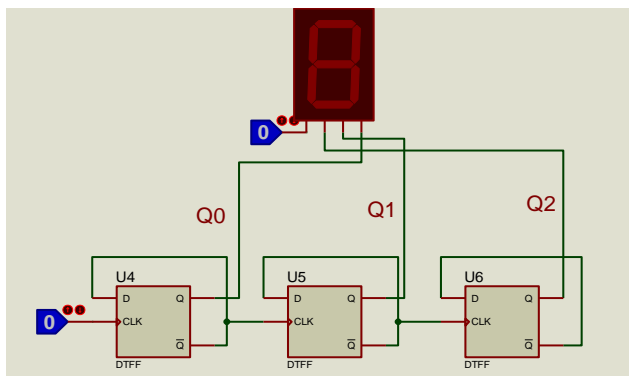
$$M = 2^N - 1$$

Двоичный счетчик

- По направлению счета счетчики бывают:
 - суммирующие, вычитающие, реверсивные.
- По типу хранимой информации:
 - Двоичные, двоично-десятичные
- По способу переключения:
 - Асинхронные - переключение соответствующих разрядов происходит последовательно друг за другом;
 - Синхронные когда переключение происходит одновременно — *параллельно*.

Трехразрядный двоичный счетчик

Суммирующий счетчик



Номер входного импульса	Q_3	Q_2	Q_1	CR
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
				1
0	0	0	0	

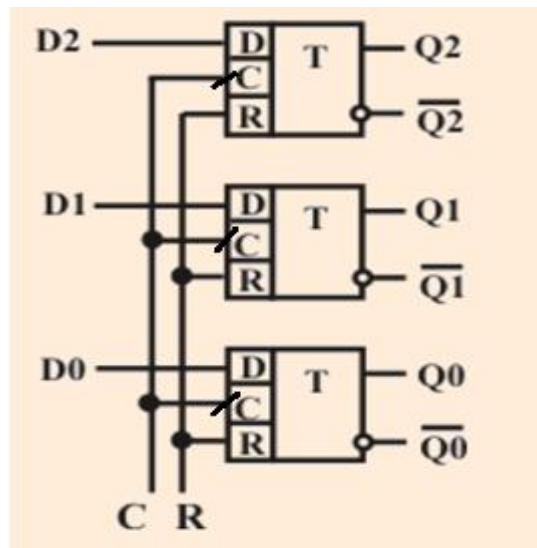
Счетчик состоит из последовательно соединенных Т-триггеров
Счетчик считает переходы из 0 в 1

Регистры

- *Регистры* — это функциональные узлы на основе триггеров, предназначенные для записи, хранения, чтения и преобразования многоразрядной цифровой информации
- В зависимости от способа записи и чтения информации регистры бывают:
 - параллельные;
 - последовательные (сдвигающие);
 - параллельно — последовательные.

Чаще всего регистры строятся на основе двухтактных триггеров

Параллельный регистр

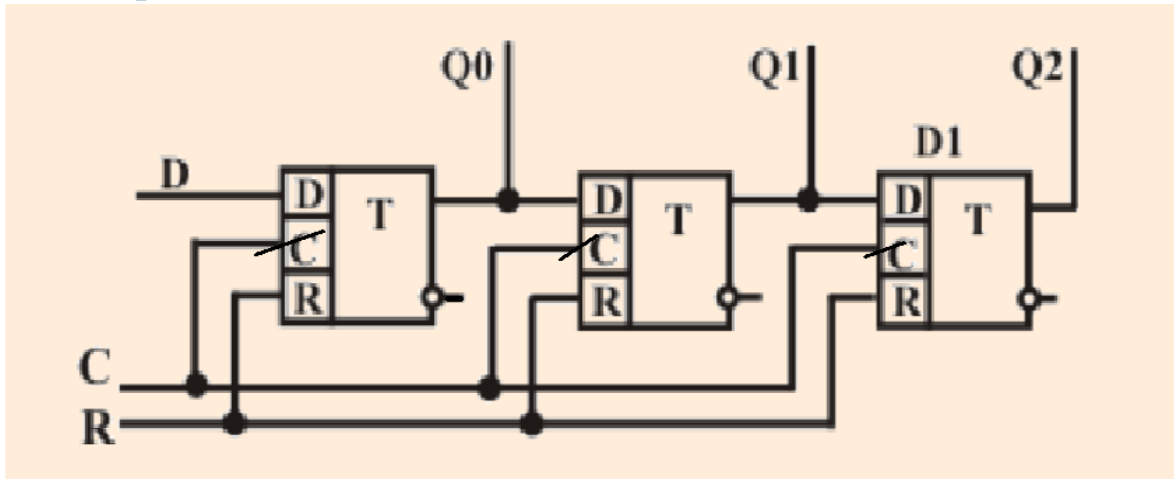


Вход С – запись
Вход R – сброс

- Код на входах D0-D2 записывается в регистр по переходу сигнала на входе **С** из **0** в **1** (или из **1** в **0**)
- Вход **R** служит для установки триггеров в нулевое состояние перед записью информации.

Запись кода в параллельные регистры осуществляется параллельно, то есть во все разряды регистра одновременно.

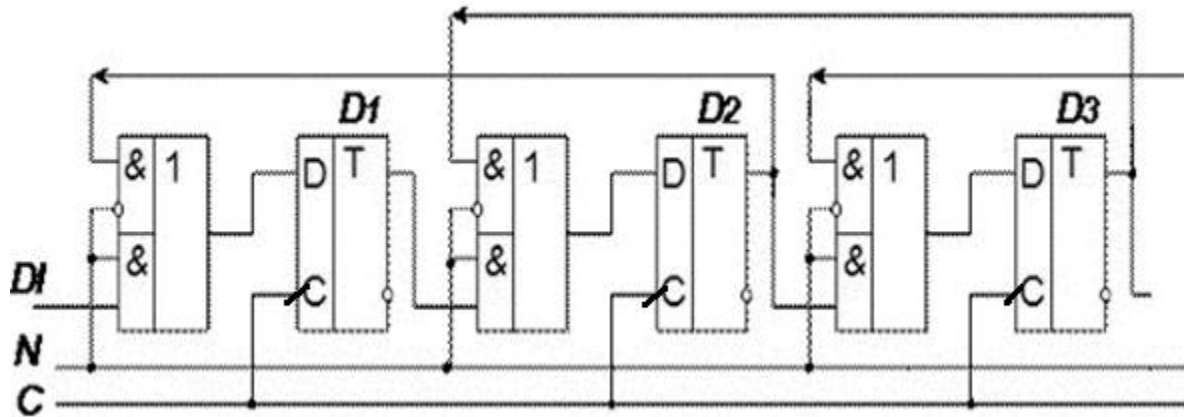
Регистр сдвига



- Триггеры соединены в цепочку
 - Каждый выход одного триггера соединен с входом другого.
- Последовательные данные подаются на D-вход первого триггера.
- По перепаду из 0 в 1 предыдущее состояние одного триггера переписывается в другой триггер.

Информация продвигается по регистру от первого триггера к последнему слева на право.

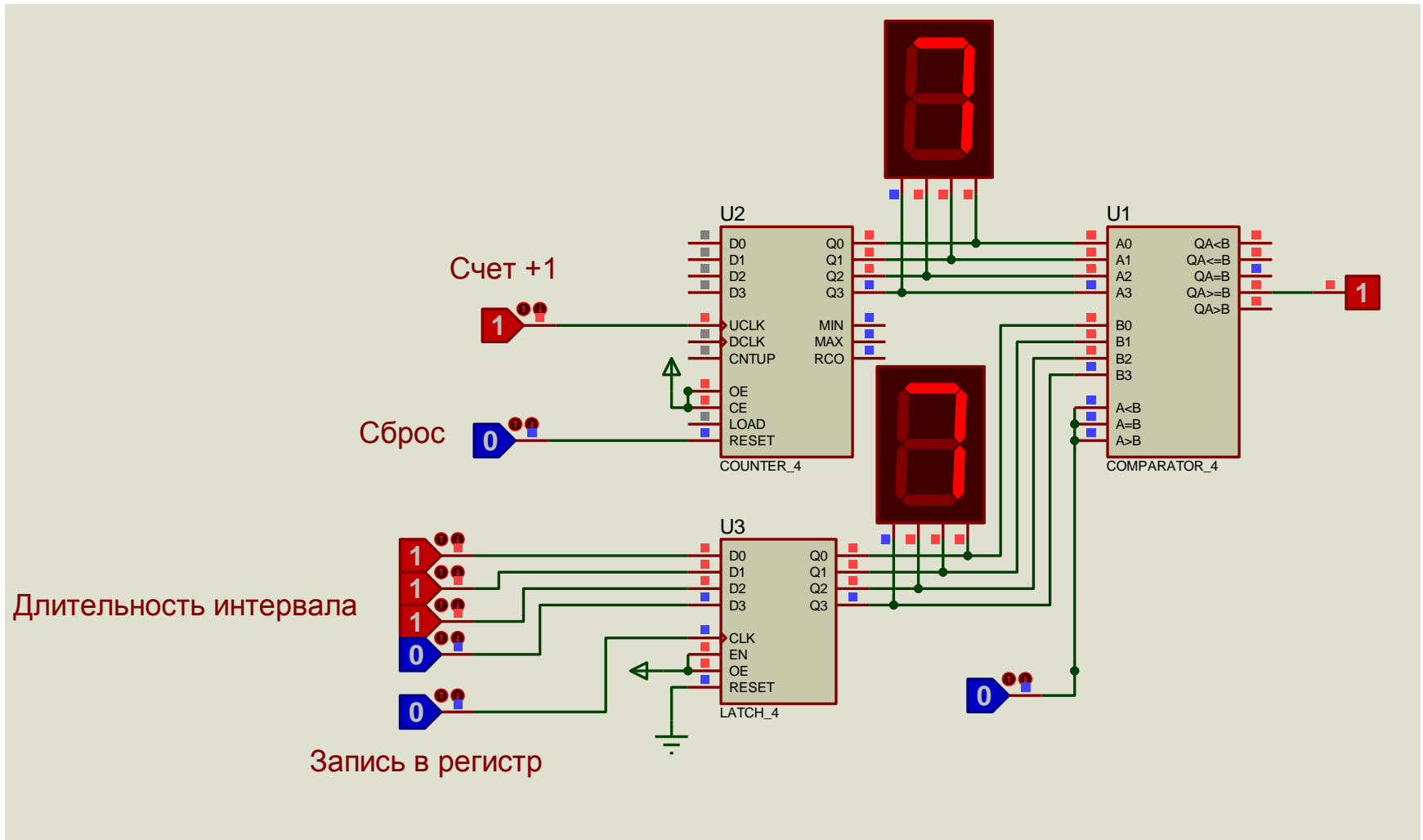
Реверсивный регистр сдвига



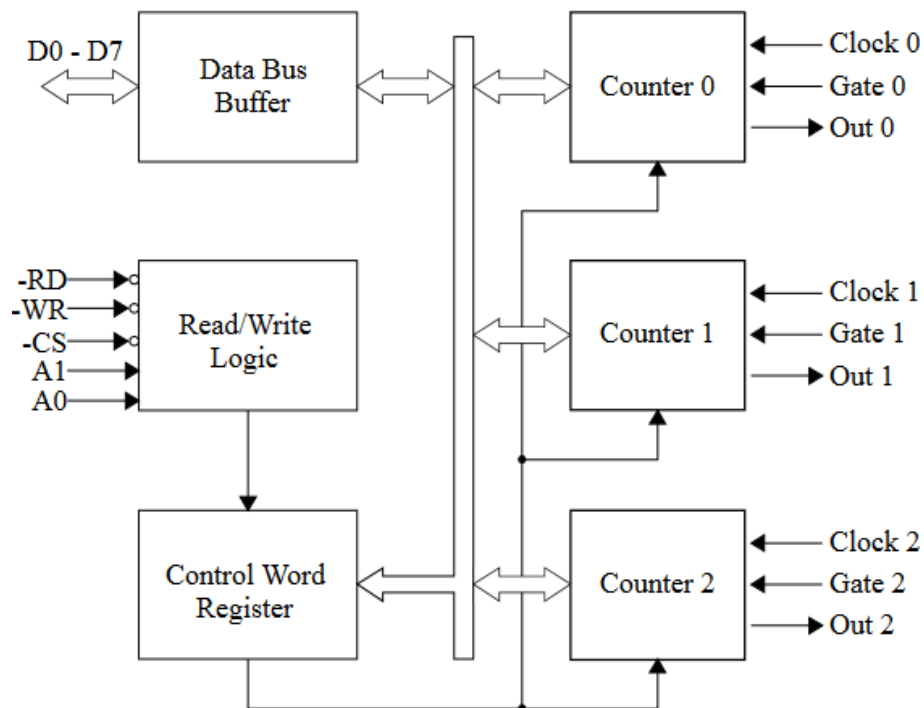
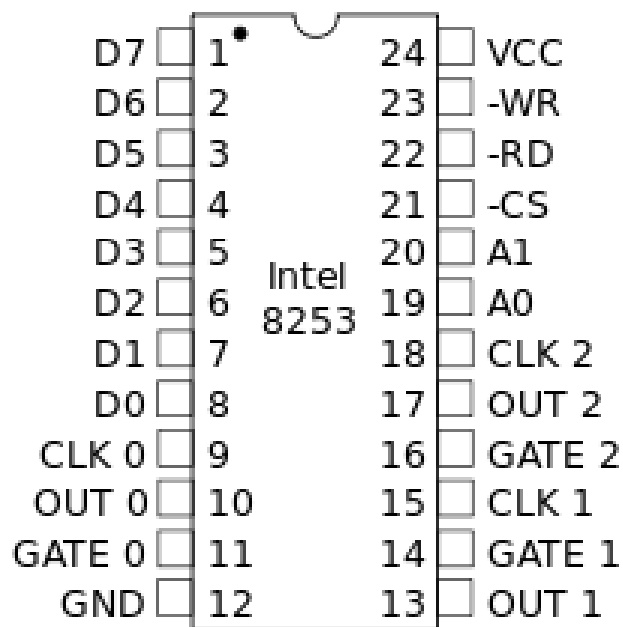
- При $N=1$ тактовые импульсы производят сдвиг вправо,
- При $N=0$ – сдвиг информации влево

Таймер

- Отсчитывает заданный временной интервал



Системный таймер 8253

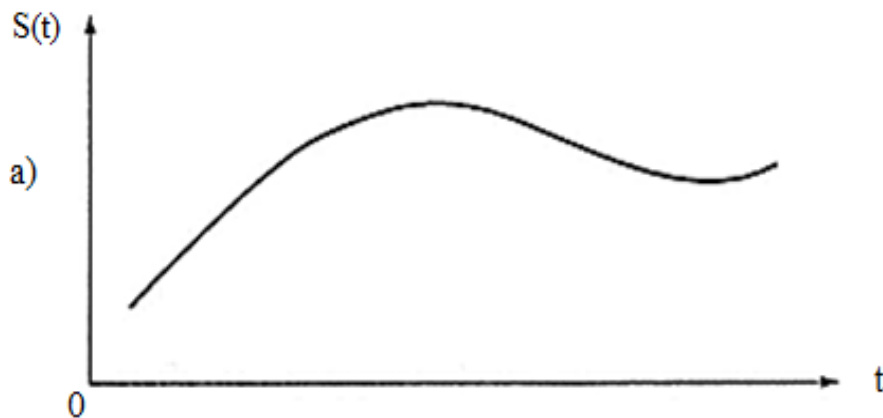


Аналого – цифровой преобразователь

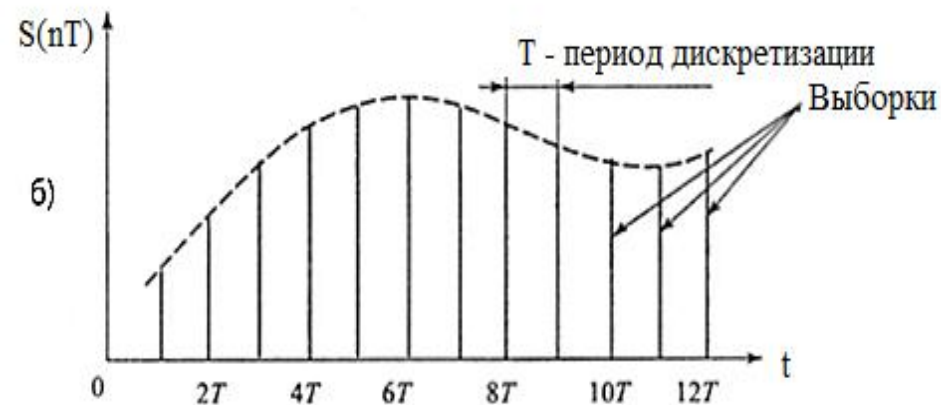
- Аналого-цифровой преобразователь **АЦП** (Analog-to-digital converter, **ADC**)
 - преобразует входной непрерывный (аналоговый) сигнал в последовательность двоичных чисел.
- Процесс преобразования включает в себя три основные операции:
 - - **дискретизацию;**
 - - **квантование;**
 - - **кодирование.**

Дискретизация

- По заданному аналоговому сигналу $S(t)$ строится дискретный сигнал $S(nT)$, причем $S(nT) = S(t)$.
 - Физически такая операция эквивалентна мгновенной фиксации выборки дискретных значений непрерывного сигнала $S(t)$ в моменты времени $t = nT$, после чего образуется последовательность выборочных значений $\{S(nT)\}$, где n – номер отсчёта.
- Период времени, через который запоминаются дискретные значения сигнала называется **периодом дискретизации** или **частотой дискретизации**.



Аналоговый сигнал



Дискретный сигнал

Частота дискретизации

- Теорема **Котельникова – Найквиста**
 - для восстановления аналогового сигнала по дискретным значениям частота дискретизации должна как минимум **в два раза превышать** максимальную частоту f_{\max} преобразуемого аналогового сигнала $S(t)$
- Например, для преобразования звука (в полосе частот 0 -20 КГц) частота дискретизации аудиокарты должна быть не менее 40 КГц.
- Реально частота современных аудиокарт составляет 48кГц или 96кГц.

Квантование и кодирование

■ Квантование

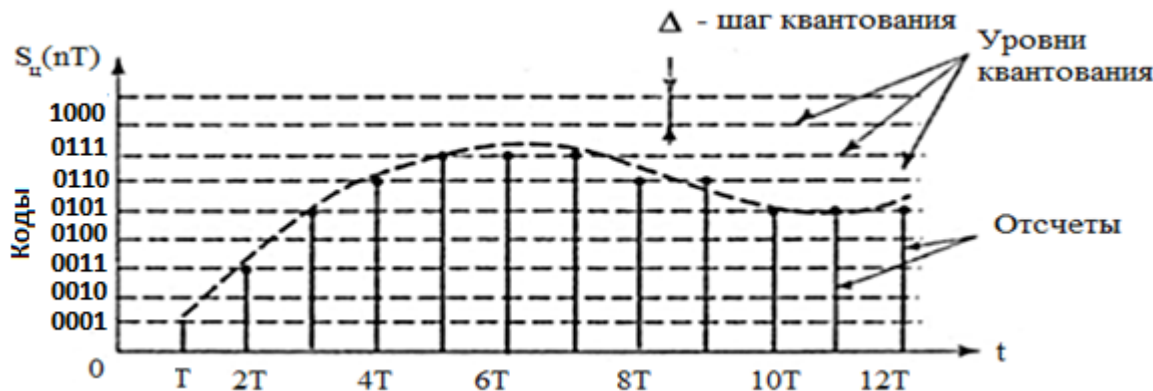
- Весь диапазон в котором изменяется амплитуда сигнала разбивается на уровни, которые называются **квантами**.

■ Кодирование

- Каждому кванту присваивается определённый номер.
- Эти номера кодируются двоичным кодом, а их число N выбирается равным 2^m , где m - разрядность кода или разрядность АЦП.

■ Шаг квантования или разрешающая способность.

- Значение сигнала между двумя уровнями
- Влияет на точность преобразования и определяет минимальный сигнал, который способен распознать АЦП.



Разрешающая способность (шаг квантования)

- При диапазоне входных напряжений от 0В до 5 В и использовании 10-битного АЦП мы имеем следующую разрешающую способность :

$$\frac{5V}{1024} = 0,0049 V = 4,9 мВ$$

- Сигналы менее 4,9 мВ не будут восприниматься АЦП
- Для 24-разрядного АЦП разрешающая способность составляет 0,3мВ

Цифро-аналоговый преобразователь (DAS)

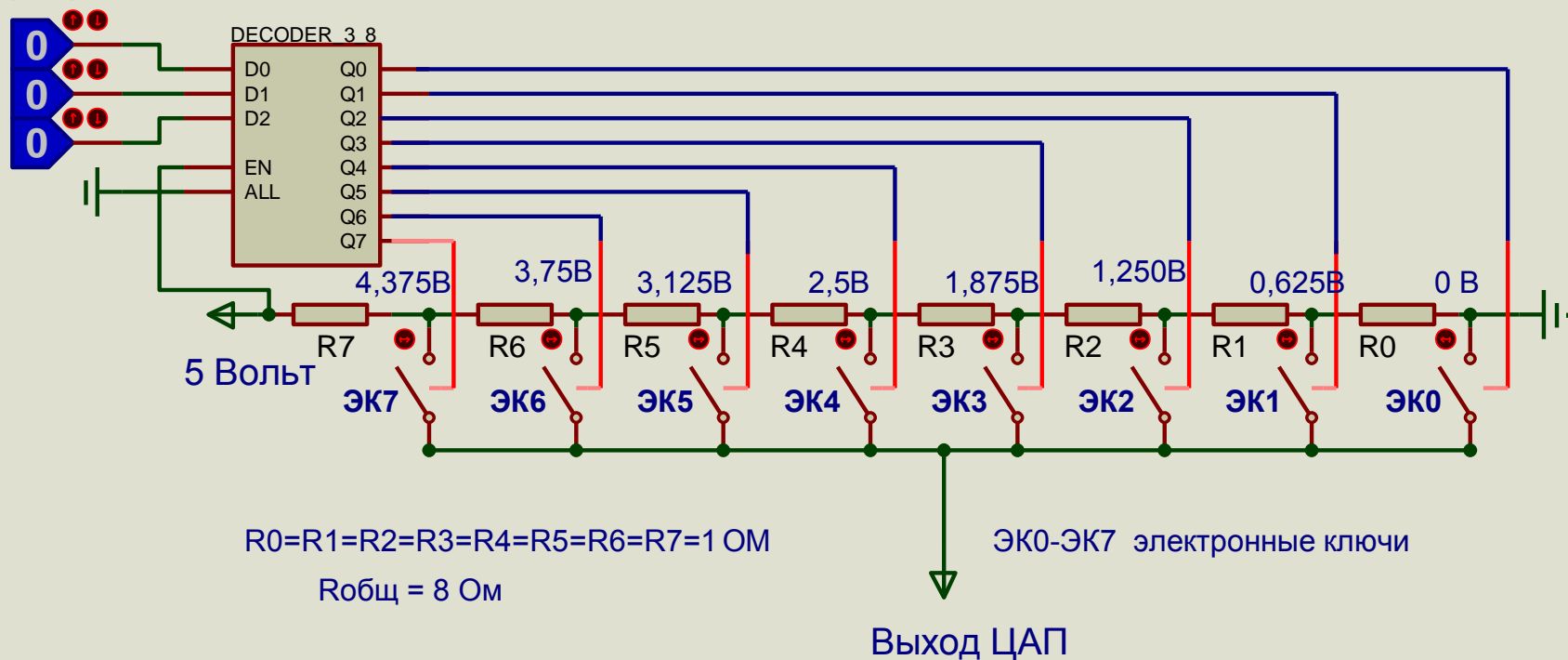
- ЦАП – преобразует цифровой двоичный код в аналоговый (непрерывный) сигнал.

Основные характеристики:

- Разрядность;
- Время преобразования;
- Точность преобразования.

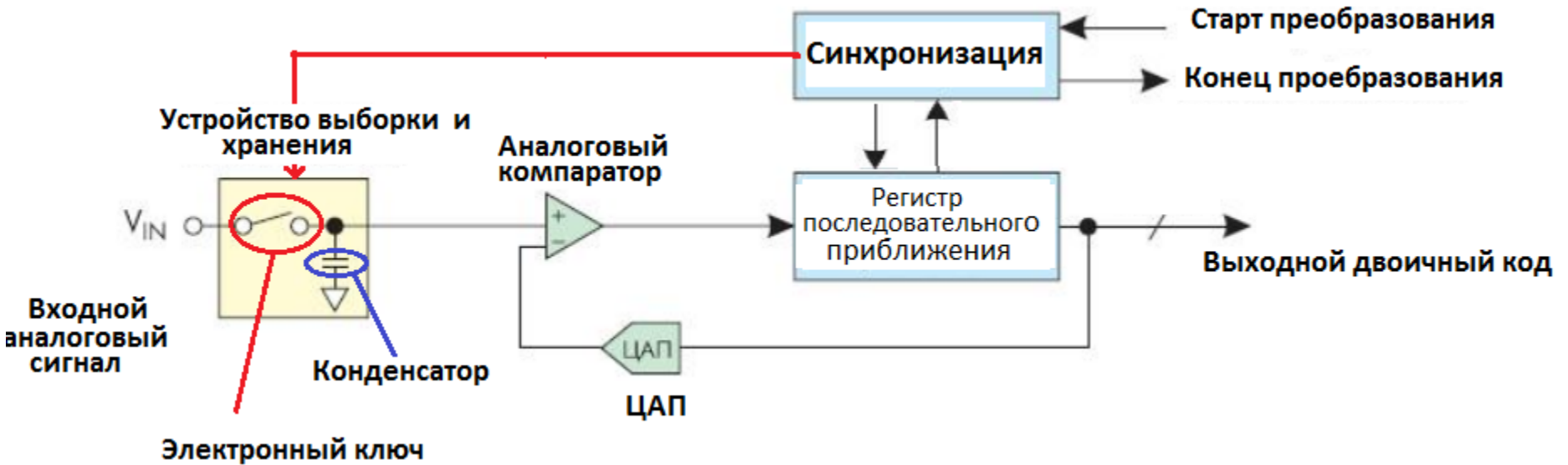
Трехразрядный ЦАП

3-х разрядный двоичный код

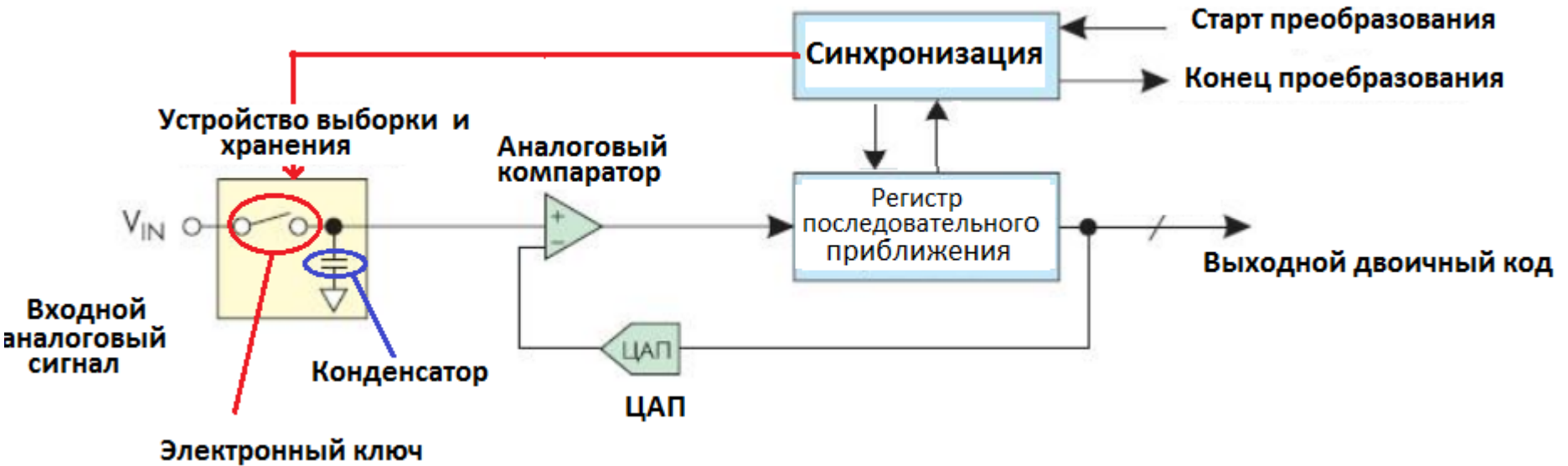


- Опорное напряжение 5В подается на резисторный делитель.
- В зависимости от цифрового кода на входе дешифратора, один из его выходов замыкает один из ключей резисторного делителя.
- Выходной сигнал снимается с соответствующего, замкнутого ключа делителя.

АЦП последовательного приближения



АЦП последовательного приближения



- Мгновенное значение входного сигнала запоминается на конденсаторе.
- Устройство синхронизации последовательно увеличивает значение двоичного кода в регистре последовательного приближения.
- Цифровой код в регистре преобразуется в аналоговый сигнал с помощью **цифро-аналогового преобразователя**.
- Аналоговый сигнал сравнивается с значением входного мгновенного напряжения на аналоговом компараторе.
- В момент сравнения, компаратор вырабатывает сигнал окончания преобразования и из регистра извлекается цифровой код, соответствующий входному напряжению.