УО «Белорусский государственный университет информатики и радиоэлектроники»

Кафедра ПОИТ

Отчет по лабораторной работе № 1

по предмету «Архитектура компьютерной техники и операционных систем»

Вариант 4

Выполнил:

Гузаев Е.Д.

гр. 351003

Проверил:

Леванцевич В.А.

Минск 2024

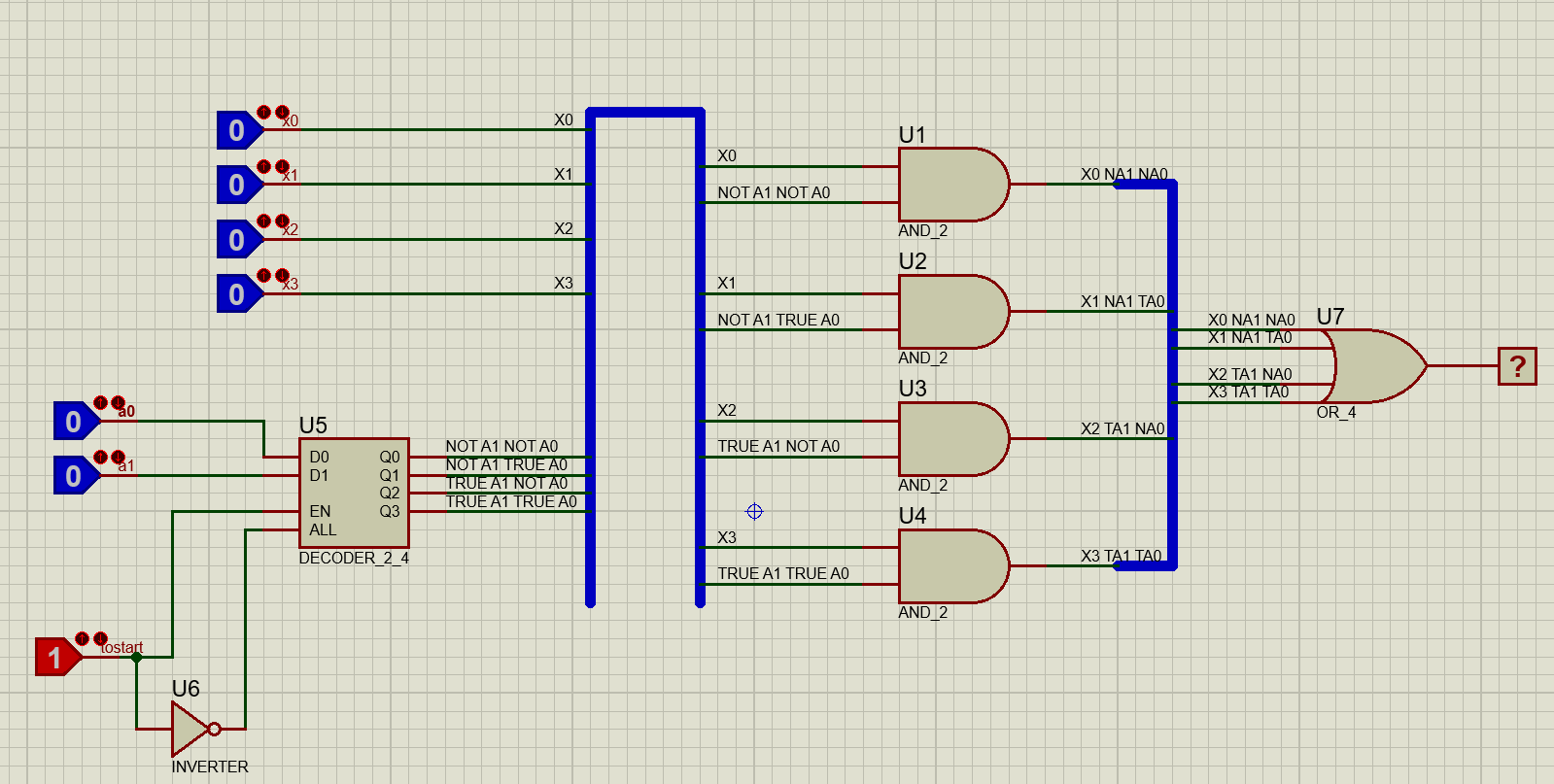
Задание №4:

Цифровой мультиплексор (4 в 1, дешифратор взять как готовую компоненту);

Пропускает(коммутирует) сигнал с одного из входов на один выход в зависимости от состояния двоичного кода на адресных входах.

Логическая функция мультиплексора:

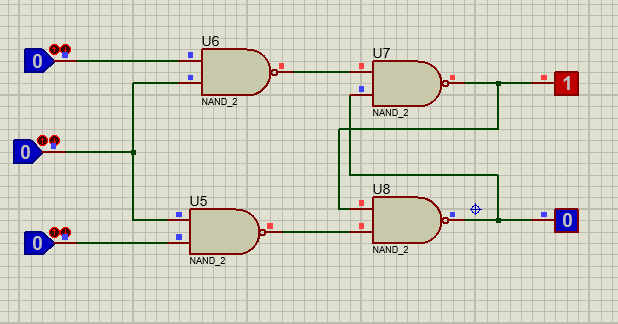
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| a1 | a0 | X3 | X2 | X1 | X0 | Y |
| 0 | 0 | - | - | - | X0 | X0 |
| 0 | 1 | - | - | X1 | - | X1 |
| 1 | 0 | - | X2 | - | - | X2 |
| 1 | 1 | X3 | - | - | - | X3 |



Задание №8:

Синхронный RS -триггер;

В устройствах цифровой техники, для исключения опасных "состязаний" входных сигналов, срабатывание всех узлов и элементов в каждом такте должно происходить строго одновременно. Для достижения этой цели применяется жёсткая синхронизация с помощью специальных синхроимпульсов. Для работы в схемах с синхронизацией режима разработаны синхронные RS-триггеры. Так на схеме (рисунок 13 а) при С=0, триггер будет хранить информацию, при этом значения сигналов на входах RS не будет влиять на работу триггера. Переключение триггера будет происходить при С=1. Применение синхронизации не устраняет неопределённое состояние триггера, возникающее при подаче запрещенной комбинации сигналов.



Задание №12:

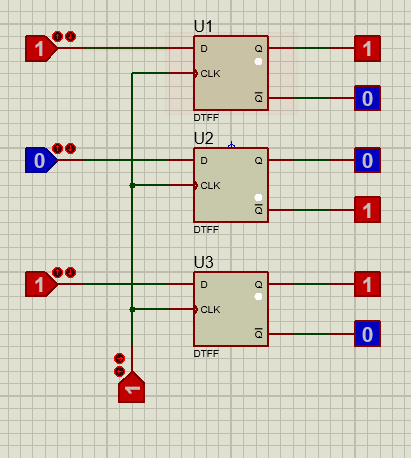
Параллельный регистр 4 -разряда, двухтактный D - триггер взять как готовую компоненту(**В качестве D-триггера можно взять триггер в Proteus (P/Simulator Primitives/DTFF)**;

Запись кода в параллельные регистры осуществляется параллельно, то есть во все разряды регистра одновременно.

Каждый разряд регистра представляет собой двухступенчатый динамический (или реже одноступенчатый) D - триггер, хранящий значение одного разряда.

Вход R служит для установки триггеров в нулевое состояние перед записью информации.

Входное двоичное число подается на входы D0-D2 и при подаче импульса на вход С записывается в триггеры регистра.



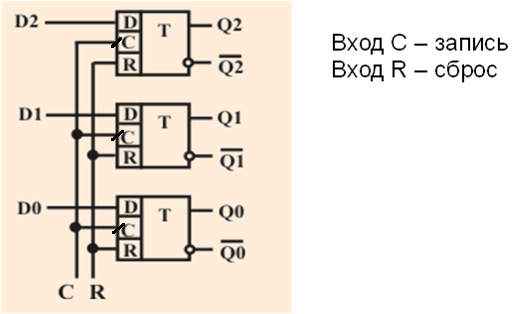


Рисунок 17 - Параллельный регистр

Задание №16:

Таймер;

Таймер – устройство, которое отсчитывает требуемые временные интервала. Таймер можно представить как счетчик с переменным коэффициентом пересчета. На рисунке приведена схема таймера.

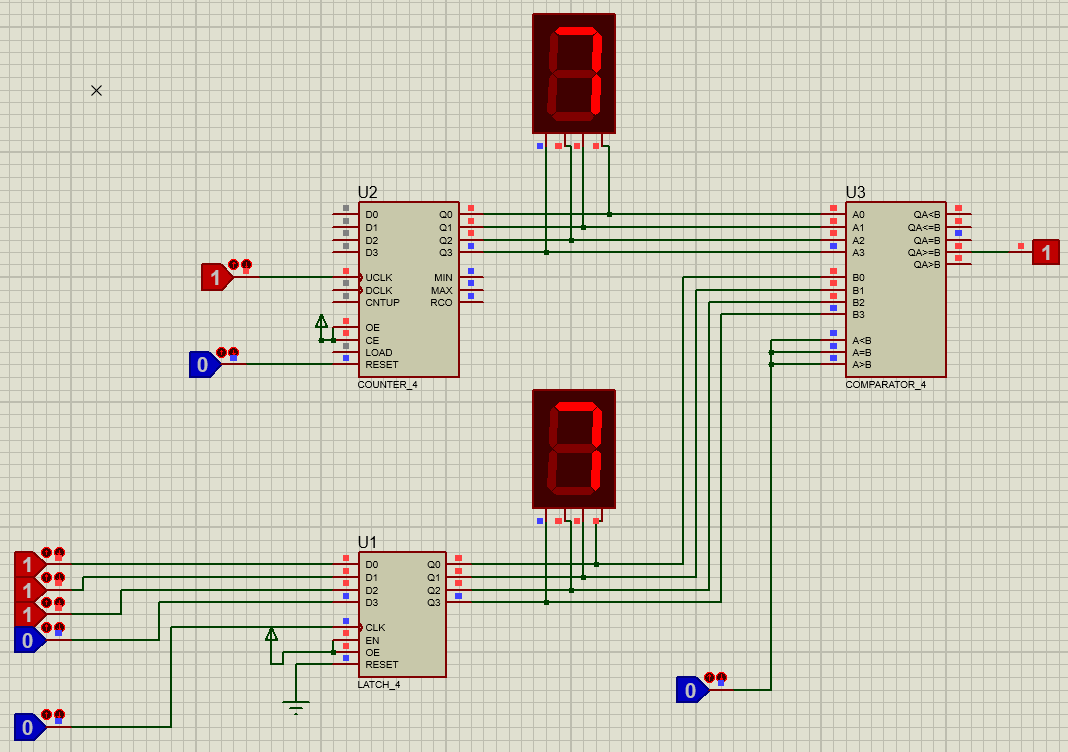


Рисунок 21 Функциональная схема таймера

В состав таймера входят: двоичный счетчик, регистр и компаратор.

Требуемый временной интервал записывается в регистр. Далее на счетный вход счетчика последовательно подаются счетные импульсы, увеличивая значение на его выходе. Значение с выхода счетчика сравнивается со значением интервала в регистре. При равенстве значений на выходе компаратора вырабатывается сигнал сравнения. Таким образом, записывая различные значения в регистр, можем менять длительность импульса на выходе компаратора