

주제/단락	내용
CPU 학습 목표	CPU의 내부 구조와 명령어 실행 원리 이해
CPU 학습 목표	파이프라이닝 기술 이해
CPU 학습 목표	슈퍼스칼라 및 멀티-코어 프로세서의 설계 개념 이해
CPU 학습 목표	명령어 세트의 구성요소와 설계방법
CPU 학습 내용	CPU의 기본구조
CPU 학습 내용	명령어 실행
CPU 학습 내용	명령어 파이프라이닝
CPU 학습 내용	명령어 세트
CPU 역할	기억장치에 저장되어 있는 프로그램 코드(명령어)들을 실행함으로써 프로그램 수행
CPU 세부 동작	명령어 인출(Instruction Fetch, IF): 기억장치로부터 명령어를 읽음
CPU 세부 동작	명령어 해독(Instruction Decode, ID): 수행해야 할 동작을 결정하기 위하여 명령어를 해독
명령어 인출/해독	위의 두 동작은 모든 명령어들에 대하여 공통적으로 수행
CPU 세부 동작	데이터 인출(Data Fetch, DF): 명령어 실행을 위하여 데이터가 필요한 경우에는 기억장치 혹은 I/O 장치로부터 그 데이터를 읽음
CPU 세부 동작	데이터 처리(Data Process, DP): 데이터에 대한 산술적 혹은 논리적 연산을 수행
CPU 세부 동작	데이터 저장(Data Store, DS): 수행한 결과를 저장
데이터 인출/처리/저장	위의 동작들은 명령어에 따라 필요한 경우에만 수행
CPU 기본 구조	산술논리연산장치(Arithmetic and Logical Unit, ALU)

주제/단락	내용
CPU 기본 구조	레지스터 세트(Register Set)
CPU 기본 구조	제어 유닛(Control Unit)
ALU 정의	각종 산술 연산들과 논리 연산들을 수행하는 회로들로 이루어진 하드웨어 모듈
ALU 산술 연산	덧셈, 뺄셈, 곱셈, 나눗셈 등
ALU 논리 연산	AND, OR, NOT, XOR 등
레지스터 정의	CPU 내부에 위치한 기억장치로서, 액세스 속도가 가장 빠른 기억장치
레지스터 역할	CPU가 사용하는 데이터와 명령어를 신속하게 읽기, 저장, 전송에 사용
레지스터 제한	CPU 내부에 포함할 수 있는 레지스터들의 수가 제한됨
레지스터 구성	특수 목적용 레지스터들과 적은 수의 일반 목적용(데이터, 범용) 레지스터 들로 구성
특수 목적용 레지스터	누산기(Accumulator, AC)
특수 목적용 레지스터	프로그램 카운터(Program Counter, PC)
특수 목적용 레지스터	명령어 레지스터(Instruction Register, IR)
특수 목적용 레지스터	메모리 버퍼 레지스터(Memory Buffer Register, MBR)
특수 목적용 레지스터	메모리 주소 레지스터(Memory Address Register, MAR)
특수 목적용 레지스터	스택 포인터(Stack Pointer, SP)
특수 목적용 레지스터	인덱스 레지스터(Index Register, IX)
제어 유닛 정의	프로그램 코드(명령어)를 해석하고, 그것을 실행하기 위한 제어 신호들(control signals)을 순차적으로 발생하는 하드웨어 모듈
CPU 내부 버스 구성	ALU와 레지스터들 간의 데이터를 전달하는 데이터 선들과 제어 유닛에서 발생하는 제어 신호를 전달하는 선들로 구성됨

주제/단락	내용
CPU 내부 버스 연결	외부의 시스템 버스들과는 직접 연결되지 않으며, 반드시 버퍼 레지스터(MBR, MAR)들 혹은 시스템 버스 인터페이스 회로를 통하여 시스템 버스와 접속