



电工技术学报
Transactions of China Electrotechnical Society
ISSN 1000-6753, CN 11-2188/TM

《电工技术学报》网络首发论文

题目: 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的误差分析及调控方法
作者: 蔡雨萌, 赵志斌, 徐子珂, 孙鹏, 李学宝
DOI: 10.19595/j.cnki.1000-6753.tces.210661
收稿日期: 2021-05-10
网络首发日期: 2021-08-26
引用格式: 蔡雨萌, 赵志斌, 徐子珂, 孙鹏, 李学宝. 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的误差分析及调控方法. 电工技术学报.
<https://doi.org/10.19595/j.cnki.1000-6753.tces.210661>



网络首发: 在编辑部工作流程中, 稿件从录用到出版要经历录用定稿、排版定稿、整期汇编定稿等阶段。录用定稿指内容已经确定, 且通过同行评议、主编终审同意刊用的稿件。排版定稿指录用定稿按照期刊特定版式 (包括网络呈现版式) 排版后的稿件, 可暂不确定出版年、卷、期和页码。整期汇编定稿指出版年、卷、期、页码均已确定的印刷或数字出版的整期汇编稿件。录用定稿网络首发稿件内容必须符合《出版管理条例》和《期刊出版管理规定》的有关规定; 学术研究成果具有创新性、科学性和先进性, 符合编辑部对刊文的录用要求, 不存在学术不端行为及其他侵权行为; 稿件内容应基本符合国家有关书刊编辑、出版的技术标准, 正确使用和统一规范语言文字、符号、数字、外文字母、法定计量单位及地图标注等。为确保录用定稿网络首发的严肃性, 录用定稿一经发布, 不得修改论文题目、作者、机构名称和学术内容, 只可基于编辑规范进行少量文字的修改。

出版确认: 纸质期刊编辑部通过与《中国学术期刊 (光盘版)》电子杂志社有限公司签约, 在《中国学术期刊 (网络版)》出版传播平台上创办与纸质期刊内容一致的网络版, 以单篇或整期出版形式, 在印刷出版之前刊发论文的录用定稿、排版定稿、整期汇编定稿。因为《中国学术期刊 (网络版)》是国家新闻出版广电总局批准的网络连续型出版物 (ISSN 2096-4188, CN 11-6037/Z), 所以签约期刊的网络版上网络首发论文视为正式出版。

DOI: 10.19595/j.cnki.1000-6753.tces.210661

阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的误差分析及调控方法

蔡雨萌 赵志斌 徐子珂 孙鹏 李学宝
(新能源电力系统国家重点实验室(华北电力大学) 北京 102206)

摘要 功率 MOSFET 器件栅极分离电容 C-V 特性 ($C_{GS}-V_G$ 、 $C_{GD}-V_G$) 的准确测量对于器件的建模及栅氧可靠性的评估十分重要。阻抗分析仪是测量 $C_{GS}-V_G$ 、 $C_{GD}-V_G$ 的关键设备。在利用阻抗分析仪测量三端器件的某个参数时,需对非测量的第三端进行屏蔽以消除其引入的并联阻抗误差。而功率 MOSFET 器件在栅压超过阈值电压时呈导通态,影响测量电路拓扑,进而引入其他测量误差。本文针对阻抗分析仪测量功率 MOSFET 器件的 $C_{GS}-V_G$ 、 $C_{GD}-V_G$ 进行了详细的误差分析,揭示了测量误差产生的原因;建立了测量的等效电路模型,给出了测量误差的解析表达式;结合实验和数值分析量化了误差分析,验证了等效电路模型的有效性;最后,提出了三种可实现 C-V 特性准确测量的调控方法并予以实验验证。结果表明,测量误差发生在器件导通后,此时器件漏源极间由电容态转变为低阻态,屏蔽端的寄生电感 (L_5) 与自动平衡电桥的等效输入阻抗 (L_3) 分流,引入误差。当 L_3 和 L_5 满足一定的匹配关系时,可实现不同频率下的准确测量。

关键词: 功率 MOSFET 器件 阻抗分析仪 栅极分离电容 C-V 特性 等效电路模型 误差分析

中图分类号: TN386

Error Analysis and Regulation Method of Impedance Analyzer in Measuring Split C-V Characteristics of Power MOSFET Device

Cai Yumeng Zhao Zhibin Xu Zike Sun Peng Li Xuebao

(State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources North China Electric Power University Beijing 102206 China)

Abstract The accurate measurement of the split C-V characteristics ($C_{GS}-V_G$ and $C_{GD}-V_G$) of power MOSFET device is very important for the modeling of the device and the evaluation of the gate oxide reliability. Impedance analyzer is the key equipment to measure the $C_{GS}-V_G$ and $C_{GD}-V_G$. When one parameter of a three-terminal device is to be measured by the impedance analyzer, the non-measured third terminal needs to be shielded to eliminate the parallel impedance error introduced by it. However, the power MOSFET device turns on when the gate voltage exceeds the threshold voltage, which affects the measurement circuit topology and introduces other measurement errors. In this paper, a detailed error analysis of the $C_{GS}-V_G$ and $C_{GD}-V_G$ measured by the impedance analyzer was carried out. The reason of measurement error was revealed; the equivalent circuit model of the measurement was established, and the analytical expression of the measurement error was given. The error analysis was quantified and the effectiveness of the equivalent circuit model was verified by combining experiment and numerical analysis. Finally, three control methods that can achieve accurate measurement of C-V characteristics were proposed and verified by experiments. The results show that the measurement error occurs after the device turns on.

The drain and source of the device transition from capacitance to low resistance. The parasitic inductance of the guarding (L_5) is shunted from the equivalent input impedance of the automatic balance bridge (L_3), which introduces errors. An accurate measurement under different frequencies can be achieved when L_3 and L_5 meet a certain matching relationship.

Keywords: Power MOSFET device, impedance analyzer, split C-V characteristics, equivalent circuit model, error analysis

0 引言

随着电力电子技术的发展,功率半导体器件的应用领域日益扩大^[1-3]。其中,功率 MOSFET 器件凭借其快速开关特性而广泛应用于高频开关电路中^[4-7]。由于功率 MOSFET 器件的极间电容在器件的开关过程中充放电,因此其必然会影响器件的开关性能^[8]。随偏置电压的变化,器件的衬底层发生积累或耗尽,引起功率 MOSFET 器件极间电容的变化。然而,器件的数据手册中仅给出极间电容与漏极电压的非线性关系,未给出其与栅极电压的关系。器件的极间电容中与栅压相关的为栅极电容。此外,在考核器件的栅氧可靠性时,器件栅极分离电容的 C-V 特性 ($C_{GS}-V_G$ / $C_{GD}-V_G$) 用于分析栅极不同位置的退化程度及退化机理^[9]。因此量化功率 MOSFET 器件栅极分离电容的 C-V 特性十分重要。

获得功率 MOSFET 器件栅极分离电容 C-V 特性的方式有两种。一种是通过半导体物理仿真软件进行有限元仿真,提取栅极分离电容的 C-V 特性并通过电路仿真或者实验进行验证。该方法需要知道准确的器件结构参数,而其通常难以获得。另一种是直接通过实验进行测量,此时需保证实验测量的准确性。传统测量元件阻抗特性的设备为 LCR 表或者阻抗分析仪,很多学者在测量功率 MOSFET 器件栅极分离电容的 C-V 特性上做过大量的研究,研究内容主要集中在两方面。

一方面,利用栅极分离电容 C-V 特性的测量结果来指导器件建模,以提高模型的准确度。1991 年美国斯克内克塔迪的 Robert C 等人针对极间电容的与栅压的非线性特性建立 LTspice 模型,并与阻抗分析仪测量得到的 $C_{GS}-V_G$ 、 $C_{GD}-V_G$ 进行对比,验证模型的准确性^[10]。2005 年,飞利浦研究实验室的 Reinhold Elferichl 等人基于对器件的测量和有限元仿真对功率 MOSFET 进行精确的建模,其中阻抗分析仪测试栅极电容特性时,栅压 (V_G) 的测量范围很小,为 -10~0V^[11]。2008 年,法国南希大学的

Stéphane Raël 等人对栅极传输电容 C_{GD} 进行建模,并与 LCR 表的测量结果进行对比,测量频率为 10kHz^[12]。

另一方面,器件栅极分离电容 C-V 特性测量的误差分析及测量方式的改进。针对误差分析,1991 年,香港科技大学的 P.C. Chan 等人指出,使用 LCR 表测量两端以上器件的寄生电容时存在误差,误差主要来源于衬底或阱区的电阻,电阻越小测量结果越准确,且测量频率为 100kHz。但其没有分析屏蔽端阻抗以及器件导通时的测量误差问题^[13]。2000 年,飞利浦半导体的 Predrag Habd 等人提到由于仪器测量拓扑的不稳定性,在沟道导通,即 V_G 大于阈值电压 (V_{TH}) 时,栅极分离电容的 C-V 测试结果无效^[9]。2003 年,安捷伦公司的 Yasushi Okawa 等人分析了超薄栅介质下由于测量系统的寄生电容引起的负电容效应^[14]。

针对测量方式的改进,JEDEC^[15]和 IEC^[16]均标准化了带电容桥的功率器件极间电容测量方式,但未提供实际的测量拓扑。同时标准中指出,为避免寄生元件引入测量误差,测量频率最好低于 2MHz^[15]。2001 年,诺维萨德大学的 Sasa Mileusnic 等人利用 LCR 表测量器件栅极分离电容的 C-V 特性时,为避免非线性特性,测量频率选择 100kHz^[17]。2009 年,日本京都大学的 Tsuyoshi Funaki 等人提出了一种配合阻抗分析仪使用的、能够同时施加栅极和漏极电压的 C-V 特性测量电路。该电路可以测量器件在正常开关下的 C-V 特性,测量频率为 100kHz。但测量电路较为复杂^[8]。2017 年,法国诺曼底大学的 N. Moulitif 等人在 1MHz 下测试了 HTRB 实验前后的 $C_{GS}-V_G$ 特性,以评估 HTRB 对栅氧可靠性的影响^[18]。2018 年三菱电机的 Yasushige Mukunoki 等人认为 C_{GD} 的数值太小导致 LCR 表测量不准确,因此提出通过米勒平台的栅极电流计算 C_{GD} 的方法^[19]。

传统的 LCR 表或者阻抗分析仪测量元件阻抗特性的原理均为自动平衡电桥法,由于二者区别仅在于测量阻抗范围和频率范围的不同,后文统一用

阻抗分析仪来表示。上述研究表明,功率 MOSFET 器件栅极分离电容 C-V 特性的准确测量对于器件的建模及栅氧可靠性的评估十分重要。而阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性时存在各种误差,且测量频率各有不同。受限于仪器本身可测量的频率范围,并且考虑到器件的开关频率等,可能会存在多个测量频率,然而不同频率下测量结果的正确性有待考量。这是因为阻抗分析仪测量三端器件时会引入一定的测量误差,特别的,对于功率 MOSFET 器件,在 $V_G > V_{TH}$ 时器件为通态,此时测量电路拓扑发生变化,必然会引入额外的测量误差。已有文献中部分认为在器件导通时阻抗分析仪的测量结果无效,部分忽略了这个问题,认为测量结果正确。因此,有必要对阻抗分析仪测量功率 MOSFET 器件栅极分离电容的 C-V 特性进行系统的误差分析与评估,探索能够实现准确测量的方法,进一步提高器件建模及栅氧可靠性评估的准确性。

本文首先分析了阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的原理与误差产生的原因。其次,建立了考虑寄生参数影响的阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的等效电路模型,定性分析了各部分引入的误差并给出了误差测量的表达式。然后,结合实验量化了误差分析并验证了等效电路模型的有效性。最后,针对阻抗分析仪准确测量栅极分离电容 C-V 特性提出一些建议。

1 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性建模

1.1 阻抗分析仪测量三端器件原理

当被测元件为三端元件,被测量为其两端间的阻抗参数时,需通过保护技术消除第三端可能引入的并联阻抗测量误差。图 1 为阻抗分析仪测量三端元件的电路原理图。

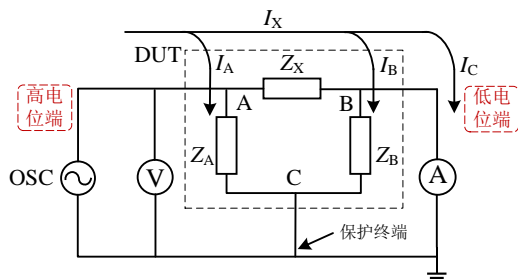


图 1 阻抗分析仪测量三端元件的电路原理图^[20]

Fig.1 Schematic diagram of measuring three-terminal components with impedance analyzer^[20]

图 1 中的高电位端和低电位端分别代表阻抗分析仪的高、低电位测量终端。自动平衡电桥的低电位端简化为电流表的形式,电流表的内阻即为自动平衡电桥电路的等效输入阻抗。DUT 为被测元件,OSC 为测量用交流小信号, Z_X 、 Z_A 、 Z_B 分别为三端元件被测阻抗、第三端与测量端 A 间的阻抗、第三端与测量端 B 间的阻抗。 I_X 、 I_A 、 I_B 、 I_C 分别为实际流过 Z_X 的电流、流过 Z_A 的电流、流过 Z_B 的电流、流过电流表的电流(测量得流过 Z_X 的电流)。保护终端为自动平衡电桥中的虚位点,与大地电气隔离,但从电路上分析,保护终端的电位十分接近于零电位^[18],因此在电路原理图中可将保护终端等效为接地。

由图 1 可见,通过将第三端与保护终端相连,流过 Z_A 的电流 I_A 将不会回流到电流表中。同时,由于电流表的内阻非常小,流过 Z_B 的电流 I_B 也很小。因此,实际电流表测量到的电流 I_C 与流过 Z_X 的电流 I_X 基本一致,测量误差很小。然而,若 Z_B 小到与电流表的内阻相当时, I_B 的值必然增大,导致电流表测量到的电流小于 I_X ,测量误差增大。此外,进行第三端屏蔽时,若第三端与保护终端连接的引线的阻抗较大, I_A 将通过 Z_A 流至 Z_B ,最终计入实测电流 I_C ,导致测量结果出现误差。

1.2 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性建模

根据 1.1 节分析可得,阻抗分析仪测量三端元件时,保护终端的寄生阻抗带来的影响不可忽略。此外,对于功率 MOSFET,在 $V_G > V_{TH}$ 时,器件导通,此时 DS 间的电容将被低导通电阻 (R_{on}) 旁路,导致图 1 中的 Z_B 突变到一个很小的值,这必将引入其他的测量误差。因此,有必要建立考虑寄生参数影响的测量电路模型来分析各部分参数对测量结果的影响。

以测量 $C_{GS}-V_G$ 为例,图 2 为考虑寄生参数后的阻抗分析仪测量功率 MOSFET $C_{GS}-V_G$ 的等效电路模型。图中: DC 为施加栅极偏置的阻抗分析仪内置直流源,G、S、D 分别代表被测器件的栅极、源极和漏极, Z_{GS} 、 Z_{GD} 、 Z_{DS} 分别为被测器件栅源极、栅漏极、漏源极间的寄生阻抗,其中 Z_{GS} 为被测阻抗。 Z_1 和 Z_3 分别为被测器件的 G、S 连接到阻抗分析仪及测量夹具的高、低电位端引入的寄生阻抗,

Z_5 为第三端 D 连接到测量系统保护终端引入的寄生阻抗。

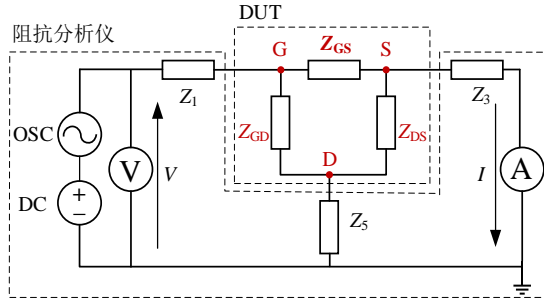


图 2 阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的等效电路模型

Fig.2 Equivalent circuit of impedance analyzer to measure split C-V characteristics of power MOSFET device

求解图 2 的等效电路模型，可得实际测量阻抗 $Z_{GS(meas)}$ 表达式为

$$Z_{GS(meas)} = \frac{V}{I} = \frac{F_1 + F_2 + F_3 + F_4}{(Z_5(Z_{GS} + Z_{GD} + Z_{DS}) + Z_{GD}Z_{DS})} \quad (1)$$

式中

$$\begin{cases} F_1 = (Z_1 Z_3 + Z_1 Z_5 + Z_3 Z_5)(Z_{GS} + Z_{GD} + Z_{DS}) \\ F_2 = Z_{GD}Z_{DS}(Z_1 + Z_3 + Z_{GS}) \\ F_3 = Z_{GD}Z_{GS}(Z_3 + Z_5) \\ F_4 = Z_{GS}Z_{DS}(Z_1 + Z_5) \end{cases} \quad (2)$$

由式 (1) (2) 可见，测量 Z_{GS} 时，由于串联阻抗 Z_1 、 Z_3 、 Z_5 及并联分流阻抗 Z_{GD} 、 Z_{DS} 的引入，导致实际测量所得 $Z_{GS(meas)} \neq Z_{GS}$ 。对于确定的被测器件，其极间阻抗的值均为确定量，即 Z_{GS} 、 Z_{GD} 、 Z_{DS} 不可改变。因此图 2 中引入测量误差的量为 Z_1 、 Z_3 、 Z_5 。显然，理想情况下 $Z_1 = Z_3 = Z_5 = 0$ 时， $Z_{GS(meas)} = Z_{GS}$ ，即图 1 所示电路。但实际测量电路中 Z_1 、 Z_3 、 Z_5 均不为 0，因此必然存在测量误差。

由于连接引入的 Z_1 、 Z_3 、 Z_5 阻抗中的寄生电阻部分都较小，因此对于 Z_1 、 Z_3 、 Z_5 ，仅考虑其寄生电感的值，不计寄生电阻。考虑半导体材料的损耗特性，对于被测器件三端间的寄生阻抗 Z_{GS} 、 Z_{GD} 、 Z_{DS} ，均采用电容和电阻并联的模型。对于功率 MOSFET，阻抗分析仪进行栅极分离电容 C-V 特性测量时，器件导通前后测量等效电路的拓扑不同，因此需分导通前 ($V_G < V_{TH}$) 和导通后 ($V_G > V_{TH}$) 两个阶段分别进行建模。两个阶段的差异在 DS 间的状态，在器件导通前 DS 间呈电容与电阻并联，导通后 DS 间为器件的导通电阻。根据以上原则将图 2 转化为器件导通前后参数化的等效电路模型，分别如图 3、4 所示。图中的蓝色虚线框的部分代表器件

导通前后等效电路模型拓扑改变的位置。

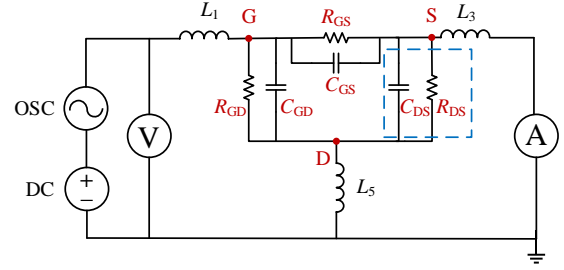


图 3 $V_G < V_{TH}$ 时，参数化的等效电路模型

Fig.3 Parametric equivalent circuit (under $V_G < V_{TH}$)

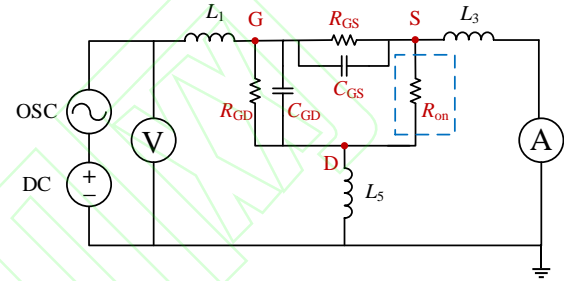


图 4 $V_G > V_{TH}$ 时，参数化的等效电路模型

Fig.4 Parametric equivalent circuit (under $V_G > V_{TH}$)

对比图 1 和图 3、4 可得，在器件导通前 GD 和 DS 间的阻抗都足够大，即图 1 中的 Z_A 和 Z_B 均足够大，电流表测到的电流基本为实际流过器件的电流，此时寄生电感 L_1 、 L_3 、 L_5 影响应较小。器件导通后，GD 间阻抗无变化，由于 L_1 主要受 GD 间阻抗的影响，故器件导通后 L_1 的影响仍较小；但 DS 间呈现低阻态，即图 1 中的 Z_B 很小，此时 L_3 、 L_5 的影响将不可忽略，可等效为 L_5 和 R_{on} 串联后与 L_3 并联分流，进而影响实际流过电流表的电流，引起测量误差。根据图 3 或图 4 中参数化的等效电路模型，结合式 (1) (2) 得到的被测阻抗的测量值 $Z_{GS(meas)}$ ，通过傅里叶分析方法从频域分析角度可求得被测电容 C_{GS} 的测量值 $C_{GS(meas)}$ 及并联电阻的测量值 $R_{GS(meas)}$ ，表达式如下

$$\frac{R_{GS(meas)}}{1 + \omega^2 C_{GS(meas)}^2 R_{GS(meas)}^2} - \frac{j\omega C_{GS(meas)} R_{GS(meas)}^2}{1 + \omega^2 C_{GS(meas)}^2 R_{GS(meas)}^2} = Z_{GS(meas)} \quad (3)$$

由于 $Z_{GS(meas)}$ 的表达式较为复杂，根据式 (1) (2) (3) 无法直接判断各部分参数引起的误差大小。因此下文将结合实验测量和数值分析量化各部分的测量误差。

2 栅极分离电容 C-V 特性测量误差分析

2.1 栅极分离电容 C-V 特性测量实验

以功率 SiC MOSFET 为例进行实验验证上述等效电路模型的有效性并量化各个部分的误差。选取某商用 SiC MOSFET 为测量样本, 封装形式为 TO-247-3, 待测量为 $C_{GS}-V_G$ 和 $C_{GD}-V_G$ 。对于 TO 封装的 SiC MOSFET 器件, 可使用阻抗分析仪适配的夹具测量其栅极分离电容的 C-V 特性。以测量 $C_{GS}-V_G$ 为例, 测量的实验平台图如图 5 所示, 器件的栅极 (G)、源极 (S) 分别与阻抗分析仪夹具输出的高、低电位端相连, 第三端漏极 (D) 与夹具上的保护终端相连。根据 JEDEC 标准规定, 测量频率低于 2MHz。图 6 (a) (b) (c) 分别展示了使用阻抗分析仪不同测量频率下 $C_{GS}-V_G$ 、 $C_{GD}-V_G$ 和栅极输入电容 $C_{ISS}-V_G$ 的测量结果。 C_{ISS} 的测试中, 器件的 DS 短接, 不涉及第三端屏蔽, 该结果的展示仅为说明栅极分离电容 C_{GS} 、 C_{GD} 和栅极输入电容 C_{ISS} 间的关系。需说明的是, 经测量, 被测器件的 $V_{TH}=2.6V$, $R_{on}=80m\Omega$ 。

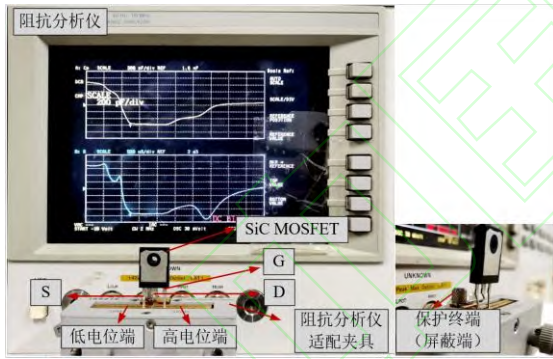


图 5 阻抗分析仪测量功率 MOSFET $C_{GS}-V_G$ 实验平台图

Fig.5 Experimental platform of impedance analyzer to measure $C_{GS}-V_G$ characteristics of power MOSFET

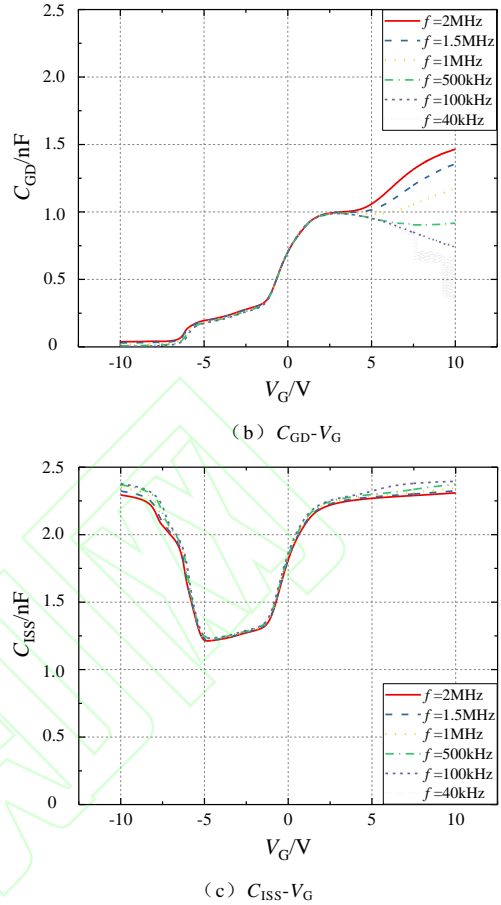
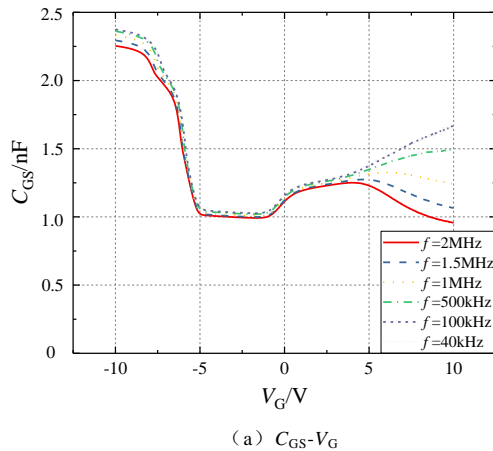


图 6 不同频率下 SiC MOSFET 栅极电容的 C-V 特性

Fig.6 Split C-V characteristics of SiC MOSFET at different frequencies

对于 C_{ISS} , 图 6 (c) 的测量结果与理论一致, 即随 V_G 增大, 高低频下 C_{ISS} 在 $V_G > V_{TH}$ 时总会增大到饱和态, 与低栅压下, 沟道积累时的电容一致。这是由于在 $V_G > V_{TH}$ 时, 器件的漏极和源极均能够给沟道区提供自由电子^[21]。然而, 图 6 (a)、(b) 中, 不同测量频率下 C_{GS} 、 C_{GD} 的测量结果局部存在较大分散性。大约以 V_{TH} 为分界线, 在 $V_G < V_{TH}$ 时, 不同频率下的测量结果几乎重合, 仅在 $V_G = -10V$ 附近测量存在较小分散性; 而在 $V_G > V_{TH}$ 时, 不同频率下测量结果分散性很大, 且随频率的增大, C_{GS} 的测量值逐渐减小, C_{GD} 的测量值逐渐增大, 二者的和恒为 C_{ISS} 。考虑到 SiC MOSFET 的栅极 SiC/SiO₂ 界面处存在较高的界面态密度, 在不同测量频率下界面态电荷的充放电状态不同, 可能会导致电容的变化。图 6 (a)、(b) 中, 对于 $V_G > V_{TH}$ 时不同频率下 C_{GS} 、 C_{GD} 出现的分散性, 无法确定其是由测量误差还是由界面电荷引起, 也无法判断测量结果的正确性。这是因为在 $V_G > V_{TH}$ 阶段, 器件 DS 间状态发生改变, 引起测量电路的拓扑改变, 加之界面电荷的影响,

此时电路中并不是单一变量。因此首先有必要对该测量结果中阻抗分析仪引入的测量误差进行分析。

2.2 栅极分离电容 C-V 特性测量误差分析

定义 Z_{GS} 和 C_{GS} 的测量误差系数分别为

$$E_{Z_{GS}} = \frac{Z_{GS(\text{meas})} - Z_{GS}}{Z_{GS}} \times 100\% \quad (4)$$

$$E_{C_{GS}} = \frac{C_{GS(\text{meas})} - C_{GS}}{C_{GS}} \times 100\% \quad (5)$$

同上,以 C_{GS} - V_G 为例进行分析。显然,图 6 栅极分离电容的测量结果中,测量频率为 40kHz 和 100kHz 时的测量结果几乎完全重合。但当测量频率低于 100kHz 时,器件导通后的测量结果明显有毛刺或者不规则振荡,可见频率太低时仪器的测量精度会降低,这一点在文献[13]中也有提及。基于此,后文的误差分析取测量频率范围为 100kHz~2MHz。为便于分析,本文取测量中固定栅压下的一个点进行分析,由于测量差异在 $V_G > V_{TH}$ 阶段出现,本文取 $V_G = V_{TH}$ (临界点) 处对应的电路参数对图 3、图 4 的等效电路模型进行量化。若认为此时器件尚未导通,则对应图 3 的等效电路模型,模型中的参数分别为 $C_{GS}=1.3\text{nF}$, $R_{GS}=2\text{k}\Omega$, $C_{GD}=1\text{nF}$, $R_{GD}=2\text{k}\Omega$, $C_{DS}=400\text{pF}$, $R_{DS}=2\text{k}\Omega$ 。其中 C_{DS} 的值与 V_G 无关,因此其参照了器件的数据手册中漏极电压 V_D 与栅极电压 V_G 均为 0 时对应的值;若此时器件已经导通,则对应图 4 的等效电路模型,模型中的参数除 DS 间变为 $R_{on}=80\text{m}\Omega$ 外,其他参数不变。为验证第二部分等效电路模型的有效性,下文均分器件导通前 ($V_G < V_{TH}$) 和导通后 ($V_G > V_{TH}$) 两个阶段对测量误差进行分析。

2.2.1 L_1 引入的误差分析

根据器件导通前后对应的图 3、图 4 等效电路模型,在器件导通前后 GD 间电路拓扑不变,故 L_1 引入的误差应较小。在 $L_3=L_5=10\text{nH}$ 的条件下,取 $L_1=0\text{nH}\sim 100\text{nH}$,图 7 (a)、(b) 分别展示了器件导通前后 L_1 的误差分析结果。

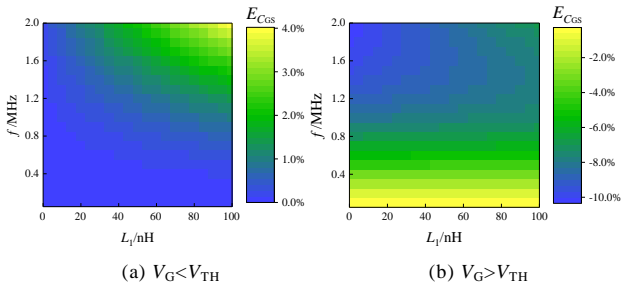


图 7 L_1 引入的误差

Fig.7 Error introduced by L_1

由图 7 (a) 可得, $V_G < V_{TH}$ 时,测量电容随 L_1 及测量频率的增大均略微增大。在 $L_1=100\text{nH}$, $f=2\text{MHz}$ 时, $E_{C_{GS\max}} < 4\%$,可见,在器件未导通时 L_1 对测量结果的影响很小。

由图 7 (b) 可得, $V_G > V_{TH}$ 时,在固定频率下,随 L_1 的变化,测量电容变化很小;而在固定的 L_1 下,测量电容随频率的增大而减小, $L_1=0\text{nH}$, $f=2\text{MHz}$ 时, $E_{C_{GS\min}} \approx -10\%$ 。此外,从图中可得 $L_1=0$ 与 $L_1 \neq 0$ 的测量误差基本相同,这说明不同频率下测量结果的差异与 L_1 基本无关。频率的变化也会影响 L_3 和 L_5 对应的阻抗,这可能是引起图 7 (b) 中测量电容变化的根本原因,该结论将在下文具体分析。因此,器件导通后, L_1 对测量结果的影响也较小。以上验证了等效电路模型和分析的有效性。

2.2.2 L_3 引入的误差分析

根据器件导通前后对应的图 3、图 4 等效电路模型,在器件导通前后 DS 间电路拓扑改变,故器件导通后 L_3 引入的误差应会发生变化。类似的,控制 $L_1=L_5=10\text{nH}$,取 $L_3=0\text{nH}\sim 100\text{nH}$,在 $V_G=V_{TH}$ 的等效电路模型下分析导通前后 L_3 引入的误差,结果分别如图 8 (a)、(b) 所示。

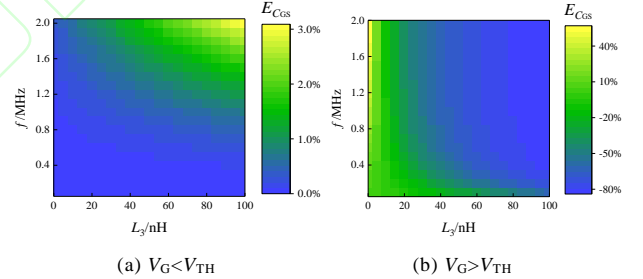
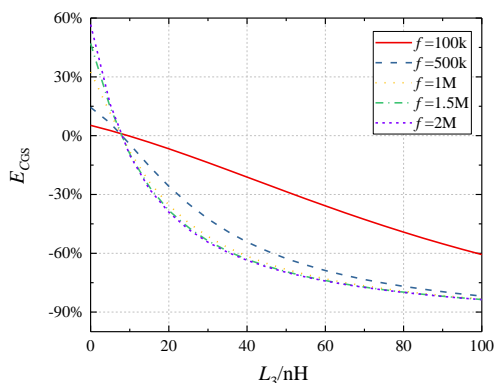


图 8 L_3 引入的误差

Fig.8 Error introduced by L_3

由图 8 (a) 可得, $V_G < V_{TH}$ 时,测量电容随 L_3 以及测量频率的增大均略微增大。在 $L_3=100\text{nH}$, $f=2\text{MHz}$ 时, $E_{C_{GS\max}} < 3\%$,可见,在器件导通前 L_3 对测量结果的影响很小。

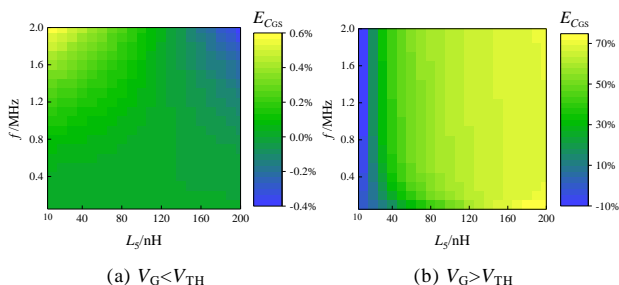
由图 8 (b) 可得, $V_G > V_{TH}$ 时,在固定的测量频率下,测量电容随 L_3 的增大而减小;在固定的 L_3 取值下,测量电容随测量频率的变化非单调,且存在一定的分散性。提取图 8 (b) 中几个频点下的结果转换成二维图如图 9 所示。

图 9 $V_G > V_{TH}$ 不同频率下 L_3 引入的误差Fig.9 Error introduced by L_3 at different frequencies($V_G > V_{TH}$)

由图 9 可得, 随 L_3 的变化, 100kHz 下的测量结果最稳定。且 $L_5=10\text{nH}$ 的前提下, 大约在 $L_3=10\text{nH}$ 时测量结果最准确。由器件导通后图 4 的等效电路模型可得, 器件导通后 DS 间呈低阻态, 电路可等效为 L_5 和 R_{on} 串联后再与 L_3 并联分流, 实际测得的电流即流过 L_3 的电流与 L_5 相关, 因此测量结果最准确时 L_3 的取值显然依赖于 L_5 的大小。由器件导通后的分析结果可见, L_3 引入的误差增大, 验证了等效电路模型和分析的有效性。

2.2.3 L_5 引入的误差分析

根据器件导通前后对应的图 3、图 4 等效电路模型, 在器件导通前寄生参数的影响应都较小。器件导通后由于 DS 间呈低导通电阻, L_3 和 L_5 将直接影响实际流过电流表的电流, 此时 L_5 的误差不可忽略。对于测量系统中的阻抗分析仪及其适配的夹具, 在 Z_1 和 Z_3 的部分不存在人为引入的其他电路元件, 因此测量系统本身引入的 Z_1 、 Z_3 寄生阻抗值很小。在此, 我们假定阻抗分析仪及夹具测量器件的 C-V 特性时引入的 $L_1=L_3=10\text{nH}$ 。考虑到实际的电路连接, 屏蔽端阻抗 L_5 的值可能较大, 因此取 $L_5=10\text{nH}\sim 200\text{nH}$ 进行误差分析。图 10 (a)、(b) 分别展示了器件导通前后 L_5 的误差分析结果。

图 10 L_5 引入的误差Fig.10 Error introduced by L_5

由图 10 (a) 可得, $V_G < V_{TH}$ 时, 测量电容随 L_5 的增大而减小, 随测量频率的增大而增大。在 $L_5=10\text{nH}$, $f=2\text{MHz}$ 时, $E_{CGS\max} < 0.6\%$ 。屏蔽端阻抗 L_5 的主要作用为屏蔽掉通过 L_1 和 Z_{GD} 的电流, 避免该电流通过 Z_{DS} 回流到电流表中, 影响测量电流。在器件导通前, 由于 DS 间呈电容和电阻的并联, Z_{DS} 很大, 因此 L_5 及频率的影响很小。以上分析表明, 对于本文的被测器件, 在器件导通前保护终端引入的寄生电感 L_5 在 200nH 以内时对测量结果的影响误差均很小, 可忽略不计。

由图 10 (b) 可得, $V_G > V_{TH}$ 时, 在固定的测量频率下, 测量电容随 L_5 的增大而增大, 且在 L_5 最小时对应的 $E_{CGS\min} < 0$ 。该结果表明, 在器件导通后, 保护终端引线的寄生电感并不是越小越好。为得到准确的测量结果 ($E_{CGS}=0$), 需要 L_5 满足一定的条件。此外, 不同测量频率下使得测量结果最准确的 L_5 的值不同。从图 10 (b) 中可见, 在不同 L_5 的取值下, 测量结果随测量频率的变化并非线性关系。为确定在不同的测量频率下保护终端寄生电感的最佳取值, 将图 10 (b) 转换为不同频率下 E_{CGS} 随 L_5 变化的二维平面图, 如图 11 所示。为使展示效果更为清晰, 图 11 中仅展示了 5 个频点下的误差分析曲线, 但足以反映分析结果。

图 11 表明, 对于本文所测量的 SiC MOSFET, 器件导通后, 大约在 $L_5 < 14\text{nH}$ 时, E_{CGS} 随测量频率的增大而减小, 且频率越低该规律越明显, $14\text{nH} < L_5 < 150\text{nH}$ 时, E_{CGS} 随测量频率的增大而增大, 同理, 频率越低时该规律越明显。对比图 6 (a), 器件导通后, 测量电容随频率的增大而减小, 因此图 10 的计算结果中 $L_5 < 14\text{nH}$ 阶段与实际测量结果一致。

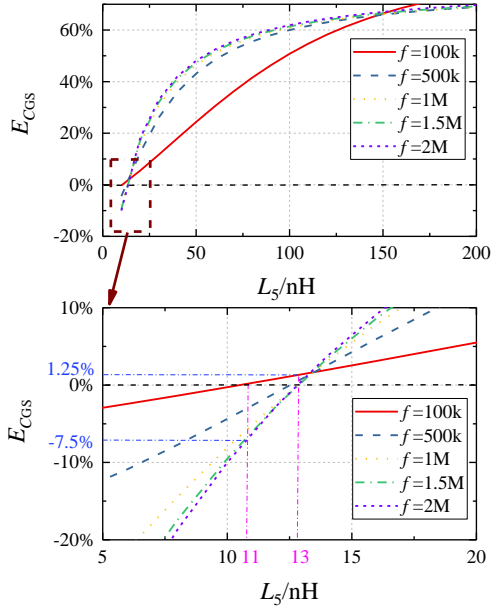

 图 11 $V_G > V_{TH}$, 不同频率下 L_5 引入的误差

 Fig.11 Error introduced by L_5 at different frequencies
($V_G > V_{TH}$)

进一步的, 随测量频率的增大, $E_{CGS}=0$ 时对应的 L_5 的最佳取值 (下文记为 $L_{5(opti)}$) 单调增大。在所分析的测量点 $V_G=V_{TH}$ 处, 随测量频率的增大, $L_{5(opti)}$ 变化较小。取频率的两个极端值分析, 规定 $f=100\text{kHz}$ 时 $L_{5(opti)}$ 表示为 $L_{5(opti)_100\text{kHz}}$, 可得 $L_{5(opti)_100\text{kHz}}=11\text{nH}$, 同理 $L_{5(opti)_2\text{MHz}}=13\text{nH}$ 。此外, 不同频率下测量结果对 L_5 的灵敏度也不同, 随测量频率的增大, 测量结果对 L_5 的灵敏度也增大。显然, 随频率的增大, L_5 对应的阻抗增大, 导致引入的测量误差增大。规定取 $L_5=L_{5(opti)_2\text{MHz}}$ 时, 100kHz 下的测量误差 E_{CGS} 表示为 $E_{CGS_100\text{kHz}}$, 同理, $L_5=L_{5(opti)_100\text{kHz}}$ 时, 2MHz 下的测量误差 E_{CGS} 表示为 $E_{CGS_2\text{MHz}}$ 。可得 $E_{CGS_100\text{kHz}}=1.25\%$, 而 $E_{CGS_2\text{MHz}}=-7.5\%$ 。综上分析, 在假设 $L_3=10\text{nH}$ 的前提下, 可认为阻抗分析仪及夹具本身屏蔽端引入的寄生电感 $L_5 < 14\text{nH}$, 且测量频率越低, 误差越小且越稳定。由于在 $V_G=V_{TH}$ 处为临界点, 在此栅压下不同频率的测量结果基本重合, 即测量结果应位于图 10 中的交点附近, 此时 100kHz 测量结果略偏大, 最大可近似为 $E_{CGS_100\text{kHz}}=1.25\%$ 。可见即使 100kHz 下测量误差也非常小, 并且 100kHz 下的测量误差随 L_5 的波动最稳定。综上, 在 $E_{CGS} < 1.25\%$ 的情况下, 可认为 100kHz 下的测量结果是准确的。

假定上述分析成立, 取测量结果分散性最大的点 ($V_G=10\text{V}$) 进一步分析导通状态下的误差。以 $f=100\text{kHz}$ 的测量结果为基准, $V_G=10\text{V}$ 时,

$C_{GS}=1.67\text{nF}$, $R_{GS}=2\text{k}\Omega$, $C_{GD}=0.73\text{nF}$, $R_{GD}=2\text{k}\Omega$, 此时器件已经导通, 因此按照图 4 的等效电路模型进行分析, DS 间取 $R_{on}=80\text{m}\Omega$ 。误差分析结果如图 12 所示。

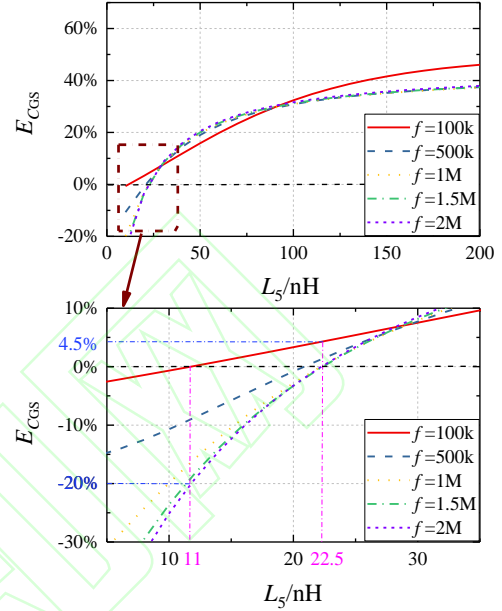

 图 12 $V_G > V_{TH}$, 不同频率下 L_5 引入的误差 (分析点为 $V_G=10\text{V}$)

 Fig.12 Error introduced by L_5 at different frequencies
($V_G > V_{TH}$, analysis at $V_G=10\text{V}$)

由图 12 可得, 在 $V_G=10\text{V}$ 处, 仍呈现随测量频率的增大, $L_{5(opti)}$ 单调增大的规律。此时, $L_{5(opti)_100\text{kHz}}=11\text{nH}$, $L_{5(opti)_2\text{MHz}}=22.5\text{nH}$ 。其中 $V_G=10\text{V}$ 时与 $V_G=V_{TH}$ 分析点处所得的 $L_{5(opti)_100\text{kHz}}$ 相同。且 $E_{CGS_100\text{kHz}}=4.5\%$, $E_{CGS_2\text{MHz}}=-20\%$ 。该结果与图 6 (a) 的测量结果一致, 即 V_G 越大, 不同频率下测量结果的分散性越大, 且高频下测得的电容偏小。可见, 在不同栅压下, 100kHz 时 $L_{5(opti)}$ 基本稳定在 11nH , 且与阻抗分析仪测量时保护终端寄生电感的预估值 ($L_3=10\text{nH}$ 的情况下, $L_5 < 14\text{nH}$) 较为接近。故可认为 100kHz 下测量结果准确, 2MHz 下的测量误差最大, 为 -20% 。数值分析结果与实验结果的一致性很好地证明了等效电路模型的有效性。

需注意的是, 上述分析均以 $L_3=10\text{nH}$ 为前提。显然, 器件导通后 L_3 和 L_5 共同影响不同频率下的测量结果。二者间的关系以及如何通过二者的有效匹配实现最准确的测量将在第 3 部分中进行讨论。

2.2.4 导通电阻的误差分析

上述分析表明阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性时, 测量误差主要发生在

器件导通后, 主要原因是器件导通后 DS 间的低阻态引起的屏蔽端寄生电感 L_5 与自动平衡电桥的等效输入阻抗 L_3 的分流。显然, 器件导通后, 导通电阻的值必然会影响测量结果。假定 $L_3=L_5=10\text{nH}$, 分析导通电阻对测量结果的影响, 结果如图 13 所示。

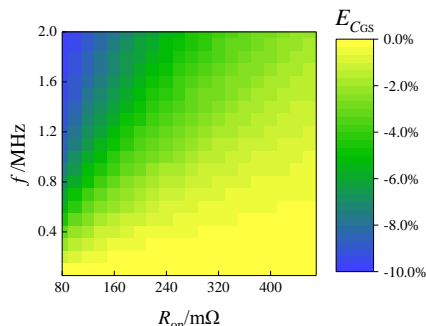


图 13 $V_G > V_{TH}$, 导通电阻引入的误差

Fig.13 Error introduced by R_{on} ($V_G > V_{TH}$)

由图 13 可得, 在固定频率下, 导通电阻 R_{on} 越大, E_{CGS} 越接近 0, 测量结果越准确。且固定导通电阻下, 测量频率越大误差越大。该结果进一步验证了等效电路模型及误差分析的有效性, 即导通电阻越大, 屏蔽端阻抗的分流越小, 此时电流表测得的电流越大, 越接近于真实值。测量频率的增大导致屏蔽端阻抗的增大, 进而增大了测量误差。

3 栅极分离电容 C-V 特性模型验证与测量调控

3.1 栅极分离电容 C-V 特性测量误差分析的实验验证

对于确定的被测系统, 被测器件的导通电阻 R_{on} 确定, 自动平衡电桥的等效输入阻抗 L_3 一般也确定。因此根据第 2 部分对测量等效电路模型的数值分析可得, 阻抗分析仪测量功率 MOSFET 的栅极分离电容 C-V 特性时, 测量误差主要来源是器件导通后屏蔽端寄生阻抗 L_5 的影响, 且其引入误差与测量频率密切相关, 因此主要通过实验验证这部分引入的误差。同上, 以测量 $C_{GS}-V_G$ 为例, 通过实验中在器件的 D 端串联不同大小值的电感来研究 L_5 对测量结果的影响, 串联的电感值用 L_3 来表示。在测量频率为 1MHz 和 100kHz 下测量的 $C_{GS}-V_G$ 结果如图 14 所示。

由图 14 可得, 不同测量频率下, 屏蔽端串联的寄生电感在 0~63.4nH 变化时, 仅影响 $V_G > V_{TH}$ 段的电容测量结果, $V_G < V_{TH}$ 的测量结果完全重合, 验证了测量误差出现在器件导通后, 且与屏蔽端寄生电感有关; $V_G > V_{TH}$ 时, 测量所得电容随屏蔽端寄生电

感的增大而增大, 且 $f=100\text{kHz}$ 时测量结果的分散性较 $f=1\text{MHz}$ 时小, 这与图 10 (b) 的数值分析结果一致, 验证了误差分析的有效性。

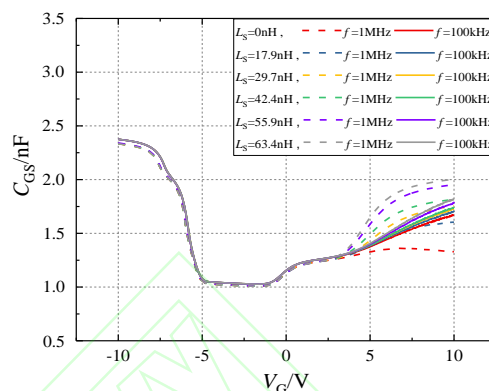


图 14 不同频率下, 不同屏蔽端寄生电感的测量结果

Fig.14 Measurement results of different L_5 under different frequency

3.2 栅极分离电容 C-V 特性测量调控与实验验证

器件导通后, 屏蔽端的寄生电感将起到两方面的作用。一是屏蔽掉流过 L_1 和 Z_{GD} 的电流, 这部分与器件是否导通无关。图 10 (a) 的分析证明了 L_5 在 200nH 以内时这部分的影响很小, 可忽略不计。二是器件导通后, DS 间呈现低阻态, 此时被测电流会通过 DS 间的低阻流向屏蔽端, 导致流过电流表的电流减小, 即 L_5 与 L_3 间存在并联分流的关系。因此需要 L_3 和 L_5 的匹配以实现准确测量。

第 2 部分的分析结果表明, $L_{5(opti)}$ 随测量频率的变化而变化。此外, 由于器件导通后 L_5 与 L_3 的分流直接影响了测量结果, 因此 $L_{5(opti)}$ 与 L_3 相关。在 $R_{on}=80\text{m}\Omega$ 时, 取 $L_3=5\text{nH}/10\text{nH}/15\text{nH}$ 分别计算不同频率下的 $L_{5(opti)}$ 及测量误差 E_{CGS} 。图 15 和表 1 分别展示了 $L_{5(opti)}$ 和 E_{CGS} 的结果。

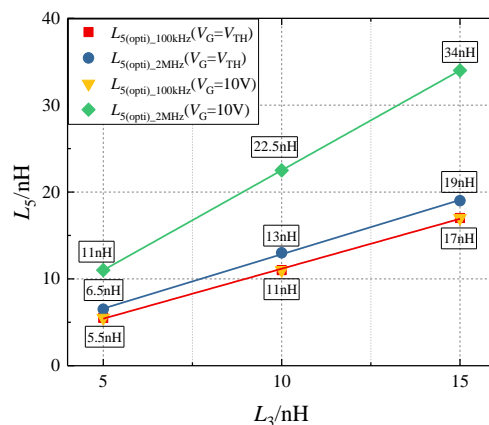


图 15 $V_G > V_{TH}$, 不同 L_3 下 $L_{5(opti)}$

Fig.15 $L_{5(opti)}$ under different L_3 ($V_G > V_{TH}$)

表 1 $V_G > V_{TH}$, 不同 L_3 下 E_{CGS}

 Tab.1 E_{CGS} under different L_3 ($V_G > V_{TH}$)

L_3/nH	V_G/V	$E_{CGS_100\text{kHz}}$	$E_{CGS_2\text{MHz}}$
5	2.6(V_{TH})	1%	-
	10	-	-18%
10	2.6(V_{TH})	1.25%	-
	10	-	-20%
15	2.6(V_{TH})	2%	-
	10	-	-19%

由图 15 可得, 100kHz 下 $V_G=10\text{V}$ 与 $V_G=V_{TH}$ 下的 $L_{5(\text{opti})}$ 相等, 且随 L_3 的增大而增大。说明了 100kHz 下测量结果的稳定性。低频 100kHz 测量时寄生阻抗小, 随 V_G 的变化 $L_{5(\text{opti})}$ 基本稳定在一个确定的值, 且该值仅与 L_3 相关。2MHz 下 $V_G=10\text{V}$ 时的 $L_{5(\text{opti})}$ 大于 $V_G=V_{TH}$ 的值, 这是由于在器件导通后, 器件的 C_{GS} 和 C_{GD} 随着 V_G 的变化也在改变, 并且随着 V_G 的增大, C_{GS} 和 C_{GD} 的差值增大, 导致在高频下测量时 $L_{5(\text{opti})}$ 随 V_G 的增大而增大, 同时 $L_{5(\text{opti})}$ 也随 L_3 的增大而增大。

由表 1 可得, 以 $E_{CGS_100\text{kHz}}$ 来评估 100kHz 下 $V_G=V_{TH}$ 时的测量误差 (此时 100kHz 的误差最大), 该测量误差随 L_3 的增大而增大, $L_3=15\text{nH}$ 时最大误差仅为 2%。 $V_G=10\text{V}$ 时, 显然, 100kHz 下的测量结果最准确; 以 $E_{CGS_2\text{MHz}}$ 来评估 $V_G=10\text{V}$ 时 2MHz 下的测量误差 (此时 2MHz 的测量误差最大), 其随 L_3 的增大几乎不变, 但误差值本身较大, 约为 20%。因此, 随 V_G 的变化, 100kHz 下的测量结果较为准确。

综上所述, 针对阻抗分析仪准确测量功率 MOSFET 器件栅极分离电容的 C-V 特性提出以下三点调控方法, 并通过本文中利用阻抗分析仪适配的夹具测量功率 MOSFET 的 $C_{GS}-V_G$ 实验进行验证。

1) 低频测量不做补偿。

若使用阻抗分析仪及其适配的夹具进行测量, 测量系统本身引入的 L_3 和 L_5 值较小, 此时测量频率越低, 测量结果越准确。然而受仪器精度限制, 测量频率 < 100kHz 时波形存在不规则振荡, 因此实际测量频率为 100kHz 时, 测量误差最小。经本文分析, 若阻抗分析仪及测量夹具本身引入的寄生电感满足 $L_3 < 15\text{nH}$ 、 $L_5 < 19\text{nH}$, 100kHz 下的测量结果误差均 < 2%, 即在 2% 的误差允许范围内可认为 100kHz 的测量结果较为准确。

图 14 的结果侧面反映了本方案的有效性。图中屏蔽端串联的寄生电感 $L_5=0\text{nH}$ 的情况下测量系统中的寄生参数仅为阻抗分析仪及其适配的夹具引入

的部分, 而测量系统本身引入的 L_3 、 L_5 值均很小。故认为 100kHz 下的测量误差最小, 测量结果最准确。

2) 低频测量做补偿。

针对被测元器件的不同封装形式、不同测量方式 (比如探针台测试芯片等), 需要引入其他的测量引线或者自主设计适配的夹具, 此时 L_3 、 L_5 均可改变。由图 15 可得, 在较低频率如 100kHz 下测量时, $L_{5(\text{opti})}$ 仅与 L_3 相关, 且二者呈近似线性关系, 表达式可写为

$$L_{5(\text{opti})} = aL_3 + b \quad (6)$$

式中的 a 、 b 分别为 $L_{5(\text{opti})}$ 与 L_3 线性关系中的斜率和截距。

在 100kHz 下测量时按式 (6) 对 L_5 和 L_3 进行补偿, 可以得到最准确的测量结果。对于本文的测量系统, 100kHz 测量时对应的 $a=1.15$ 、 $b=-0.33$ 。

由于本文实验利用阻抗分析仪适配的夹具进行测量, 夹具本身引入的 L_3 、 L_5 的准确值无法获知, 为验证低频测量补偿方案的有效性, 只能通过器件的源极与漏极分别补偿不同值的 L_3 和 L_5 来使补偿后 100kHz 的测量值与未补偿时的结果一致, 实验结果如下图 16 所示。

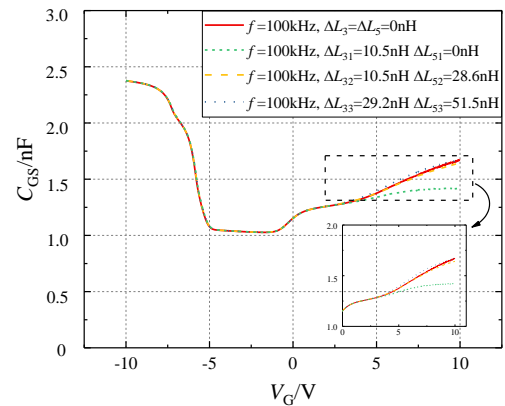


图 16 100kHz 下做补偿的实验结果

Fig.16 Experimental results of compensation under 100kHz

对比图 16 中 L_3 补偿 10.5nH 时, L_5 不补偿和补偿 28.6nH 两种情况, 显然当 L_5 不补偿时, 器件导通后的测量误差很大, 此时 L_5 再补偿 28.6nH, 测量结果准确, 证明了补偿可行性; 此外, $\Delta L_{32}=10.5\text{nH}$, $\Delta L_{52}=28.6\text{nH}$ 和 $\Delta L_{33}=27.5\text{nH}$, $\Delta L_{53}=51.5\text{nH}$ 两组补偿参数下均与未补偿时 100kHz 下的测量结果相同, 即测量结果准确。且满足如下方程

$$\frac{\Delta L_{53} - \Delta L_{52}}{\Delta L_{33} - \Delta L_{32}} = 1.22 \approx a = 1.15 \quad (7)$$

式(7)证明了在误差允许范围内,补偿参数符合式(6)所提出的补偿关系式,定量验证了低频测量做补偿的有效性。

3) 高频测量做补偿。

根据 JEDEC 标准规定,测量频率<2MHz。受限于测量仪器的频率范围或考虑到其他测量频率的要求,有时需在 100kHz~2MHz 间的频点进行测量。经本文分析,通过 $L_{5(\text{opti})}$ 和 L_3 间的匹配可实现不同频率下的准确测量。

由图 15 可得,较高频率下 $L_{5(\text{opti})}$ 不仅与 L_3 相关,而且与 V_G 有关。高频下 $L_{5(\text{opti})}$ 与 L_3 仍呈近似线性关系,计及 V_G 影响时, V_G 越大,随 L_3 的增大 $L_{5(\text{opti})}$ 增大的速率越快,但仍呈线性关系。高频下 $V_G = V_{TH}$ 时 $L_{5(\text{opti})}$ 与 L_3 的线性关系与 100kHz 时基本平行,即斜率一致。故高频下 $L_{5(\text{opti})}$ 和 L_3 的关系可表达为

$$L_{5(\text{opti})} = (a+c)L_3 + d \quad (8)$$

式中的 a 与式(6)中的 a 相同,表示了 $V_G = V_{TH}$ 时 $L_{5(\text{opti})}$ 与 L_3 需满足的线性关系, c 代表 $V_G > V_{TH}$ 时 V_G 对 $L_{5(\text{opti})}$ 的影响, d 为考虑 V_G 影响后 $L_{5(\text{opti})}$ 与 L_3 线性关系中的截距。

需注意的是,式(8)仅代表固定频率、固定 V_G 时的补偿方案,若固定 L_3 、不同 V_G 下进行其他频率的准确测量,需通过图 4 的等效电路模型求解对应的补偿参数。对于本文的测量系统,2MHz、 $V_G = 10V$ 下的 $c = 1.15$ 、 $d = -0.5$ 。

此调控方法的验证方式同 2),实验结果如下图。

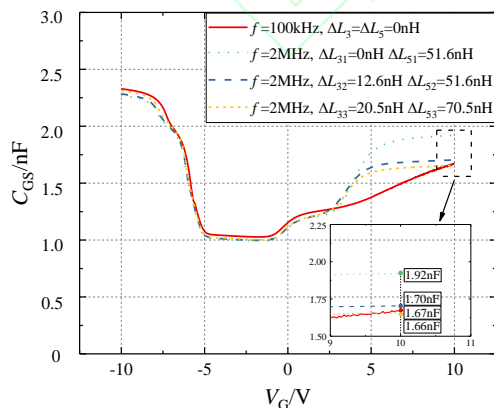


图 17 2MHz 做补偿的实验结果

Fig.17 Experimental results of compensation under 2MHz

同上分析,对比图 17 中 L_5 补偿 51.6nH, L_3 不补偿和补偿 12.6nH 两种情况,显然当 L_3 不补偿时,2MHz 下 $V_G = 10V$ 时测量误差达到了 15%,此时 L_3

再补偿 12.6nH,测量误差减小到 1.8%,认为测量准确,证明了高频补偿可行性;此外, $\Delta L_{32} = 12.6nH$, $\Delta L_{52} = 51.6nH$ 和 $\Delta L_{33} = 20.5nH$, $\Delta L_{53} = 70.5nH$ 两组补偿参数下均实现了 $V_G = 10V$ 时 2MHz 与未补偿时 100kHz 下测量结果几乎相同,即测量准确,且满足

$$\frac{\Delta L_{53} - \Delta L_{52}}{\Delta L_{33} - \Delta L_{32}} = 2.39 \approx a + c = 2.3 \quad (9)$$

式(9)证明了在误差允许范围内,补偿参数符合公式(8)所提出的补偿关系式,定量验证了高频测量做补偿的有效性。

4 结论

本文重点研究了阻抗分析仪测量功率 MOSFET 器件栅极分离电容 C-V 特性的误差问题,建立了测量的等效电路模型,揭示了引入误差的原因,结合实验数值分析了各部分寄生参数引入的误差大小,验证了模型的有效性并针对测量准确性提出一些建议。主要结论如下:

1) 阻抗分析仪测量功率 MOSFET 器件栅极分离电容的 C-V 特性时,器件导通后 DS 间由电容电阻的并联转变为低导通电阻,引起电路拓扑的改变,因此引入了测量误差。

2) 屏蔽端的寄生电感是引入功率 MOSFET 器件栅极分离电容 C-V 特性测量误差的主要参数。在器件导通后,其与自动平衡电桥的等效输入阻抗分流进而影响了测量结果。

3) 提出了自动平衡电桥的等效输入阻抗和屏蔽端寄生电感在一定范围内时低频测量不补偿的方法,及不同频率下二者按一定关系匹配补偿的方法来实现功率 MOSFET 器件栅极分离电容的 C-V 特性的准确测量。本文所提调控方法对使用阻抗分析仪适配夹具或自制夹具测量功率器件栅极 C-V 特性均具有重要的指导意义。

参考文献

- [1] 盛况, 任娜, 徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报, 2020, 40(06): 1741-1753.
Sheng Kuang, Ren Na, Xu Hongyi. A recent review on silicon carbide power devices technologies[J]. Proceedings of the CSEE, 2020, 40(06): 1741-1753.
- [2] 高晖胜, 瞿鹏, 黄林彬, 等. 能量约束下电力电子并网装备的最优频率控制[J]. 电力系统自动化, 2020, 44(17): 9-18.

- Gao Huisheng, Zi peng, Huang linbin, et al. Optimal frequency control of grid-connected power electronic devices with energy Constraints[J]. Transactions of China Electrotechnical Society, 2020, 44(17): 9-18.
- [3] 项佳宇, 李学宝, 崔翔, 等. 高压大功率 IGBT 器件封装用有机硅凝胶的制备工艺及耐电性[J]. 电工技术学报, 2021, 36(02): 352-361.
- Xu Jiayu, Li Xuebao, Cui Xiang, et al. Preparation process and breakdown properties of silicone gel used for the encapsulation of IGBT power modules[J]. Transactions of China Electrotechnical Society, 2021, 36(02): 352-361.
- [4] 周林, 李寒江, 解宝, 等. SiC MOSFET 的 Saber 建模及其在光伏并网逆变器中的应用和分析[J]. 电工技术学报, 2019, 34(20): 4251-4263.
- Zhou lin, Li hanjiang, Xie bao, et al. Saber modeling of SiC MOSFET and its application and analysis in photovoltaic grid-connected inverter[J]. Transactions of China Electrotechnical Society, 2019, 34(20): 4251-4263.
- [5] 陈杰, 邓二平, 赵子轩, 等. 不同老化试验方法下 SiC MOSFET 失效机理分析[J]. 电工技术学报, 2020, 35(24): 5105-5114.
- Chen Jie, Deng Erping, Zhao Zixuan, et al. Failure mechanism analysis of SiC MOSFET under different aging test methods [J]. Transactions of China Electrotechnical Society, 2020, 35(24): 5105-5114.
- [6] 王莉娜, 马浩博, 袁恺, 等. SiC MOSFET 半桥电路开关瞬态过电流、过电压建模与影响因素分析[J]. 电工技术学报, 2020, 35(17): 3652-3665.
- Wang Lina, Ma Haobo, Yuan Kai, et al. Modeling and influencing factor analysis of SiC MOSFET half-bridge circuit switching transient overcurrent and overvoltage[J]. Transactions of China Electrotechnical Society, 2020, 35(17): 3652-3665.
- [7] 张建忠, 吴海富, 张雅倩, 等. 一种 SiC MOSFET 谐振门极驱动电路[J]. 电工技术学报, 2020, 35(16): 3453-3459.
- Zhang Jianzhong, Wu Haifu, Zhang Yaqian, et al. A resonant gate driver for SiC MOSFET [J]. Transactions of China Electrotechnical Society, 2020, 35(16): 3453-3459.
- [8] Funaki T, Phankong N, Kimoto T, et al. Measuring terminal capacitance and its voltage dependency for high-voltage power devices[J]. IEEE Transactions on Power Electronics, 2009, 24(6): 1486-1493.
- [9] Habas P, Mileusnic S, Zivanov T. Characterization of power VDMOSFETs by split C-V measurements[C]// International Conference on Microelectronics, Nis, Yugoslavia, 2000: 339-342.
- [10] Scott R S, Franz G A, Johnson J L. An accurate model for power DMOSFETs including interelectrode capacitances[J]. IEEE Transactions on Power Electronics, 1991, 6(2): 192-198.
- [11] Elferich R, Lopez T, Koper N. Accurate behavioural modelling of power MOSFETs based on device measurements and FE-simulations[C]// European Conference on Power Electronics and Applications, Dresden, Germany, 2005: 9 pp.-P.9.
- [12] RaËl S, Davat B. A physics-based modeling of interelectrode MOS capacitances of power MOSFET and IGBT[J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2585-2594.
- [13] Lin W W, Chan P C. On the measurement of parasitic capacitances of device with more than two external terminals using an LCR meter[J]. IEEE Transactions on Electron Devices, 1991, 38(11): 2573-2575.
- [14] Okawa Y, Norimatsu H, Suto H, et al. The negative capacitance effect on the C-V measurement of ultra thin gate dielectrics induced by the stray capacitance of the measurement system[C]// International Conference on Microelectronic Test Structures, Monterey, CA, USA, 2003: 197-202.
- [15] JESD6 Measurement of Small Values of Transistor Capacitance[S]. VA, USA, 1967.
- [16] IEC 60747 Semiconductor Devices[S]. Geneva, Switzerland, 2006.
- [17] Mileusnic S, Zivanov M, Habas P. MOS transistors characterization by split C-V method[C]// International Semiconductor Conference, Sinaia, Romania, 2001: 503-506.
- [18] Moulit N, Joubert E, Masmoudi M, et al. Characterization of HTRB stress effects on SiC MOSFETs using photon emission spectral signatures[J]. Microelectronics Reliability, 2017, 76/77(Sep.): 243-248.
- [19] Mukunoki Y, Nakamura Y, Konno K, et al. Modeling of a silicon-carbide MOSFET with focus on internal stray capacitances and inductances, and its verification[J]. IEEE Transactions on Industry Applications, 2018, 54(3): 2588-2597.
- [20] Keysight Technologies. Impedance analyzer handbook

6th[EB/OL].<https://www.keysight.com/ca/en/assets/7018-06840/application-notes/5950-3000.pdf?success=true>.

- [21] Hu Chenming. Modern semiconductor devices for integrated circuits[M]. Upper Saddle River, NJ: Prentice Hall, 2011.

蔡雨萌 女, 1996 年生, 博士生, 研究方向为高压大功率电力电子器件封装与可靠性测试。

E-mail: caiyumeng@ncepu.edu.cn

赵志斌 男, 1977 年生, 教授, 博士生导师, 研究方向为电磁场数值计算、高压大功率电力电子器件封装与测试。

E-mail: zhibinzhao@126.com (通信作者)

作者简介

