



基于 AD8302 的阻抗谱自动测量系统设计

沈毅鸿, 张元良

(大连理工大学机械工程学院, 辽宁 大连 116023)

摘 要: 为满足工程应用中的阻抗谱测量需求, 设计一种高精度的阻抗谱自动测量系统。该系统采用 DDS 及压控恒流源产生可调激励电流信号, 通过模拟开关自适应匹配采样电阻及移相电容以提升测量精度, 通过在测量前选通校准阻抗进行最小二乘法校准, 使用仪表放大器及幅相检测芯片 AD8302 获得响应信号, 最终由微控制器计算获得待测阻抗。测试表明: 系统可在 1 kHz~10 MHz 的频率范围内正常工作, 测量得到的复阻抗值及阻抗谱误差较小。

关键词: 阻抗谱测量; 幅相检测; 最小二乘法; 自适应匹配

中图分类号: TP216.1

文献标志码: A

文章编号: 1674-5124(2018)09-0090-06

Design of an automatic impedance spectrum measuring system based on AD8302

SHEN Yihong, ZHANG Yuanliang

(School of Mechanical Engineering, Dalian University of Technology, Dalian 116023, China)

Abstract: This paper's objective was to design an automatic measuring system for the impedance spectrum in order to meet the requirements of engineering application, which included the use of DDS and VCCS to generate an adjustable drive current, choosing the most suitable sampling resistor and phase-shifting capacitor adaptively by analog multi-channel switch to achieve higher accuracy, and selecting the calibration impedance for least-square calibration prior to measuring, then acquiring response signals through instrumentation amplifier and the gain and phase detector AD8302. Finally, the microcontroller calculated the impedance under tested. The above tests had shown that the system can obtain accurate impedance values and spectra within a wide frequency range of 1 kHz-10 MHz.

Keywords: impedance spectrum measurement; gain and phase detection; LSE; adaptive matching

0 引言

阻抗特性是常见的物理量之一, 阻抗谱的测量结果可广泛用于电化学分析、生物组织检测、医学诊断等领域^[1-3]。但目前实验室常用的精密阻抗分析仪十分昂贵, 其价格通常在数十万元以上。如: 是德科技所生产的最大测量频率 10~120 MHz、测量准确

度 $\pm 0.08\%$ 的 E4990A 阻抗分析仪, 日置公司所生产的最大测量频率 5 MHz、测量准确度 $\pm 0.08\%$ 的 IM3570 阻抗分析仪等。而在一些对准确度要求不高的研究及工程应用场合, 低成本、小型化的阻抗谱自动测量设备仍存在较大需求。

常见的阻抗测量方法包括电桥法、谐振法、伏

收稿日期: 2018-04-10; 收到修改稿日期: 2018-05-22

作者简介: 沈毅鸿 (1994-), 男, 湖南岳阳市人, 硕士研究生, 专业方向为智能仪器仪表设计。

安法等^[4], 其中较为常用的伏安法通过测量待测阻抗两端的瞬时电压向量与电流向量之比计算阻抗值。目前常见的伏安法阻抗测量解决方案有两类: 1) 基于阻抗转换芯片 AD5933 搭建测量系统; 2) 基于工作频率高达 2.7 GHz 增益相位检波器 AD8302 完成。对于第一种方案, 研究者通过设计外围电路扩展了该芯片的阻抗测量范围^[5], 有了较为成熟的测量方案^[6], 但 AD5933 芯片结构限制使之不能满足 100 kHz 以上的高频测量需求。Yang 等^[7]最先使用 AD8302 配合信号合成及辅助电路设计了完整的测量方案, 通过三参照的方法对系统预先进行校准。此后也有研究者使用模拟开关切换参考电阻扩大了可测量范围^[8], 但并未考虑参考阻抗对测量准确度的影响, 也有研究者提出通过移相改善相位输出线性度^[9], 但未有简便、经济的实现方案。

本文在现有研究基础上, 设计了一种基于 AD8302 的阻抗谱自动测量系统, 使用移相电容解决 AD8302 相位输出二值性及非线性问题。系统可通过模拟开关自适应选通参考电阻或电容, 使信号的幅值比及相位差保持在 AD8302 的低误差区间; 此外, 设计了内部校准阻抗以用于对输出函数进行最小二乘校准, 消减制造误差、工作参数变化所带来的系统误差, 实现 1 kHz~10 MHz 频率范围内复阻抗模值及相位的准确测量。

1 测量总体方案

亚德诺公司生产的幅相检测芯片 AD8302 包括了一对严格匹配的解调对数放大器与一个数字相位检波器, 可检测幅值为 -60~0 dBm、从低频至 2.7 GHz 的两路交流信号的幅值比及相位比, 以两路 0~1.8 V 的电压信号输出测量结果。

AD8302 为信号的幅相检测提出了一种解决方案, 但该芯片在使用时有严苛的输入条件, 且测量准确度易受工作参数影响, 需通过搭建辅助电路提供恰当的参考信号、使用软件校准等手段消减上述问题对测量造成的干扰。

基于 AD8302 设计的阻抗谱自动测量系统框图如图 1 所示。测量系统主要包括了信号合成电路、测量接口电路、信号检测电路、微控制器 4 个主要模块及电源电路、触摸屏、USB 通信接口等功能模块。

信号合成电路受微控制器命令产生一定频率的正弦电流信号, 并将其输出到测量接口电路, 电流

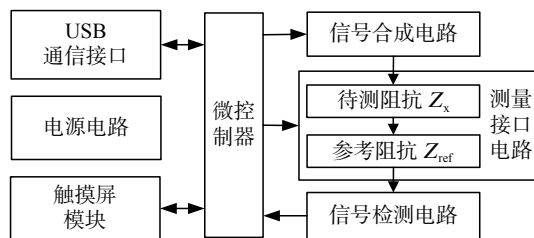


图 1 阻抗谱自动测量系统框图

信号在测量接口电路内先后通过串联的待测阻抗及参考阻抗。信号检测电路采得两段阻抗上的电压信号后, 由 AD8302 对两路信号的幅值及相位进行比较。AD8302 的两路输出电压 V_{MAG} 及 V_{PHS} 与待测复阻抗的模 $|Z_x|$ 、相位角 φ_x 的关系根据数据手册及测量原理可得出:

$$V_{\text{MAG}} = K_{\text{MAG}} \lg \frac{|Z_x|}{|Z_{\text{ref}}|} + V_{\text{C1}} \quad (1)$$

$$V_{\text{PHS}} = K_{\text{PHS}}(|\varphi_x - \varphi_{\text{ref}}| - 90^\circ) + V_{\text{C2}} \quad (2)$$

式中: K_{MAG} ——幅值比输出比例系数, mV/dB;

V_{C1} ——幅值比 0 dB 时的幅值比输出中心点电压, mV;

K_{PHS} ——AD8302 相位差输出比例系数, mV/(°);

V_{C2} ——相位差 90°时的相位差输出中心点电压, mV;

$|Z_{\text{ref}}|$ ——参考阻抗的模值, Ω;

φ_{ref} ——参考阻抗的相角, (°)。

微控制器通过模/数转换器分别采集 AD8302 输出的上述两路幅值比及相位差电压信号, 计算出该频率下的阻抗模值及相位角, 通过屏幕显示或 USB 接口导出阻抗信息。

2 测量系统模块设计

2.1 信号合成电路

信号合成电路包括了直接数字式频率合成器 (DDS) 及压控电流源 (VCCS)^[7]。系统选用低功耗可编程波形发生器 AD9834 作为 DDS, 该芯片可通过 SPI 接口由微控制器编程调节输出频率和相位, 在 75 MHz 的工作频率下最高可合成 37.5 MHz 的正弦波或三角波输出, 实现 0.28 Hz 的频率分辨率, 纹波较小。

阻抗谱测量通常使用电流信号产生激励^[8], 且 AD8302 的测量准确度易受参考输入信号幅值的影响, 因此, 系统使用带宽为 300 MHz 的低成本高速运算放大器 AD8055 为核心搭建具有高输出阻抗的改进型 Howland 压控电流源电路^[10-11]。

2.2 测量接口及辅助测量电路

信号合成电路合成的电流激励信号经滤波后输入测量接口,依次通过模拟开关选通的测量阻抗及参考阻抗再接地,如图2所示。

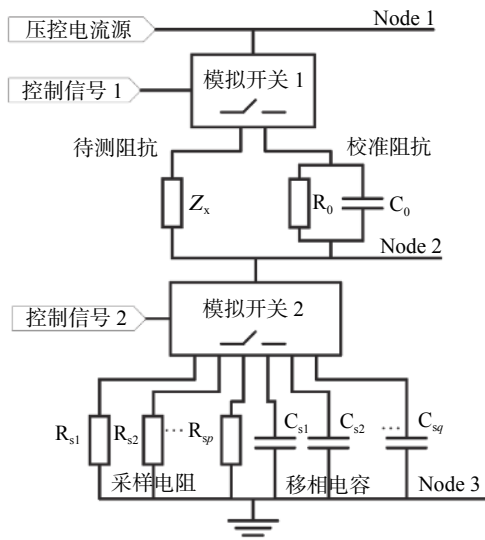


图2 测量接口电路

测量阻抗包括了待测阻抗 Z_x 以及并联的校准电阻 R_0 与校准电容 C_0 ,参考阻抗包括了若干采样电阻 $R_{s1} \sim R_{sp}$ 及移相电容 $C_{s1} \sim C_{sq}$ 。两段阻抗的两端共接出三测量点Node_1~3至信号检测电路。上述待测阻抗、校准阻抗以及参考阻抗的选通由微控制器通过若干组模拟开关完成。系统采用多组Maxim公司生产的8路单刀单掷模拟开关MAX14662进行控制,该芯片具有400 MHz的带宽,可在单电源供电的情况下导通交流信号,典型导通电阻 R_{ON} 仅为 0.425Ω ,导通电阻平坦度典型值为 $0.5 \text{ m}\Omega$,引入的测量误差较小,适合于本系统的最小阻抗失真需求。

2.2.1 自适应阻抗匹配电路

由AD8302数据手册可知,该芯片的两路输出 V_{MAG} 及 V_{PHS} 在输出电压接近输出范围极限时误差较大^[12],即幅值比在 $\pm 30 \text{ dB}$ 左右、相位差处于 0° 及 180° 附近时测量准确度低。为保证芯片工作在误差最小的区间,设计了图2中采样电阻及移相电容。微控制器在测试时将进行自适应调节,通过模拟开关选通恰当的采样电阻或移相电容接入电路,使得待测信号的幅值比处于 $\pm 15 \text{ dB}$ 、相位差处于 $45^\circ \sim 135^\circ$,即两路输出电压处于 $0.45 \sim 1.35 \text{ V}$ 的精确测量区间。

2.2.2 校准电路

由式(1)、式(2)可知,上述采样电阻的实际值

与标称值的误差、模拟开关的导通阻抗等因素将给 V_{MAG} 及 V_{PHS} 的中心点引入误差,此外,AD8302的输出函数中心点与斜率也易受工作温度、信号频率等参数影响。为消除上述因素对测量造成的影响,在每次测量前,微控制器通过控制模拟开关选通精密校准阻抗及对应采样电阻,由微控制器进行最小二乘法校准,使用回归得到的测量函数进行后续阻抗测量。

2.3 信号检测电路

AD8302输入阻抗较低,因此不能直接对待测信号进行测量。系统采用两路仪表放大器取得两段阻抗上的差模电压信号运算后,再输出到AD8302进行检测。

2.3.1 信号采集电路

两路信号采集电路使用具有良好共模抑制能力的低功耗仪表放大器AD8421设计,为使该环节引入的误差可在对数环节被抵消,两路AD8421的配置需被设计为完全相同。图3为其中一路信号采集电路,待测阻抗两端的电压信号Node_1、2输出至AD8421的反相、同相输入端(-IN、+IN),参考阻抗两端的电压信号Node_2、3则进入另一路AD8421进行处理。

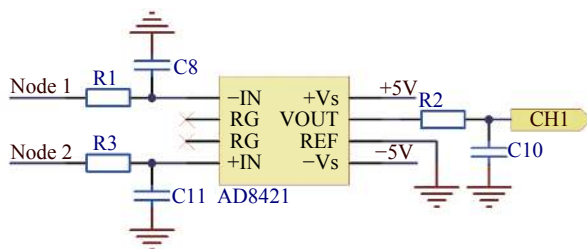


图3 信号采集电路

AD8421的增益倍数通过在两增益设置引脚RG间连接电阻来设置,当两引脚浮空时,AD8421的增益倍数 $G=1$,此时芯片有最小的增益误差和增益漂移。因系统不必在此环节对信号进行放大,AD8421的RG引脚之间可不连接增益电阻,同时也可减少电阻阻值误差带来的测量误差。

2.3.2 基于AD8302的宽频幅相检测电路

AD8302常用于射频频段的高频信号处理,但通过对输入电路进行改进后,亦可用于低频信号处理。基于AD8302的信号检测电路如图4所示。

由于芯片内部使用了高增益的对数放大器,输入信号中的细微直流偏置即会导致芯片无法正常工

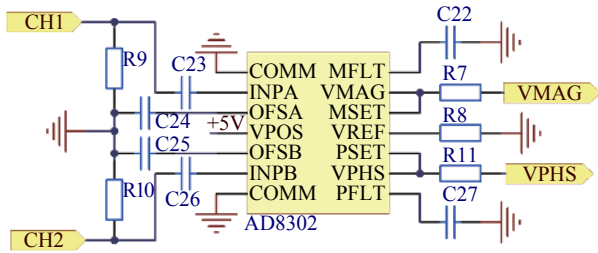


图 4 信号检测电路

作, 因此需在信号输入引脚 INPA、INPB 前接入交流耦合电容 C_{23} 、 C_{26} , 在信号频率下, 该耦合电容的阻抗应小到可以忽略; 连接至地的引脚 OFSA 与 OFSB 负责设置芯片的高通转角频率 f_{HP} , 低于该频率的信号将无法耦合输入到芯片的放大环节, 通过在芯片外部 OFSA 或 OFSB 引脚与地之间连接耦合电容 C_{24} 、 C_{25} , 可将 f_{HP} 从默认的 200 MHz 降低至需求值, 耦合电容的取值可根据下式近似计算:

$$f_{HP} = \frac{2}{C_C} \quad (3)$$

其中, f_{HP} 为高通转角频率, 单位为 MHz; C_C 耦合电容, 包括了芯片内部的 10 pF 电容, 单位为 nF。

此外, V_{MAG} 与 V_{PHS} 引脚输出的直流电压信号中含有两倍于输入信号频率的纹波。在低频时, AD8302 集成的滤波电容已不能满足滤波要求, 因此需在 MFLT 与 PFLT 引脚上额外串联滤波电容 C_{22} 、 C_{27} 到地, 以减小对后续模/数转换带来的干扰。

2.4 微控制器

测量系统选用 ARM Cortex-M3 内核的 32 位微控制器 STM32F103C8T6, 微控制器内设有两个 12 位的逐次逼近型模/数转换模块, 共 10 个输入通道, 当微控制器工作频率为 72 MHz 时, 单次 A/D 转换仅需 1.17 μ s, 采用 3.3 V 参考电压时, A/D 转换分辨率约为 0.000 8 V。

此外, STM32F103 系列微控制器亦集成了 USB 通信接口, 支持全速 USB2.0 通信, 通过简易的外围电路即可通过 USB 接口将测量数据导出。

3 测量系统软件流程设计

测量系统的软件流程如图 5 所示。在初始化 DDS 与模拟开关后, 微控制器读入用户输入的起始测量频率 f_i 、终止测量频率 f_n 、测量点数 n 等参数后 (参数需满足 $1 \text{ kHz} \leq f_i < f_n \leq 10 \text{ MHz}$), 计算出等间隔或等对数间隔的频率点 $f_1 \sim f_n$, 从低至高依次进行测量。

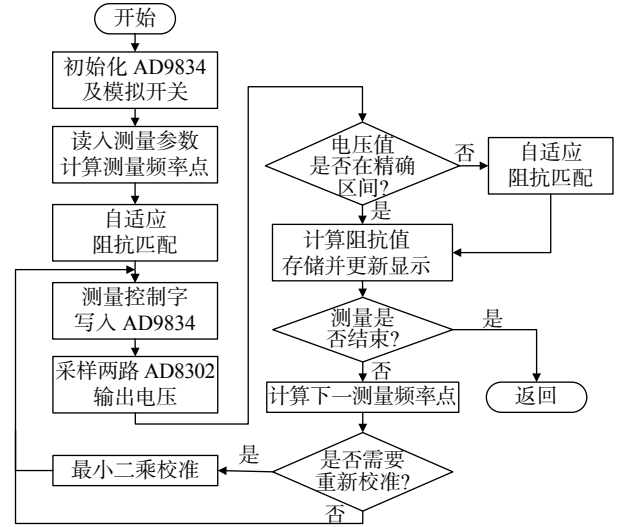


图 5 测量系统的软件流程图

3.1 自适应参考阻抗匹配流程

若测量进行至频率点 f_x 时, 测得的 AD8302 幅值比输出 V_{MAG} 或相位差输出 V_{PHS} 不在精确测量区间, 系统进入自适应参考阻抗匹配流程, 流程如下:

1) 阻抗相位判断: 读取前一频率点 f_{x-1} 的幅值比输出 V_{MAG-1} , 若 f_x 为第一个频率点, 取 $f_{x-1} = 0.9f_x$ 并进行测量。若 $V_{MAG} > V_{MAG-1}$, 即频率越高, 待测阻抗的模值越小, 可知待测阻抗为容性阻抗; 若 $V_{MAG} < V_{MAG-1}$, 可知待测阻抗为感性阻抗。

2) 采样电阻匹配: 若 $V_{MAG} > 1.35 \text{ V}$, 即待测阻抗相对参考阻抗阻值过大, 将此时选通的采样电阻 R_i 切换为阻值更大的电阻 R_{i+1} ; 若 $V_{MAG} < 0.45 \text{ V}$, 则将采样电阻 R_i 切换为阻值更小的电阻 R_{i-1} 。切换采样电阻后, 重复测量并执行本步骤, 直至 V_{MAG} 处在 0.45~1.35 V 区间内。每次完成阻抗切换后需重新进行一次最小二乘校准。

3) 移相电容匹配: 若测得的 V_{PHS} 不处于 0.45~1.35 V 的小误差区间, 则根据下式选择当前频率 f_x 下, 等效阻值与已选通的采样电阻 R_i 阻值最接近的移相电容接入电路, 使参考阻抗的相角 φ_{ref} 滞后 90°, 重新测量该频率点的相位差。

$$C_{PHS} = \frac{1}{2\pi f_x R_i} \quad (4)$$

3.2 基于最小二乘法的测量校准流程

测试频率的变化将导致运放输入阻抗、电寄生电容容抗发生变化, 影响测量准确度。因此, 每切换采样电阻或测试频率增大 10 倍后, 需重新对输出函数校准。

系统通过改变激励信号的频率以改变校准阻抗的模值及相角,以获得不同的输入信号间幅值比及相位差。记录不同频率下得到的幅值比、相位差与两路输出电压 V_{MAG} 、 V_{PHS} 的对应关系后,即可通过最小二乘法对 AD8302 的测量函数进行校准,具体步骤如下:

1) 通过模拟开关选通精密校准电阻 R_0 及校准电容 C_0 。若当前测量频率点为 f_x , 选择 f_x 、 $2f_x$ 、 \dots 、 $10f_x$ 共 10 个频率点进行阻抗测量。

2) 记录各频率点下的幅值比相位差输出 V_{MAG} 、 V_{PHS} , 并计算各频率下对应的校准阻抗值。

3) 基于步骤 2) 中测得的数据使用最小二乘法计算出式 (1) 中的系数 K_{MAG} 、 V_{C1} 以及式 (2) 中的系数 K_{PHS} 、 V_{C2} , 并使用新的系数进行后续测量。

4 实验验证

4.1 复阻抗测量实验

实验验证通过在不同频率下对串、并联的电阻-电容电路测量完成。使用万用表预先测得待测串联电路的电阻、电容值分别为 $R_s=214\ \Omega$ 、 $C_s=91.6\ \text{nF}$, 待测并联电路的电阻、电容值分别为 $R_p=217\ \Omega$ 、 $C_p=93.5\ \text{nF}$ 。部分频率下的测量结果如表 1、表 2 所示, 复阻抗模值的测量误差小于 $\pm 1.5\%$, 平均绝对误差为 0.722% ; 相角测量误差小于 $\pm 1.1^\circ$, 平均绝对误差为 0.456° 。误差主要由芯片工作特性随频率变化、电路中的干扰与噪声等因素引入, 总的复阻抗测量准确度在可接受范围内。

表 1 串联电阻-电容电路测量数据表

测试频率/kHz	理论模值/ Ω	理论相角/ $(^\circ)$	实测模值/ Ω	实测相角/ $(^\circ)$	模值误差/%	相角误差/ $(^\circ)$
2	894.719	-76.162	904.706	-76.959	-1.116	0.797
4	484.229	-63.772	477.884	-63.055	1.310	-0.717
6	360.076	-53.536	362.511	-53.062	-0.676	-0.473
8	304.904	-45.424	306.651	-45.242	0.573	-0.182
10	275.654	-39.074	273.924	-40.115	-0.627	1.041

4.2 阻抗谱测量实验

在 1~50 kHz 频率范围内对上述并联 R-C 电路进行了复阻抗谱测量, 使用最小二乘法校准后得到的输出函数系数为 $K_{\text{MAG}}=30.026\ \text{mV/dB}$ 、 $V_{\text{C1}}=895.005\ \text{mV}$ 、 $K_{\text{PHS}}=9.439\ \text{mV/}^\circ$ 、 $V_{\text{C2}}=876.791\ \text{mV}$ 。使用校准后的函数计算出复阻抗的实部、虚部, 得到

表 2 并联电阻-电容电路测量数据表

测试频率/kHz	理论模值/ Ω	理论相角/ $(^\circ)$	实测模值/ Ω	实测相角/ $(^\circ)$	模值误差/%	相角误差/ $(^\circ)$
10	133.931	-51.889	132.299	-51.732	1.219	0.156
20	79.233	-68.584	78.588	-68.048	0.815	0.537
30	54.894	-75.347	55.342	-75.146	-0.817	0.201
40	41.759	-78.905	41.914	-78.642	-0.371	0.263
50	33.632	-81.804	33.879	-81.396	-0.733	-0.313

理论值及校准前、后的奈奎斯特曲线如图 6 所示。校准前测量得到的复阻抗实部平均误差为 13.325% , 复阻抗虚部平均误差为 14.793% , 校准后的复阻抗实部平均误差为 1.555% , 虚部平均误差为 1.497% 。通过自适应阻抗匹配并使用最小二乘校准进行测量, 可以显著消减参考阻抗精度、芯片制造误差等系统误差, 提升阻抗谱的测量准确度。

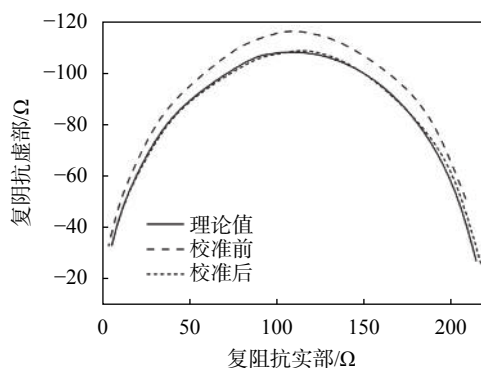


图 6 理论及校准前、后的奈奎斯特曲线

5 结束语

本文基于 AD8302 设计了一套嵌入式阻抗谱自动测量系统, 在前人的研究上提出了改进办法以提升测量准确性, 使系统能在测试常用的频率范围内准确工作。虽然系统的准确度仍与市面上的精密阻抗分析仪存在差距, 但本系统的制造成本远低于该类仪器, 且系统工作频率已达到常用频率范围, 可适用于非高准确度要求的工程应用场合。此外, 系统可根据实际应用所需的工作频率、阻抗范围对各模块灵活选型, 便于二次开发, 具有良好的可移植性与经济性, 能广泛地应用于生物电阻抗测量、电化学分析等领域。

参考文献

- [1] DEES D, GUNEN E, ABRAHAM D, et al. Alternating current impedance electrochemical modeling of lithium-ion positive

- electrodes[J]. *Journal of The Electrochemical Society*, 2005, 152(7): A1409-A1417.
- [2] 张洪伟, 张甫, 李国斌. 基于多频率交流阻抗测量的肉类水分检测方法[J]. *中国测试*, 2017, 43(12): 27-31, 83.
- [3] 裴飞霸, 张和华, 尹军. 生物电阻抗测量技术研究与应用[J]. *中国医学物理学杂志*, 2015, 32(02): 234-238.
- [4] 谢昱昊. 基于 AD5933 的阻抗测量系统设计与实验研究[D]. 南京: 东南大学, 2016.
- [5] 李文强, 黄刚, 杨录. 大量程全自动阻抗测量仪研究[J]. *仪器仪表学报*, 2014, 35(4): 859-865.
- [6] MARGO C, KATRIB J, NADI M, et al. A four-electrode low frequency impedance spectroscopy measurement system using the AD5933 measurement chip[J]. *Physiological Measurement*, 2013, 34(4): 391.
- [7] YANG Y, WANG J, YU G, et al. Design and preliminary evaluation of a portable device for the measurement of bioimpedance spectroscopy[J]. *Physiological Measurement*, 2006, 27(12): 1293.
- [8] 牟光红, 李廷军. 基于 AD8302 的阻抗测量系统设计[J]. *仪表技术与传感器*, 2015(4): 61-64.
- [9] 李星, 许国宏, 王耀磊. 高精度幅相检测系统的设计[J]. *电子设计工程*, 2012, 20(1): 123-125.
- [10] 林兴建, 赵伟杰, 刘晓娟, 等. 用于生物电阻抗检测的 Howland 电流源恒流特性研究[J]. *生物医学工程学杂志*, 2015, 32(2): 290-294.
- [11] 童侗, 张伟兴. 电阻抗成像系统中电压控制电流源的设计[J]. *电子设计工程*, 2012, 20(1): 116-119.
- [12] 李苑, 陈光达. 基于神经网络的 AD8302 相位响应特性曲线校正方法[J]. *信息通信*, 2017(4): 45-47.

(编辑: 刘杨)

(上接第 79 页)

参考文献

- [1] DONTI S, HAGGARD R L. A survey of dynamically reconfigurable FPGA devices[C]//Proceedings of the 35th Southeastern Symposium on System Theory. Morgantown: IEEE, 2003: 422-426.
- [2] ASADI H, TAHOORI M B. Analytical techniques for soft error rate modeling and mitigation of FPGA-based designs[J]. *IEEE Transactions on VERY LARGE SCALE INTEGRATION (VLSI) Systems*, 2007, 15(12): 1320-1331.
- [3] 黄正峰, 倪涛, 欧阳一鸣, 等. 容忍单粒子多节点翻转的三模互锁加固锁存器[J]. *电子科技大学学报*, 2016, 45(5): 750-756.
- [4] STODDARD A, GRUWEEL A, ZABRISKIE P, et al. A hybrid approach to FPGA configuration scrubbing[J]. *IEEE Transactions on Nuclear Science*, 2017, 64(1): 497-503.
- [5] DEMIRCI M, REVIRIEGO P, MAESTRO J A. Implementing double error correction orthogonal Latin Squares Codes in SRAM-based FPGAs[J]. *Microelectronics Reliability*, 2016, 56: 221-227.
- [6] REVIRIEGO P, PONTARELLI S, MAESTRO J A, et al. A method to construct low delay single error correction (SEC) codes for protecting data bits only[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2013, 32(3): 479-483.
- [7] STERPONE L, VIOLANTE M, PANARITI A. Layout-aware multi-cell upsets effects analysis on TMR circuits implemented on SRAM-based FPGAs[J]. *IEEE Transactions on Nuclear Science*, 2011, 58(5): 2325-2332.
- [8] GHADERI Z, MIREMADI S G, ASADI H, et al. HAFTA: highly available fault-tolerant architecture to protect SRAM-based reconfigurable devices against multiple bit upsets[J]. *IEEE Transactions on Device and Materials Reliability*, 2013, 13(1): 203-212.
- [9] SAEN M, TOBA T, KANNO Y. Soft-error-tolerant dual-modular-redundancy architecture with repair and retry scheme for memory-control circuit on FPGA[J]. *IEICE Transactions on Electronics*, 2017, 100(4): 382-390.
- [10] MARTINS V M G, VILLA P R C, NETO H C C, et al. A TMR strategy with enhanced dependability features based on a partial reconfiguration flow[C]//IEEE-Computer-Society Annual Symposium on VLSI (ISVLSI). Montpellier: IEEE, 2015: 161-166.
- [11] FENG Z, JING N F, CHEN G S, et al. IPF: In-place X-filling to mitigate soft errors in SRAM-based FPGAs[C]//2011 International Conference on Field Programmable Logic and Applications (FPL). IEEE, 2011: 482-485.
- [12] LEE D S, WIRTHLIN M, SWIFT G, et al. Single-Event Characterization of the 28 nm Xilinx Kintex-7 Field-Programmable Gate Array under Heavy Ion Irradiation[C]//Radiation Effects Data Workshop. IEEE, 2014: 1-5.
- [13] SHOOMAN M L. Reliability of computer systems and networks: fault tolerance, analysis and design[M]. New York: John Wiley & Sons, Inc., 2002: 158-161.

(编辑: 莫婕)