

64ch READOUT BOARD
スタートアップガイド Rev01

REPIC

林栄精器株式会社

目次

1. 概要	3
2. 注意事項	3
3. ボード外観	4
4. サンプルファームウェア repic_64ch_readout_rev02.....	5
4.1. 機能の概要	5
4.2. ブロックダイアグラム	6
4.3. ウィンドウサイズとディレイ	7
4.4. アドレスマップ	8
4.5. データ転送	10
4.5.1. 転送ポート	10
4.5.2. データフォーマット	10
5. 設定・読み出し用ソフトウェア	11
5.1. 設定用ソフト 64chConfigWin.exe.....	11
5.1.1. 使用方法.....	11
5.1.2. コマンド.....	11
5.1.3. 各種設定.....	12
5.2. 読み出しソフト 64chDebugWin.exe	13
5.2.1. 使用方法.....	13
5.2.2. 出力データフォーマット	14
5.2.3. 出力データサンプル	15
6. 使用方法	16
6.1. 必要機材.....	16
6.2. ボードの設定.....	16
6.2.1. トランシーバの設定	16
6.2.2. SiTCP ネットワークの設定	17
6.3. PC のネットワーク設定.....	17
6.4. Ping コマンドを使用した通信テスト.....	18
6.4.1. セットアップ	18
6.4.2. PING コマンドによる応答確認	19
6.5. テストパルスによるテスト.....	20
6.5.1. 信号とトリガの関係	20
6.5.2. Window size と Delay の関係	20
6.5.3. セットアップ	21
6.5.4. データ取得.....	22
7. 参考文献	22

1. 概要

64ch READOUT BOARD（以下本ボード）は KEK エレクトロニクスシステムグループとの共同開発にて作成された、ワイヤーチェンバー用読み出しボードです。

Amp-Shaper-Discriminator(ASD)、ADC（AD9212）、TDC（FPGA 内に実装時）などの検出器信号をデジタル化する機能を搭載し、本ボード 1 枚で 64ch 分の検出器信号をデジタル化し PC へ転送することが可能です。

本文書はサンプルとしてプリインストールされているファームウェア

「repic_64ch_readout_rev02」（以下本ファーム）を使用した際の本ボードの使用方法について記述したものです。本ファームはあくまでもサンプルと認識して頂き、実験等で使用する際は十分検証の上ご使用ください。ソースコード及び、プログラミングファイルは公開可能ですので、弊社までお問い合わせください。

なお、本文書は 64ch READOUT BOARD Ver. 2 を元に作成されており、Ver. 1 と若干異なる点があります。その場合は注意書きがありますので注意してください。

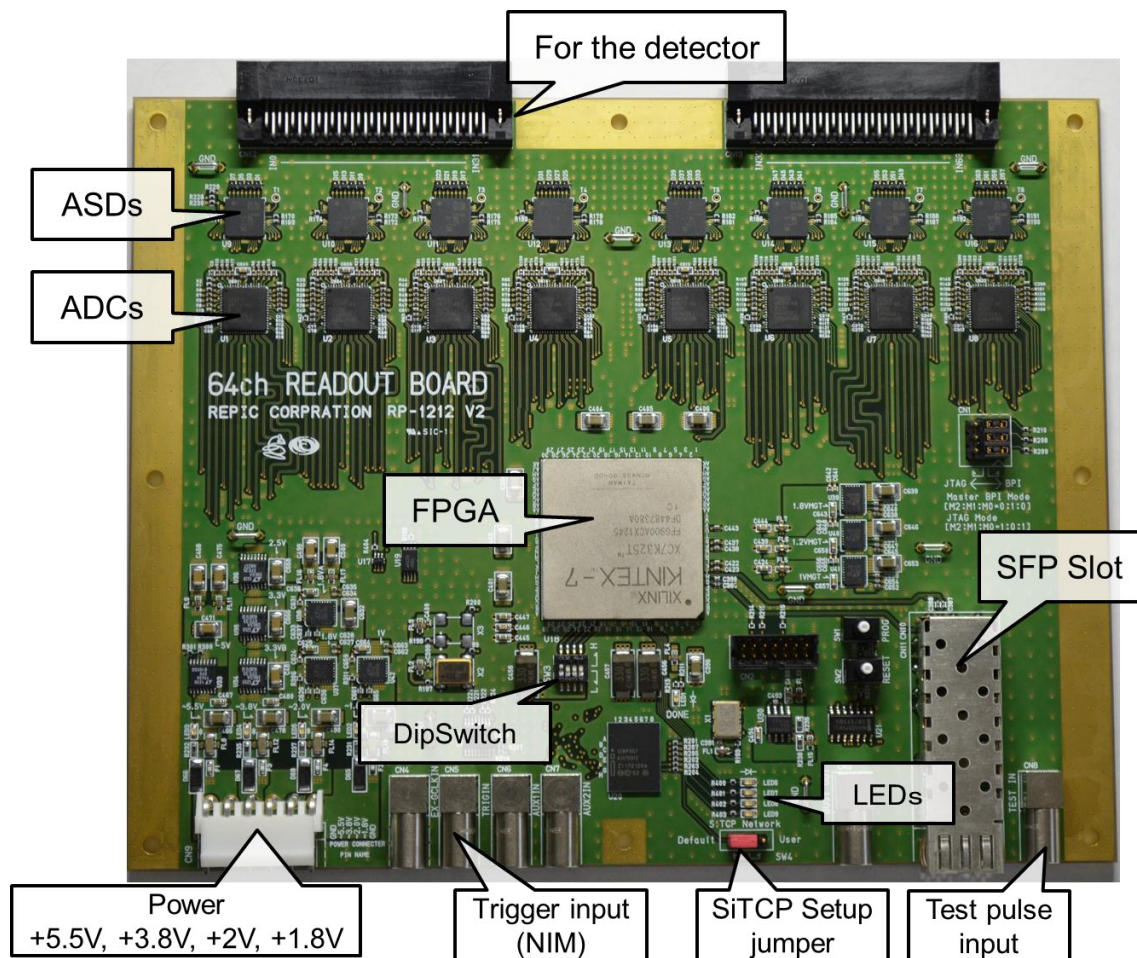
2. 注意事項

本ボードは SiTCP を利用したネットワーク機能を搭載しています。ネットワークに接続する際は絶対に公共ネットワークに接続しないでください。公共ネットワークと独立したネットワークを構築し、その範囲内で使用してください。

本ボードのデフォルト IP アドレスは 192.168.10.16 です。IP アドレスを変更する際には株式会社 Bee Beans Technologies より MAC アドレスの購入が必要となります。Ver01 では IP アドレス変更の際にはファームの書き換えが必要です。Ver02 よりジャンパーによる設定が可能です。弊社までお問い合わせください。

3. ボード外観

本ボードを使用する上での主要入出力と部品を以下に示します。詳細は「64ch READOUT BOARD ユーザーズガイド」を参照してください。



4. サンプルファームウェア repic_64ch_readout_rev02

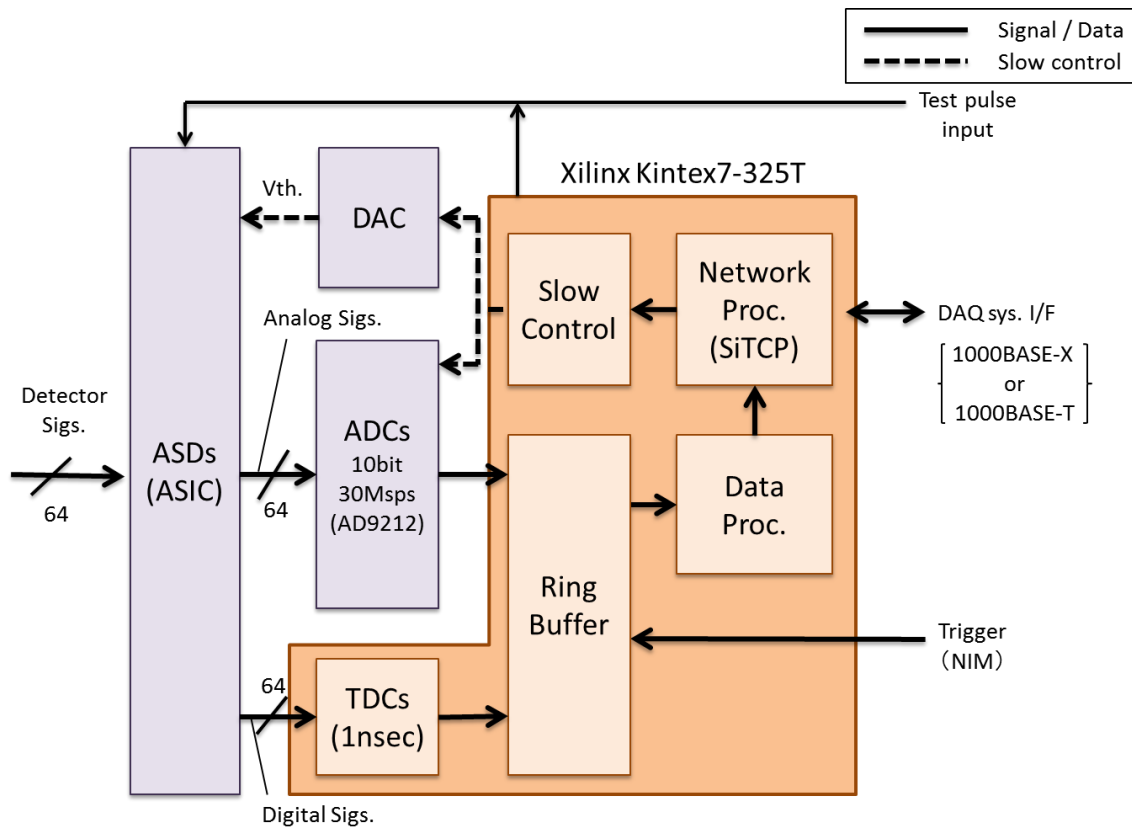
本ファームは BELL II CDC READOUT BOARD のファームウェアを参考に、汎用性を持たせるために改良したものです。本ファームを使用した場合本ボードは以下の機能を有します。

4.1. 機能の概要

- 検出器信号入力 64ch を処理可能
 - FX2-68P-1.27DSL(71) × 2
- フロントエンドアナログ処理回路
 - Amp-Shaper-Discriminator (ASD) チップ × 8
- アナログ波形取り込み
 - AD9212ABCPZ-40 × 8
 - 解像度 10bit
 - 取り込み周期 32ns / サンプルング周波数 31.25MHz
- TDC 機能
 - TDC を FPGA 内に実装
 - 解像度 1ns
- 8 μ s リングバッファ
 - トリガディレイを 8 μ s までキャンセル可
- マルチトリガ
 - 連続 15 トリガまで受付可
- ギガビットイーサネット通信 (SiTCP)
 - SFP トランシーバを使用した PC とのデータ通信
 - UTP (1000BASE-TX) もしくは光インターフェース (1000BASE-X) 選択可能
動作確認済み SFP トランシーバ
 - UTP トランシーバ : GLC-T-AS (Agilestar)
 - 光トランシーバ : AFBR-57R6APZ (AVAGO)

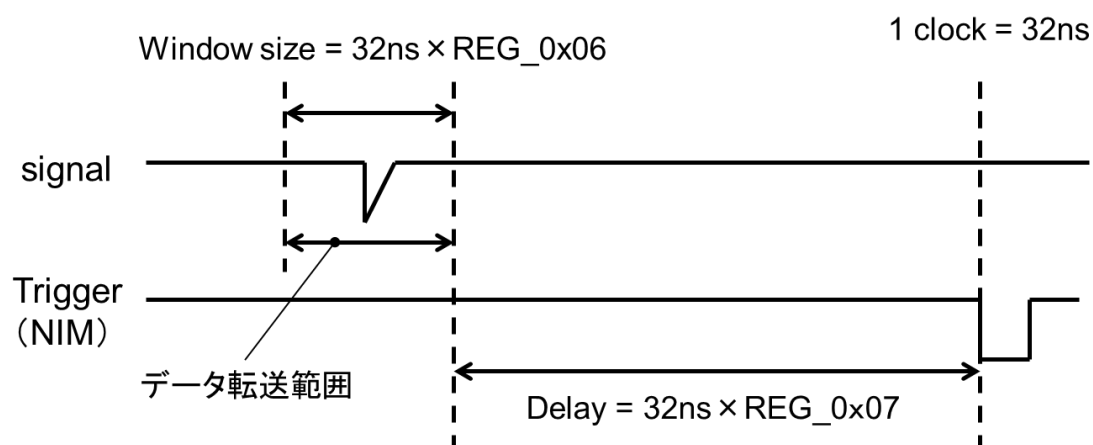
4.2. ブロックダイアグラム

本ボードのブロックダイアグラムを以下に示します。



4.3. ウィンドウサイズとディレイ

本ボードは常時ADC, TDC データをサンプリングし、 $8\mu\text{s}$ リングバッファに貯めています。そのため、トリガ入力があった時間からある範囲のデータを過去に遡って転送することが可能です。そのデータ転送範囲を決めるのがウィンドウサイズとディレイです。以下に検出器信号とトリガ信号の関係を示します。



検出器が入力されてからある時間経過後にトリガ信号が入力されたとします。ディレイはトリガ信号が入力された時間からどれだけ過去に遡ってデータを転送するかを決める値です。後述の内部レジスタ 0x07 の値に 32ns を掛けた時間だけ過去に戻ります。そこから何クロック分データを転送するかを決めるのがウィンドウサイズです。ウィンドウサイズはADCのサンプリングクロック 32ns ごとに転送範囲を決めることができます。設定内部レジスタは 0x06 です。

4.4. アドレスマップ

本ボードの内部レジスタのアドレスマップを以下に示します。

Address	R/W		Default value
0x00-03	RO	FPGA Synthesize Date (yy,mm,dd,rr)	0x13031501
0x04	RO	FPGA Version	0x10
0x05	R/W	Mode	0x01
0x06	R/W	Window size	0x09
0x07	R/W	Delay	0x39
0x08	R/W	Self-test mode	0x00
0x09	R/W	Not used	0x00
0x0A-0C	R/W	Packet ID	0x012345
0x0D-0F	R/W	Not used	0x00
0x10	R/W	ADC Chip Select (0-7)	0x00
0x11-1B	R/W	Not used	0x00
0x1C	R/W	DAC data[11:8]	0x08
0x1D	R/W	DAC data[7:0]	0x00
0x1E	R/W	DAC control	0x03
0x100-122	R/W	ADC Register	--

- FPGA Synthesize Date (yy, mm, dd, rr)

ファームウェアが合成された日付、

- FPGA Version

ファームウェアバージョン。

- Mode

データ転送モード。0x10 : Raw data モードにて動作します。

- Window size

ウインドウサイズ、データ転送範囲の設定レジスタ。

- Delay

トリガディレイ設定レジスタ。

- Self-test mode

セルフテストモード設定レジスタ。

- Packet ID

パケット ID 設定レジスタ。任意の値が設定出来ます。

- ADC Chip Select (0-7)

ADC チップセレクト設定レジスタ。シリアル通信にてパラメータを設定する ADC のチップを選択します。

- DAC data[11:8]

12bit DAC の出力電圧設定データ用レジスタ 上位 4bit

- DAC data[7:0]

12bit DAC の出力電圧設定データ用レジスタ 下位 8bit

- DAC control

DAC コマンド設定レジスタ

- ADC Register

AD9212 の内部レジスタ設定用レジスタ

4.5. データ転送

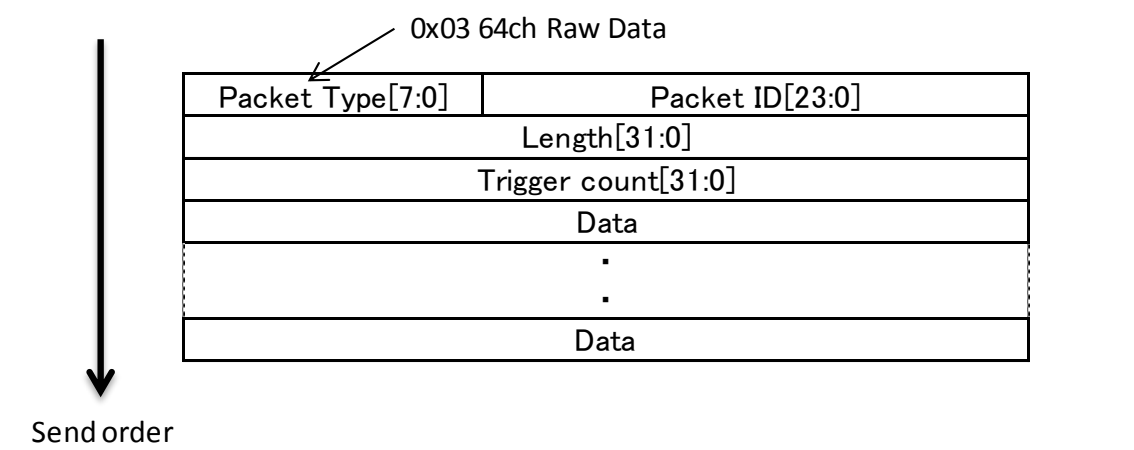
4.5.1. 転送ポート

本ボードのデータ転送に使用するポート番号を以下に示します。後述のサンプル読み出しソフトを使用する際に使用します。

- ・データ転送ポート（TCP ポート） 番号 : 24
- ・設定用コントロールポート（UDP ポート） 番号 : 4660

4.5.2. データフォーマット

本ボードから転送されるデータフォーマットを以下に示します。転送されるデータは各種ヘッダーファイルと ADC 及び TDC データとなります。



- Type[7:0] : パケットタイプ
 0x03: 64ch Raw data
- ID[23:0] : パケット ID
- Length[31:0] : パケットのバイト長（図の Data 部分のみの長さ）
- Trigger Count[31:0] : Trigger 毎にインクリメントされる
- Data : ADC, TDC データの生データ

5. 設定・読み出し用ソフトウェア

本ボード (SiTCP) は TCP/IP 通信によりデータ転送を、UDP 通信によって各種設定 (スローコントロール) を行います。そのためにソケットプログラミングを使用したソフトが必要です。ここではサンプルソフトウェアの使用方法を述べます。

5.1. 設定用ソフト 64chConfigWin.exe

本ボードの内部レジスタにアクセスし、各種設定を行うためのソフトウェアです。Windows PC にて起動します。

5.1.1. 使用方法

コマンドプロンプトから起動します。引数を付けずに起動すると使用方法が表示されます。

C:¥>64chConfigWin.exe

This application controls bus of a SiTCP chip for debugging.

Usage: 64chConfigWin.exe <IP address> <Port #>

<IP address> : ボードの IP アドレス
<Port #> : ボードの UDP ポート番号 4660。

5.1.2. コマンド

・読み出し用コマンド 「rd length byte_data」

読み出し開始アドレスと読み出すバイト数を指定する。

Ex) rd 0x00 32

0x00 から 32 バイトデータを読み出す。

・書き込み用コマンド 「wrb address byte_data」

書き込むアドレスとバイトデータを指定する。

Ex) wrb 0x06 0x0a

0x06 (window size) に 0x0a を書き込む

・スクリプト実行コマンド 「load [file name]」

ファイル内に書かれたコマンドを続けて実行します。初期設定などをスクリプトにしておくと便利に使えます。

Ex) load setting.txt

```

C:\>64chConfigWin.exe

This application controls bus of a SiTCP chip for debugging.
Usage: 64chConfigWin.exe <IP address> <Port #>

C:\>64chConfigWin.exe 192.168.10.16 4660
SiTCP-RBCP$ rd 0x00 32
Send the packet!
Wait to receive the ACK packet...

Received data:

[0x00000000] 13 03 19 01 - 10 01 09 39
[0x00000008] 00 00 01 23 - 45 00 00 00
[0x00000010] 00 00 00 00 - 00 00 00 00
[0x00000018] 00 00 00 00 - 08 00 03 00

SiTCP-RBCP$

```

5.1.3. 各種設定

- Window size

アドレス 0x06 にデータを何クロック分読み出すかを書き込みます。ADC のサンプリングクロックは 31.25ns です。

- Delay

アドレス 0x07 にトリガ入力からどれだけ過去のデータを転送するかを書き込みます。単位は 31.25ns / bit です。

- Self-test mode

アドレス 0x08 に 0x01 を書き込むことで本ボード単体にてテストパルスによるテストが行えます。テストパルス出力後 2 μ s 後にトリガ信号が発行されます。テストパルスは正極性、50mV で、トリガ信号は FPGA 内部の信号となります。0x00 を書き込むと出力を停止します。

- 12bit DAC 「LTC2630ACSC6-HZ12」

ASD チップのスレッシュホールドの決定に使用します。この値を適切に設定することで ASD チップのデジタル出力 (TDC スタートシグナル) が正しく出力されます。参考値として、セルフトテストパルス時、正極性、50mV の場合は 0x0EC0~3.8V 付近でデジタルアウトが出力され

ます。また外部テストパルス、負極性、約 400mV の場合は 0x800～2V 付近でデジタルアウトが出力されます。

アドレス 0x1C に上位 4bit、0x1D に下位 8bit を書き込みます。下位ビットが更新された際に DAC にデータが送られます。出力電圧は $V_{out} = (DAC_value / 4096) \times 4.096 [V]$ 。0x1E の DAC コマンドは通常は 0x03 (write & update) としておいてください。詳細は 12bit DAC LTC2630 のデータシートを参照してください。

・10bit ADC 「AD9212ABCPZ-40」

アドレス 0x10 に読み書きする ADC チップの値を書き込みます(0x00～0x07)。0x100～0x122 は ADC の Memory Map Register となっています。ベースアドレス 0x100 を引いた値が ADC の Memory Map Register です。例として、0x10D には ADC のテスト出力モード設定用レジスタがあり、任意のテストパターンが試せます。設定をした後は 0x1FF に 0x01 を書き込み、ADC をアップデートすることを忘れずに行なってください。詳細は 10bit ADC AD9212 のデータシートを参照してください。

5.2. 読み出しソフト 64chDebugWin.exe

本ボードからデータを読み出すソフトウェアです。Windows PC にて起動します。

5.2.1. 使用方法

コマンドプロンプトから起動します。引数を付けずに起動すると使用方法が表示されます。

C:¥>64chDebugWin.exe

Usage: 64chDebugWin.exe <IP address> <TCP Port #> <# of Event> <File name>

<IP address> : ボードの IP アドレス

<TCP Port #> : ボードの TCP ポート番号 24

<# of Event> : 読み出したいイベント数

<File name> : 読みだしたデータを保存するファイル名

```
C:¥>64chDebugWin.exe
Usage: 64chDebugWin.exe <IP address> <TCP Port #> <# of Event> <File name>

C:¥>64chDebugWin.exe 192.168.10.16 24 10 test.txt
Create socket...
.
Finished
C:¥>
```

5.2.2. 出力データフォーマット

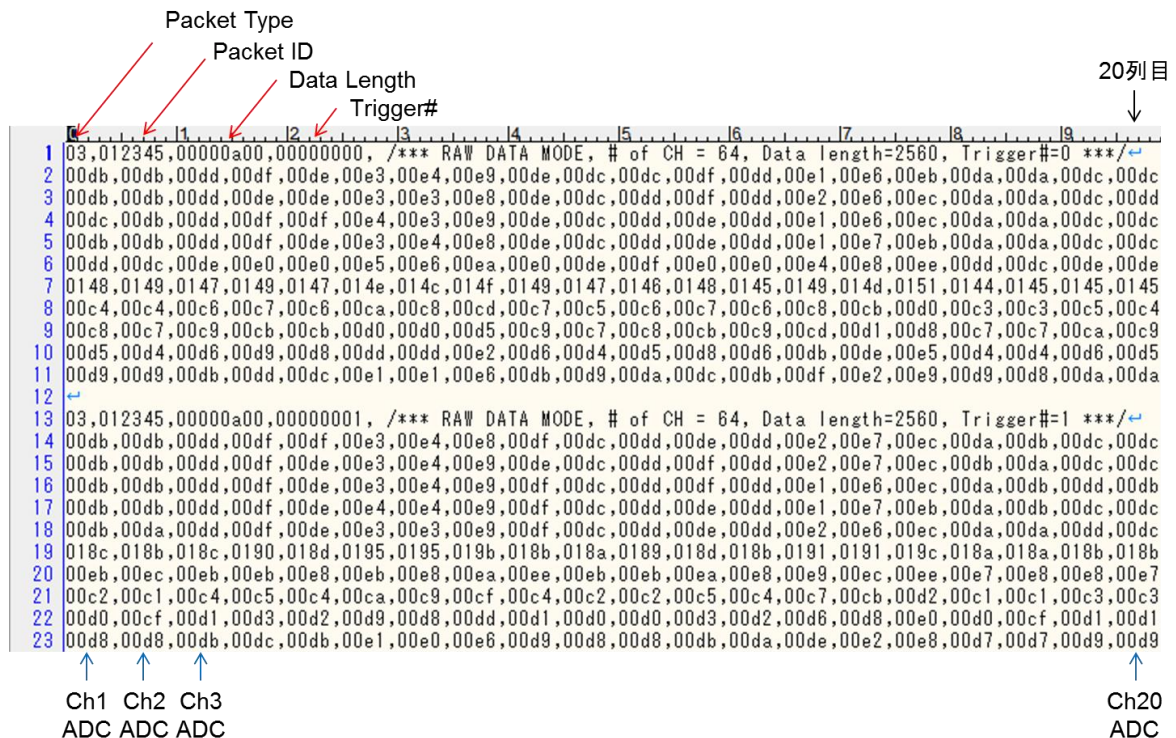
トリガ番号ごとにヘッダーファイル、ADC データ及び TDC データがあります。一行目にヘッダーファイル、二行目以降 Window size の行数分 ADC,TDC データが並んでいます。左から 64ch 分 64 列の ADC データが並び、更に 64ch 分 64 列の TDC データが並んでいます。

・ヘッダーファイル構成

Packet Type(0x03 固定), Packet ID(Hex), Data length(Hex), Trigger#(Hex)

・ADC / TDC データ構成

ch1ADC,ch2ADC,...,ch63ADC,ch64ADC,ch1TDC,Ch2TDC...,ch63TDC,ch64TDC



・TDC データ

1 行目にトリガ入力の時間が書かれており、次データがシグナル入力の時間です。トリガ入力時間からシグナル入力時間を引き算することによりシグナル入力からトリガ入力までの時間が計算出来ます。単位は ns です。

Ex) $0xc82a - 0xc069 = 0x07c1 = 1985ns$

6. 使用方法

本ボードを使用するにあたって、通信の確立の確認とテストパルスを用いたテストの方法を以下に説明します。デフォルトの IP アドレスを使用した場合です。

6.1. 必要機材

- 64ch READOUT BOARD
- 電源 4 系統
 - ～5.5V ～1A
 - ～3.8V ～1A
 - ～2V ～3A
 - ～1.8V ～3A
- Windows PC
- SPF トランシーバ
 - UTP トランシーバ : GLC-T-AS (Agilestar)
 - 光トランシーバ : AFBR-57R6APZ (AVAGO)
- UTP ケーブル
 - カテゴリー5 以上
- 光ケーブル (光トランシーバを使用する場合)
 - Multi-Mode Duplex LC-LC コネクタ
- 光メディアコンバータ (光トランシーバを使用する場合)
 - BMC-GT-M550M 等

6.2. ボードの設定

6.2.1. トランシーバの設定

SFP トランシーバを UTP トランシーバ、もしくは光トランシーバどちらを使用するかを設定します。

Ver. 2 の場合は本ボード上のディップスイッチ (SW3) の 1 番目にて設定します。

H : UTP トランシーバ

L : 光トランシーバ

下図の場合は UTP トランシーバを使用する設定になっています。



Ver.1 の場合はファームウェアを書き換えることにより設定変更を行います。

6.2.2. SiTCP ネットワークの設定

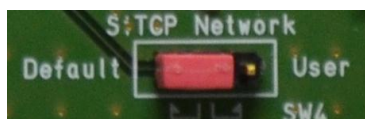
FPGA 内に実装されているネットワークプロセッサ SiTCP のネットワーク設定を行います。デフォルトの IP アドレスもしくはユーザー設定の IP アドレス (EEPROM から読みだした値) の選択を行います。

Ver. 2 の場合はボード上の SiTCP Network 設定ジャンパー (SW4) にて設定します。

Default : デフォルト IP アドレス 192.168.10.16

User : ユーザー設定の IP アドレス

下図の場合はデフォルトの IP アドレスを使用する設定になっています。



Ver. 1 の場合はファームウェアを書き換えることにより設定変更を行います。

6.3. PC のネットワーク設定

本ボードはデフォルトの IP アドレスでは「192.168.10.16」にて動作するので、本ボードと通信できるように PC のネットワーク環境を設定します。PC のネットワーク設定を以下のように設定してください。

- IP アドレス : 192.168.10.2
- サブネットマスク : 255.255.255.0

ネットワーク知識がある方は上記以外の値を設定しても構いません。

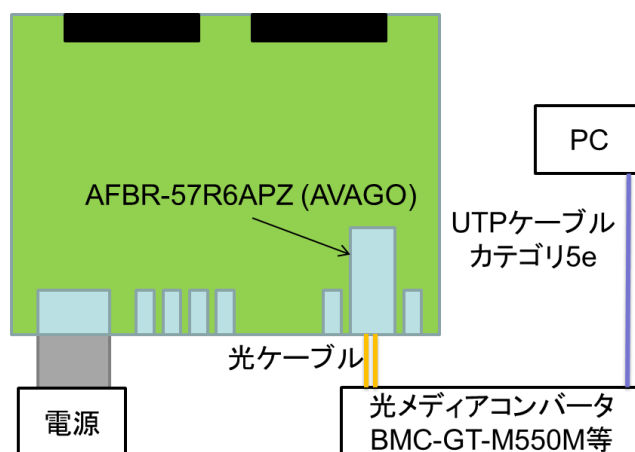
6.4. Ping コマンドを使用した通信テスト

はじめに本ボードと PC が通信を行えるかテストを行なってください。

6.4.1. セットアップ

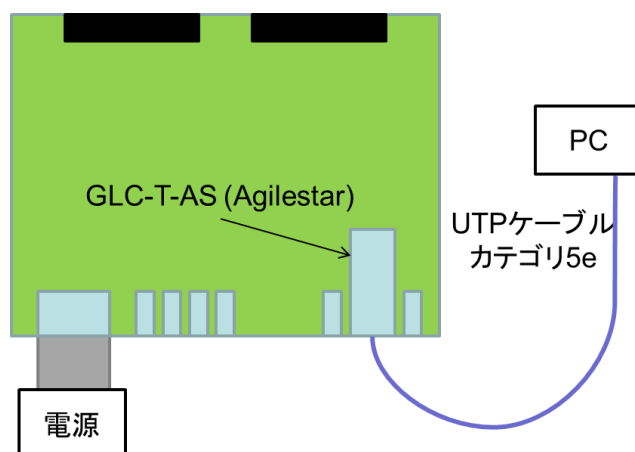
・光トランシーバを使用する場合

1. 本ボードの SFP スロットに光トランシーバ AFBR-57R6APZ を挿入する。
2. 光トランシーバと光メディアコンバータ（BMC-GT-M550M 等）を光ケーブル（Multi-Mode Duplex LC-LC コネクタ）にて接続する。
3. 光メディアコンバータと PC を UTP ケーブル（カテゴリ 5e 以上）にて直接接続する。
絶対に公共のネットワークには接続しないでください。
4. 電源を低い電圧から投入する。



・UTP トランシーバを使用する場合

1. 本ボードの SFP スロットに UTP トランシーバ GLC-T-AS を挿入する。
2. UTP トランシーバと PC を UTP ケーブル（カテゴリ 5e 以上）にて直接接続する。絶対に公共のネットワークには接続しないでください。
3. 電源を低い電圧から投入する。



6.4.2. PING コマンドによる応答確認

1. コマンドプロンプトを立ち上げる。
2. 「ping 192.168.10.16」と入力する。
3. 本ボードから応答がことある事を確認する。

応答がない場合は、ネットワーク設定がうまくできていない可能性がありますので、確認してください。

```
C:\>ping 192.168.10.16

192.168.10.16 に ping を送信しています 32 バイトのデータ:
192.168.10.16 からの応答: バイト数 =32 時間 <1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 <1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 <1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 <1ms TTL=128

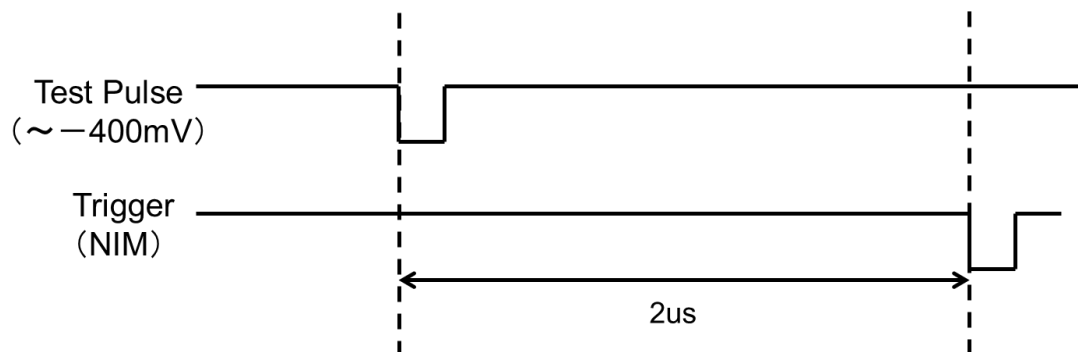
192.168.10.16 の ping 統計:
    パケット数: 送信 = 4、受信 = 4、損失 = 0 (0% の損失)、
ラウンド トリップの概算時間 (ミリ秒):
    最小 = 0ms、最大 = 0ms、平均 = 0ms
```

6.5. テストパルスによるテスト

次にテストパルスを使用した本ボードのテストを行なってください。

6.5.1. 信号とトリガの関係

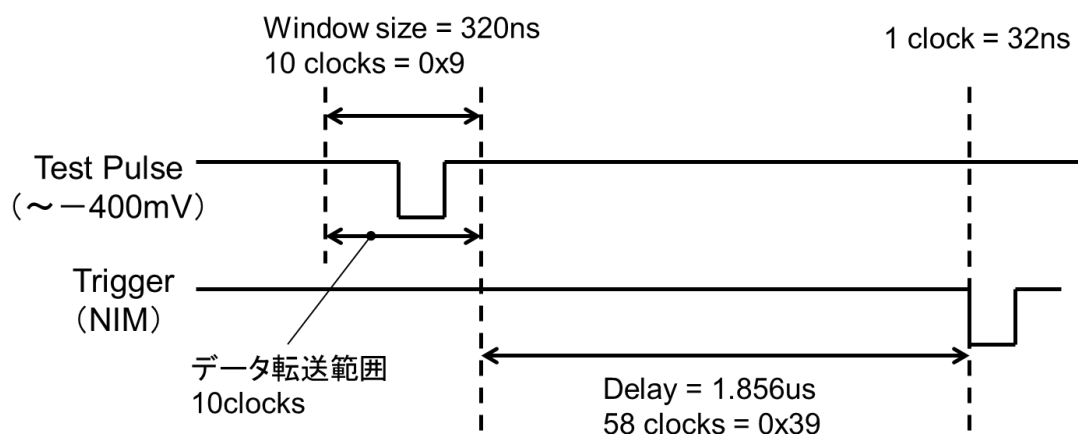
下図のようにテストパルスとトリガ信号間のディレイを $2\mu\text{s}$ にした信号を作成します。テストパルスは -400mV 程度、トリガ信号は NIM レベルにて設定します。



6.5.2. Window size と Delay の関係

Window size はデータの転送範囲を表し、ADC のクロック 32ns ごとに設定が可能です。また、Delay はウィンドウの端とトリガ信号のディレイを表し 32ns ごとに設定が可能です。

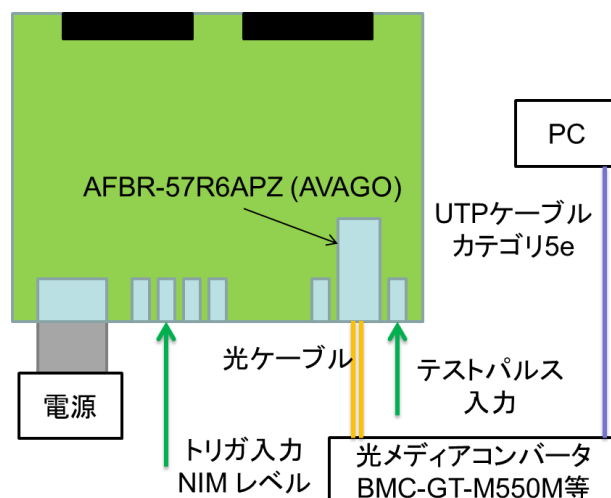
初期設定では、Window size = 320ns 、Delay = $1.856\mu\text{s}$ となっています。下図のようにテストパルスとトリガ信号のディレイを $2\mu\text{s}$ とすることでデータ転送範囲内にテストパルスが入るように設定されています。



6.5.3. セットアップ

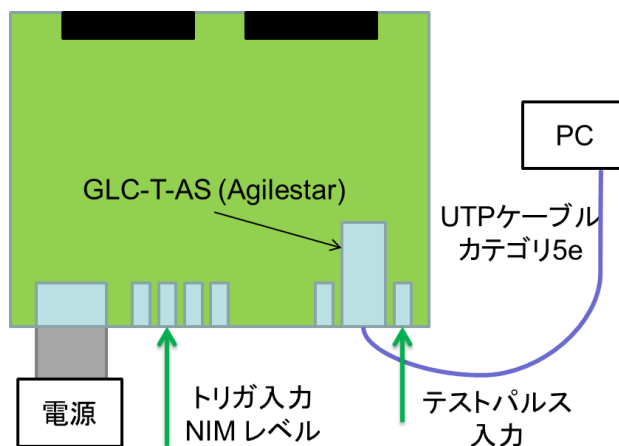
・光トランシーバを使用する場合

1. 本ボードの SFP スロットに光トランシーバ AFBR-57R6APZ を挿入する。
2. 光トランシーバと光メディアコンバータ（BMC-GT-M550M 等）を光ケーブル（Multi-Mode Duplex LC-LC コネクタ）にて接続する。
3. 光メディアコンバータと PC を UTP ケーブル（カテゴリ 5e 以上）にて直接接続する。
絶対に公共のネットワークには接続しないでください。
4. 電源を低い電圧から投入する。
5. テストパルス、トリガ信号を入力する



・UTP トランシーバを使用する場合

1. 本ボードの SFP スロットに UTP トランシーバ GLC-T-AS を挿入する。
2. UTP トランシーバと PC を UTP ケーブル（カテゴリ 5e 以上）にて直接接続する。絶対に公共のネットワークには接続しないでください。
3. 電源を低い電圧から投入する。
4. テストパルス、トリガ信号を入力する



6.5.4. データ取得

1. コマンドプロンプトより、「64chDebugWin.exe」を実行する。

64chDebugWin.exe 192.168.10.16 24 10 test.txt

2. 同じディレクトリに取得されたデータ「test.txt」が作成されたことを確認する。
3. テストパルスとトリガの関係、Delay、Window size などを変更し、いろいろ試して見てください。

7. 参考文献

1. SiTCP ホームページ <http://e-sys.kek.jp/tech/sitcp/>
2. BBT 社ホームページ <http://www.bbtech.co.jp/>
3. SiTCP の論文 : T.Uchida, “Hardware-Based TCP Processor for Gigabit Ethernet,” <http://hdl.handle.net/2261/15490>