

# Slit128A評価ボード デバック資料

2016年4月20日  
3 版

内田智久, E-sys, IPNS, KEK

# FPGA注意点

- VCCIO=2.4VとなるようにVR2を調節する  
事
- LEMOコネクタの信号はNIM規格ではない
  - 0-3.3V振幅

# データ・フォーマット

## Event先頭データ

送信順  
→

1'b0,CHIP_ID[6:0],UNIT_ID[7:0]	Event#[15:0]
1'b1,CHIP_ID[6:0],UNIT_ID[7:0]	TIME[15:0]
Data 32bit (CH番号大きい方から送信)	

送信順  
↓

## 2番目以降

送信順  
→

1'b1,CHIP_ID[6:0],UNIT_ID[7:0]	TIME[15:0]
Data 32bit (CH番号大きい方から送信)	

送信順  
↓

各チャンネル混ざって送信されてくる  
イベント組み立てをやったかったがメモリが小さく不可  
これは内田の指示ミス。次回作る時は大きなサイズのFPGAを実装する

# Slow control Address map

- ◎ 0x000000000 – 0x7FFFFFFF
  - > ASIC
  - > アドレス割り当ての詳細は次ページ
- ◎ 0x800000000 – 0x80000001F
  - > FPGA内部レジスタ
  - > +00 – 03: FPGA合成日時
  - > +04: FPGA Ver.
  - > +05: Unit I/F enable
    - [0]: Unit 0 enable (1 = enable, 0 = disable)
    - [1-3]: Unit 1-3 Enable同上

# Slow control

## ASICのベースアドレス

- [31:24]、SW3(DIPSW)の値
- [23:16]、UNIT#
  - UNIT#=0: CH0-31
  - UNIT#=1: CH32-63
  - UNIT#=2: CH64-95
  - UNIT#=3: CH96-127
- 例えば、DIPSW=1でUNIT#=3のベースアドレスは0x01030000となる

# Slow control

## ASIC内部アドレス

- ◎ +0x0000-001F: レジスタ
  - > 0x00-03: 合成日時
  - > 0x04: ASIC Ver.
  - > 0x08: Mode reg.
    - [2:0] Suppress mode
      - 0: サプレスなし
      - 1: 立上がりエッジ
      - 2: 立下りエッジ
      - 3: 両エッジ
      - 4-7: 強制Rawデータ転送モード
  - > 0xB-D: アナログ部スローコントロール用レジスタ
    - UNIT#=0のみ有効
      - UNIT#=0にアナログ部のSPIが接続されている
- ◎ +0x8000-8FFF: イベントバッファ

# アナログ部スローコントローラ 関連レジスタ

- ◎ +0xB : 動作設定レジスタ
  - [7] 送信中フラグ 送信処理中に1になる
  - [6] クロック極性
    - 1:反転、0:非反転
  - [5] 送信データ変化タイミニング
    - 1:クロック立下り、0:クロック立ち上がり
  - [4] 受信データ取り込みタイミニング
    - 1:クロック立下り、0:クロック立ち上がり
  - [3:0] クロック周期設定
    - 0が最も短い、7が最も長い
- ◎ +0xC : 送信SSのデータ
- ◎ +0xD : 送信SIのデータ
- ◎ +0xE-F : 受信データ

# アナログ部スローコントロール 手順

- ◎ 8bit毎にデータを書き込む
  - ＞ 32bit送りたいければ4回書き込む
- ◎ 手順
  1. 0xB設定（前頁参照）
  2. 送りたいSSの値を8ビット分を0xCに書く
  3. 送りたいSIの値を8ビット分を0xDに書く
  4. 転送終了を確認
    - ・ 0x0Bの最上位(bit7)が0であることを確認
    - ・ 転送中0x0Bの最上位(bit7)は1になる
  5. 2から4を繰り返す



# 付録

# J-PARC g-2/EDM実験 シリコン検出器用ASIC

optical links      power

Controller (FPGA)

Front-end ASICs

24個 × 2(両面)

DSSD x 6

2 dimensional readout  
Total # of Ch = 4608 chs.

240mm

## 最終ASICの仕様

アナログデジタル混載

CH数: 128Ch/Chip

機能: ASD + TDC

DSSD Spec.  
Size: 200mm x 222mm  
# of Ch: 384 + 384  
Strip pitch: 188um (X), 255um (Y)

# デジタル部の役割

アナログ部で電圧軸方向にデジタル化された  
128本の検出器信号を時間方向に5ns周期でデジタル化して  
FPGAへ転送する  
＋  
動作パラメータ設定のための  
スローコントロール機能

# デジタル部の動作

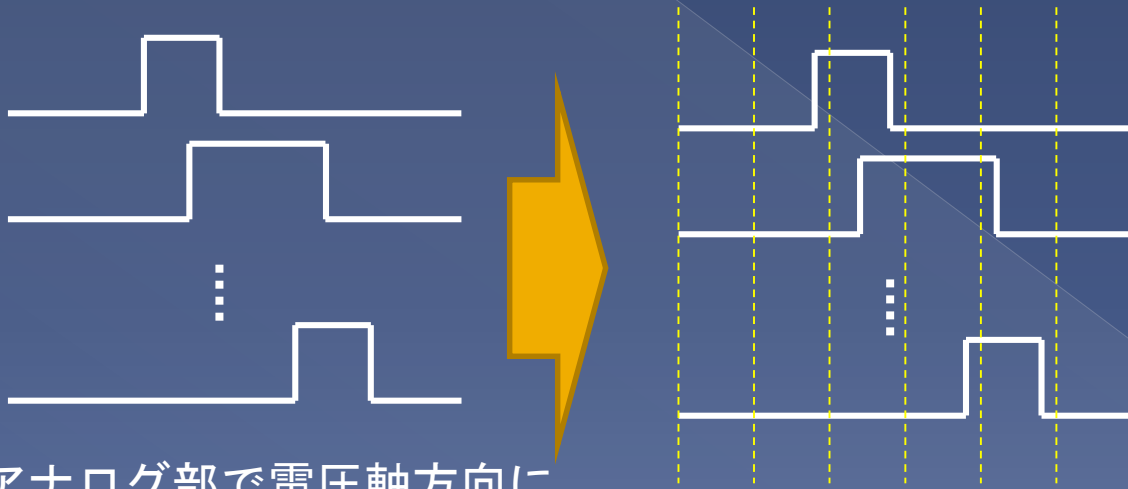
アナログ部で電圧軸方向にデジタル化された  
128本の検出器信号を時間方向に5ns周期でデジタル化してFPGAへ転送する



アナログ部で電圧軸方向に  
デジタル化された検出器信号

# デジタル部の動作

アナログ部で電圧軸方向にデジタル化された  
128本の検出器信号を時間方向に5ns周期でデジタル化してFPGAへ転送する

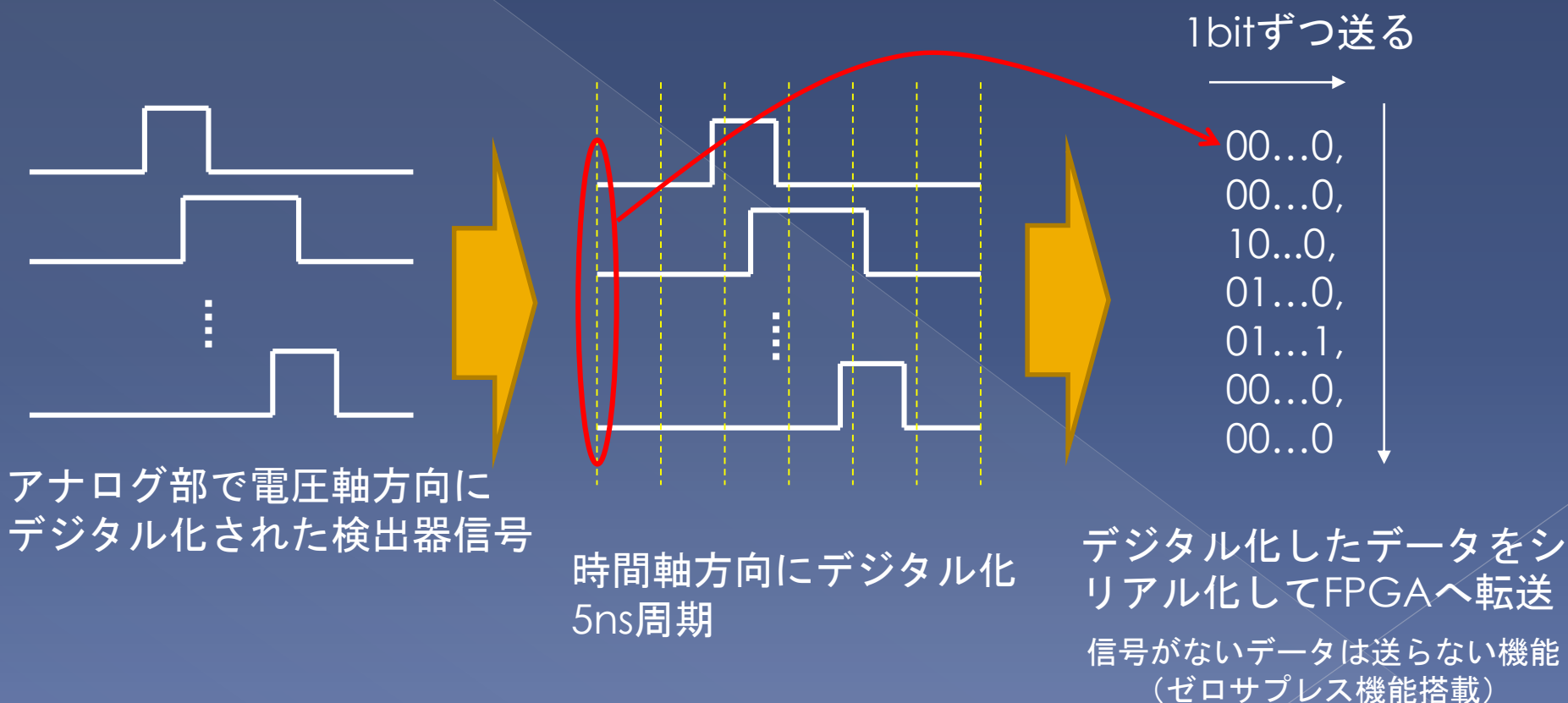


アナログ部で電圧軸方向に  
デジタル化された検出器信号

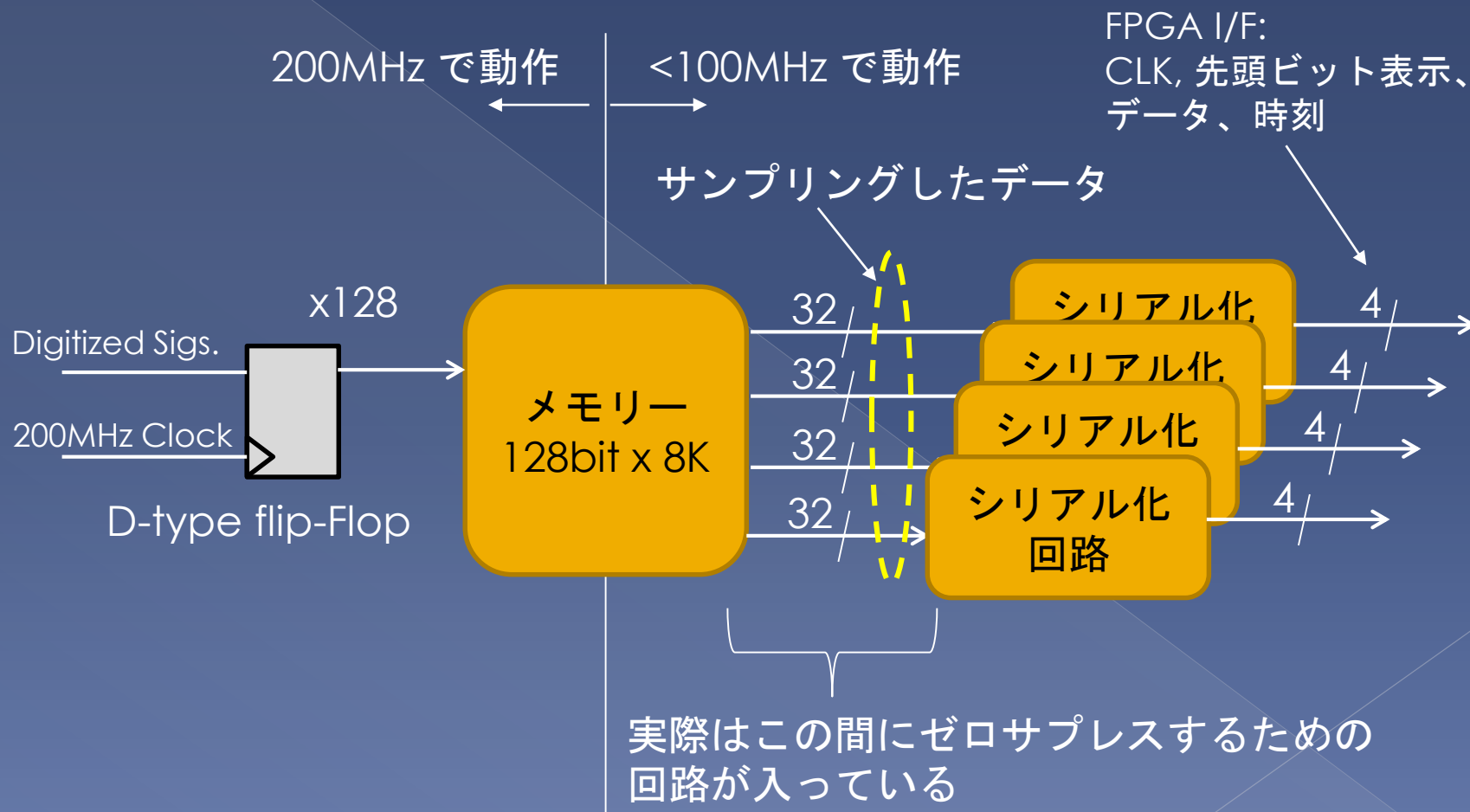
時間軸方向にデジタル化  
5ns周期

# デジタル部の動作

アナログ部で電圧軸方向にデジタル化された  
128本の検出器信号を時間方向に5ns周期でデジタル化してFPGAへ転送する

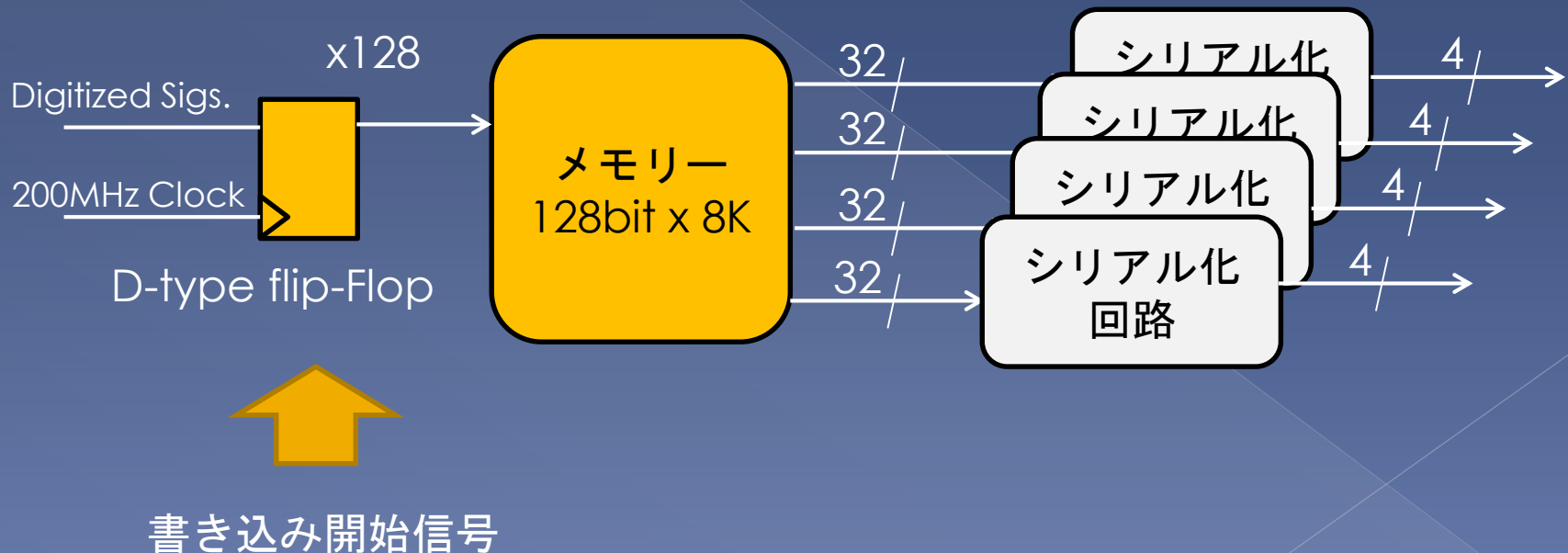


# デジタル部の構造



# 実際の動作：メモリ書き込み

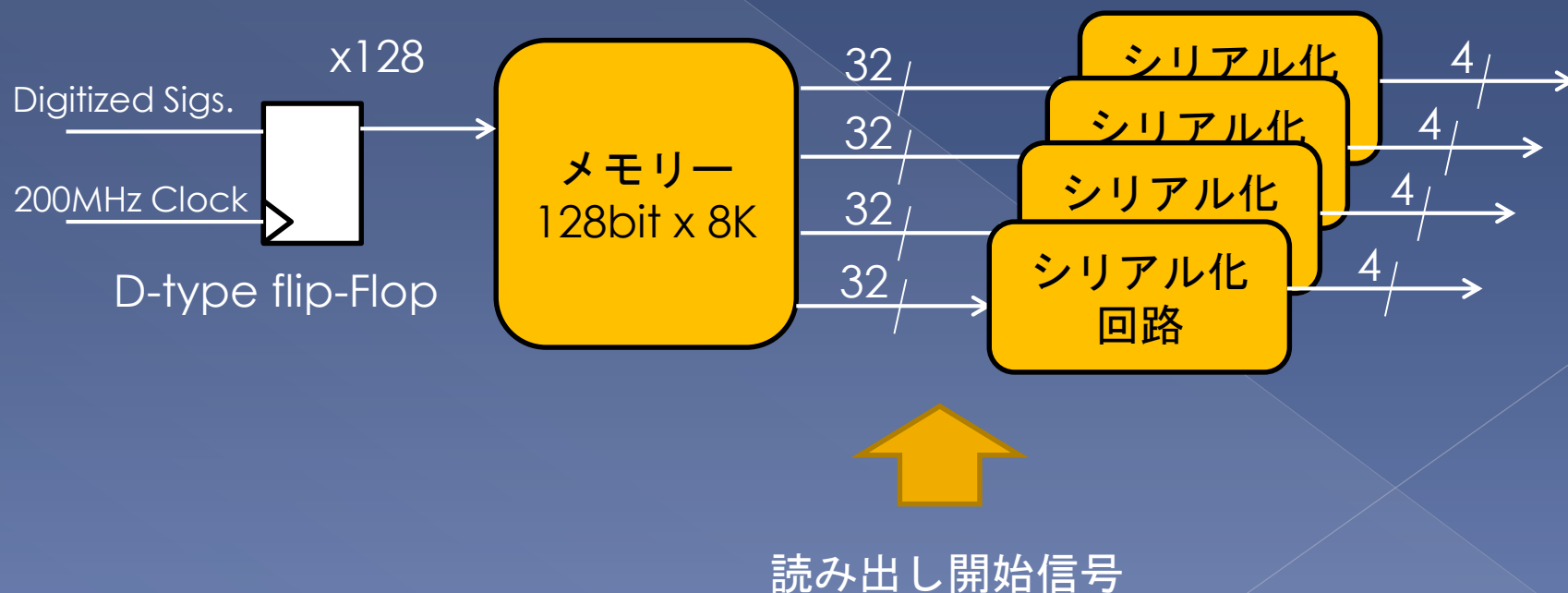
- ①外部から書き込み開始信号を受信
- ②メモリ先頭からデータ書き込み開始
- ③メモリの最後まで書いたら書き込み停止





# 実際の動作：メモリ読み出し

- ①外部から読み出し開始信号を受信
- ②メモリ先頭からデータを読み出し
- ③読み出したデータをシリアル化  
(ただしデータがゼロなら送らない：ゼロサプレス機能)
- ④メモリの最後まで読んだら停止



# FPGA I/F

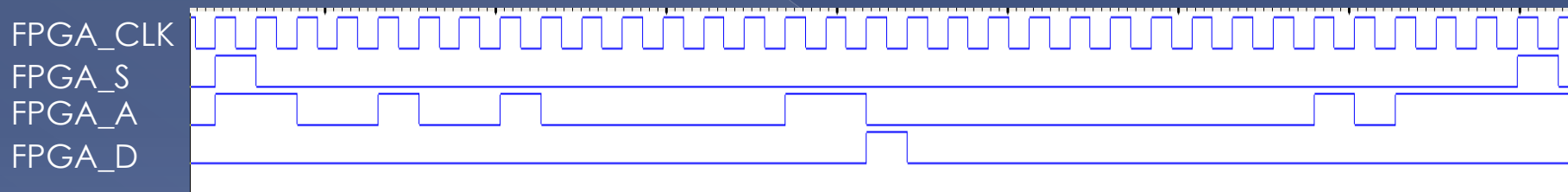
32chsのデータを一つのI/F(4つの信号)で送る。  
32bit単位でMSBから送る

FPGA\_CLK : シリアルデータ転送用クロック (メモリ読みだしクロックと同じ周波数)

FPGA\_S : 32bitデータの先頭ビット位置表示

FPGA\_A : 時刻 (メモリのアドレス) {1'b1,CHIP\_ID[6:0],UNIT\_ID[7:0], 3'd0,Address[12:0]}

FPGA\_D : 検出器データ



この波形例で送っている内容は :

CHIP\_ID[6:0]=7'h49

UNIT\_ID[7:0]=8'h3

Address[12:0]=13'h17

Data[31:0] = 32'h0000\_8000

## 【補足】

CHIP\_ID : チップの番号、ASICのピン接続で設定

UNIT\_ID: I/F番号、0-3

0はCh0-31, 1はCh32-63, 2はCh64-95, 3はCh96-127  
を転送するI/F番号

# Slow control

ASICの動作パラメータを設定するための機能

FPGAから読み書きしたいアドレスを送り、データをやり取りする機能

- メモリ格納データの読み出し
- CH毎のON/OFF
- ゼロサプレス機能ON/OFF
- 信号感知モード
  - 立ち上がりエッジ、立ち下がりエッジ、両方エッジ、レベル
- アナログ部のレジスタ設定

実際はイーサネットを使ってFPGA経由で読み書きする

# Slow control I/F

D\_MSCK : シリアルデータ転送用クロック (<1MHz)

D\_MSCS : アクセス中の表示

D\_MSI : FPGAからASICへのデータ、MSBから送る (アドレス+書き込みデータ)

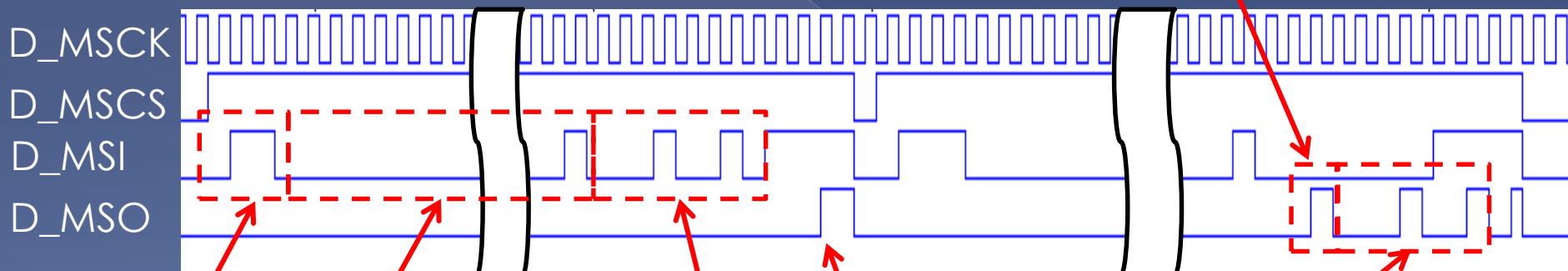
D\_MSO : ASICからFPGAへのデータ、MSBから送る (応答信号+読み出しデータ)

この波形例では、

アドレス1に値0x12を書き込み

アドレス1の値を読み出している

読み出しデータ転送開始表示



32bitのアドレス  
ここでは0x1

8bitの書き込みデータ  
ここでは0x12

8bitの読み出しデータ  
ここでは0x12

先頭はコマンド

(0110は書き込み、0111は読み出し)

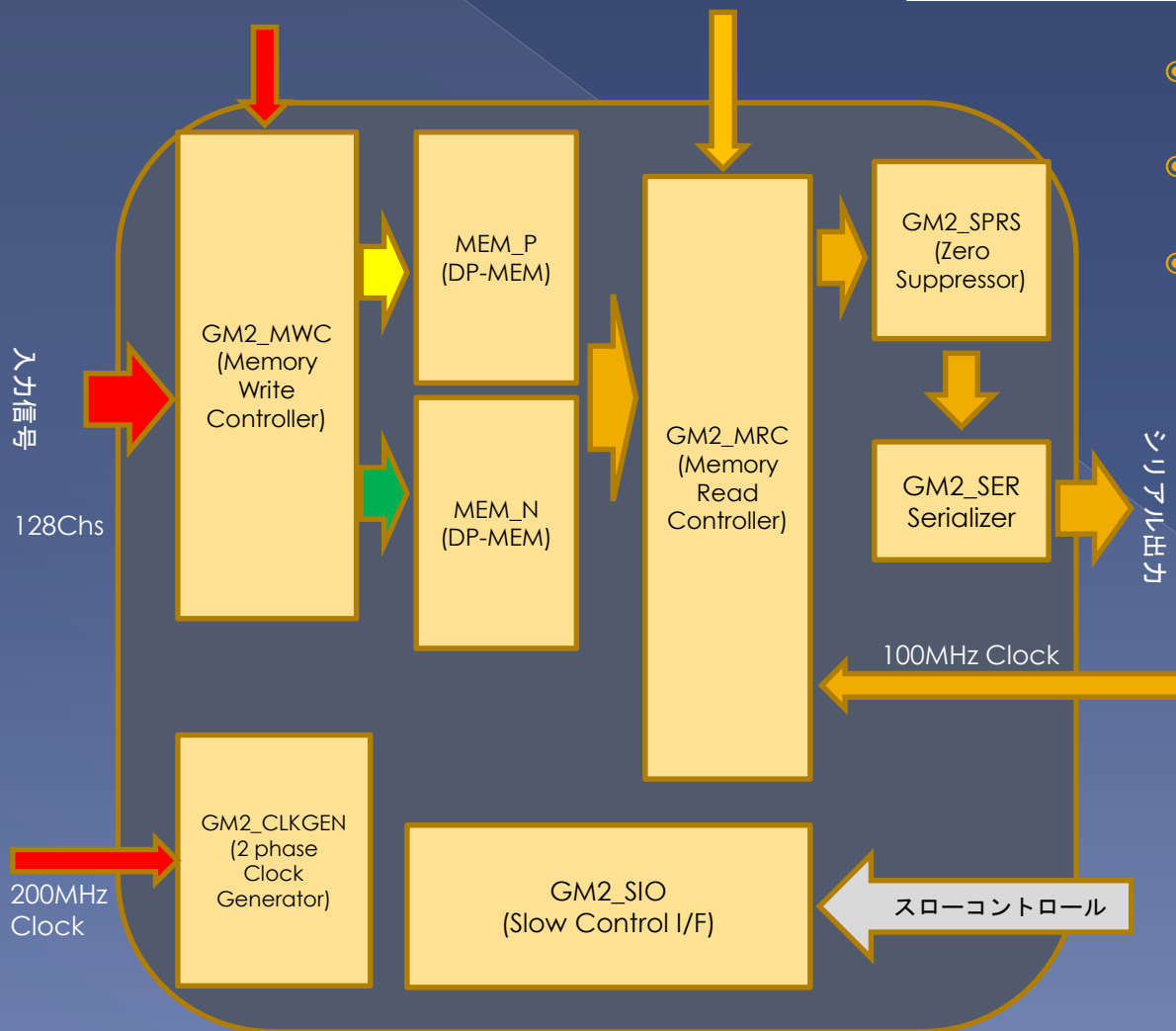
正常に書き込みが終了すると1になる

# ブロック図

書き込み開始信号

読み出し開始信号

各Chの検出時刻を5nsec単位で記録する



- プロセス : Silterra 0.18 $\mu$ m
  - コア電源  $\pm 0.9V$ , IO電源 2.4V
- HDL + スタンダードセルを用いた設計手法を採用
- 機能
  - 入力信号数 128ch
  - サンプリング周期 5ns(200MHz)
  - イベントバッファ長 8k (40.96us)
  - データ圧縮
    - Zero suppress
    - Edge detection (rising, falling edge, and both)
  - シリアル出力 @100Mbps
    - アドレス+データ 転送時間 1.3ms
  - 制御信号
    - write start, write busy, read ready
    - read start, read busy
  - スローコントロール

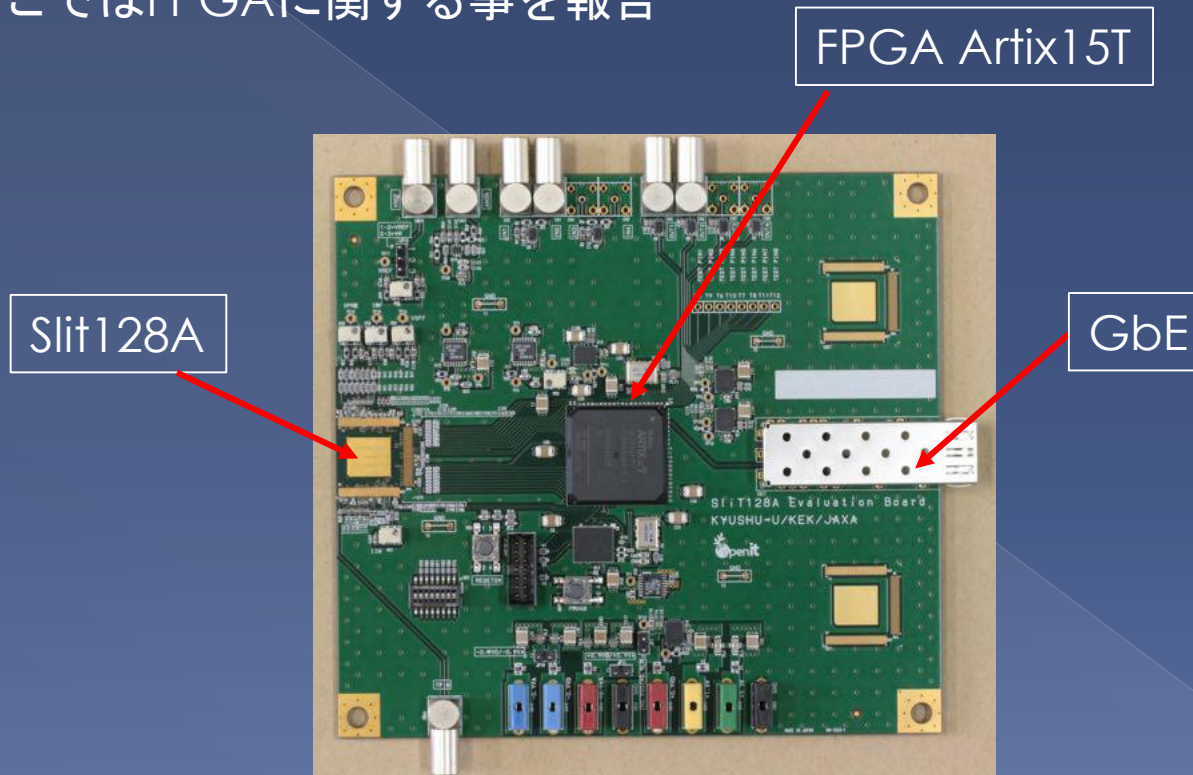
# デジタル部： まとめ（機能・動作）

- 128チャンネルの検出器信号処理
- 5ns周期でデータをサンプル
- サンプルしたデータはメモリに一時保管
- 保存データを読み出してシリアル化してFPGAへ転送
- データがゼロの場合は送らない
- レジスタ設定用のスローコントロール機能搭載

# Slit128A評価ボードFPGA進捗状況

# Slit128A評価ボード

評価ボード全体の話は庄子さんのプレゼン  
ここではFPGAに関する事を報告



Slit128Aの性能評価のためのボード、  
Slit128Aからのデータをイーサネット経由でPCへ転送する



# Slit128A評価ボードFPGA機能

## ◎ データ転送機能

- Slit128Aからのデータをイーサネット経由でPCへ転送

## ◎ スローコントロール

- PCからコマンドによりSlit128Aへスローコントロール信号を送る

# FPGAブロック図

