

# 计算机系统结构实验报告 实验 1

## FPGA 基础实验: LED Flow Water Light

2022 年 3 月 15 日

### 摘要

本实验实现了 FPGA 基础实验中的 LED 流水灯器件。该器件在每个周期的时钟上升沿时计数器加 1，当计数器达到最大值时，LED 灯左移一位点亮；该器件还支持接收 `reset` 信号对 LED 灯进行初始化与复位。本实验通过软件仿真的形式进行实验结果的验证。

### 目录

目录	1
1 实验目的	2
2 原理分析	2
3 功能实现	2
4 结果验证	3
5 总结与反思	5
附录 A Verilog 文件完整代码实现	6

## 1 实验目的

本次实验有如下几个实验目的：

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作
2. 掌握使用 Verilog HDL 进行简单的逻辑设计
3. 掌握功能仿真
4. 使用 I/O Planing 添加管脚约束
5. 生成 Bitstream 文件
6. 上板验证

## 2 原理分析

本次实验需要实现 LED 流水灯的 FPGA 部件，其功能要求是每间隔一段时间点亮下一个 LED 灯并且熄灭当前的 LED 灯。

通过一个计数器 `cnt_reg`，我们可以实现时钟周期数目的记录，当计数器达到我们设定的最大值时，我们进行 LED 灯的切换，同时将计数器重置为 0。我们采取 8 位二进制编码 `light_reg` 来表示 8 位 LED 灯，第  $i$  位为 0 说明第  $i$  个 LED 灯未被点亮，第  $i$  位为 1 说明第  $i$  个 LED 灯被点亮。

## 3 功能实现

我们采取以下代码实现对于计数器 `cnt_reg` 的更新，当 `reset` 信号为 1 时，我们将计数器清零。

```
1 always @ (posedge clock)
2     begin
3         if (reset)
4             cnt_reg <= 0;
5         else
6             cnt_reg <= cnt_reg + 1;
7     end
```

根据第 2 节中所阐释的原理，我们可以使用左移操作进行 LED 灯的切换。如果当前点亮的是最后一个 LED 灯时，我们需要特殊处理，将下一个状态的 8 位二进制编码设为仅最低一位为 1，从而实现 LED 灯的循环点亮。

同时当 `reset` 信号为 1 时，我们将 LED 灯状态设为初始状态。

```
1 reg [23 : 0] cnt_reg;
2 reg [7 : 0] light_reg;
3
4 always @ (posedge clock)
5     begin
6         if (reset)
```

```

7         light_reg <= 8'h01;
8     else if (cnt_reg == 24'hffffff)
9         begin
10             if (light_reg == 8'h80)
11                 light_reg <= 8'h01;
12             else
13                 light_reg <= light_reg << 1;
14         end
15     end
16
17 assign led = light_reg;
18 endmodule

```

在实际的仿真验证过程中，我们发现本仿真运行周期不够，计数器并没加到 24 位全是 1 而波形显示早已结束，因此我们对计数器的位数和计数值进行了修改，以便较快速达到左移条件，如以下代码所示。

```

1 reg [1 : 0] cnt_reg;
2 reg [7 : 0] light_reg;
3
4 always @ (posedge clock)
5     begin
6         if (reset)
7             light_reg <= 8'h01;
8         else if (cnt_reg == 2'h01)
9             begin
10                 if (light_reg == 8'h80)
11                     light_reg <= 8'h01;
12                 else
13                     light_reg <= light_reg << 1;
14             end
15     end

```

完整的代码实现参见附录 A。

## 4 结果验证

我们使用 Verilog 编写激励文件，采用软件仿真的形式对于 LED 流水灯进行测试（代码实现参见附录 A）。初始的测试结果如图 2 和图 1 所示：

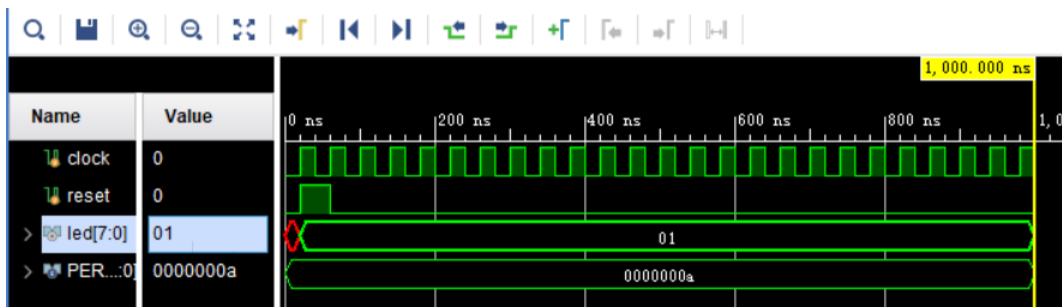


图 1: 初始测试结果 1

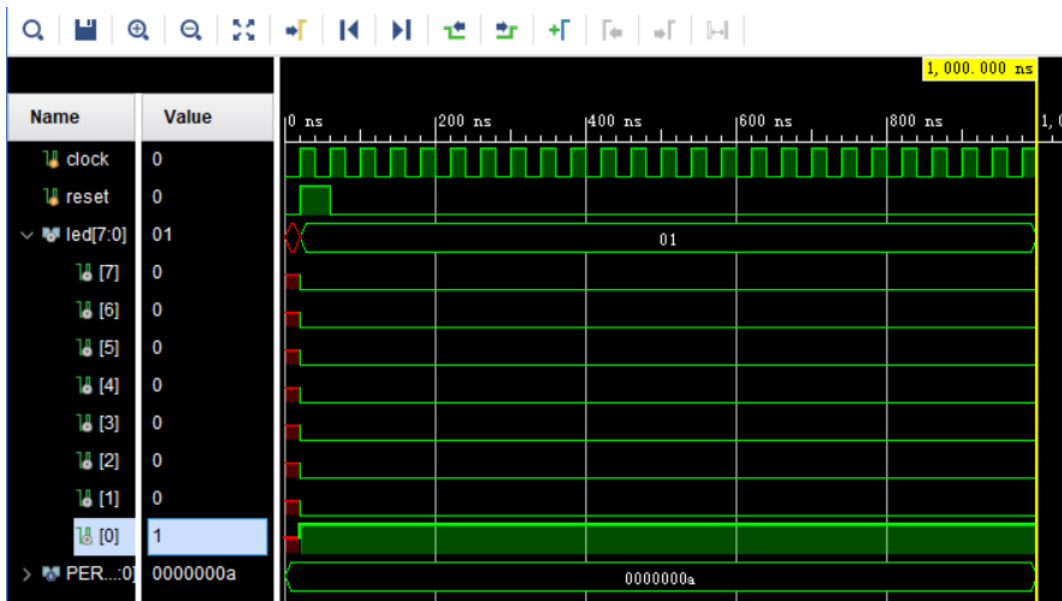


图 2: 初始测试结果 2

分析该结果出现的原因后，我们对计数器的位数和计数值进行了修改，以便较快速达到左移条件。修改后的最终的测试结果如图 3 所示：

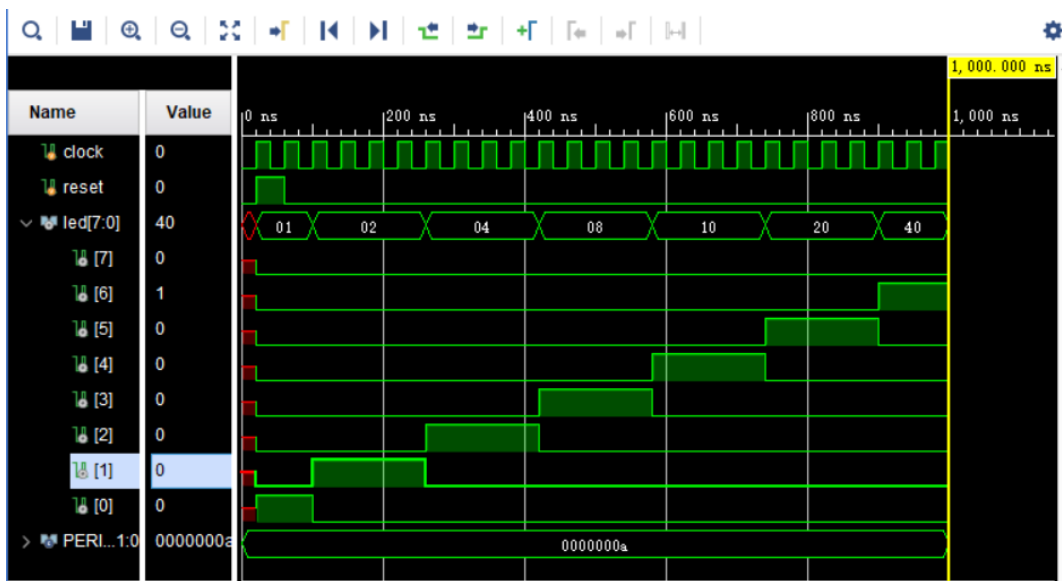


图 3: 最终测试结果

从图 3 中可以看出，我们完成了 LED 流水灯的功能实现，并且仿真结果正确。

## 5 总结与反思

本实验实现了 FPGA 实验中 LED 流水灯这一基础部件的设计与仿真。这一部件内部的逻辑较为简单，易于初学 Verilog 语言的编程者上手。通过这次试验，我对于 Xilinx 逻辑设计工具 Vivado 有了初步的认识，基本掌握了使用 Verilog 语言进行逻辑设计的方法。可以发现，Verilog 语言与 C 语言类似，我们可以通过类比起来快速掌握 Verilog 语言的一些基本设计方法。同时，我还学习了仿真模拟验证的具体方法。这些都为后面几次实验的复杂逻辑设计与仿真奠定了基础。观察到实验中使用了 `<=` 的赋值方法，我上网搜索了相关资料，发现这是时序逻辑的设计方法，而普通的赋值 `=` 使用的是组合逻辑的设计方法，这个认识对于后面的大型试验有着非常重要的帮助。总之，在这次实验中我收获颇丰。

## 附录 A Verilog 文件完整代码实现

参见代码文件 `flowing_light.v` 及 `flowing_light_tb.v`。