

计算机系统结构实验报告 实验 2

FPGA 基础实验: 4-bit Adder

2022 年 3 月 15 日

摘要

本实验实现了 FPGA 基础实验中的四位全加器。该器件支持带进位的 4 位二进制数的加法，输入两个 4 位二进制数，输出一个 4 位二进制数表示输入的两个数相加的结果，并且支持接收上一部分的进位结果与传递下一部分的进位结果。我们通过与、或、异或等简单的逻辑运算实现一位全加器，并通过其来进一步实现四位全加器。本实验通过软件仿真的形式进行实验结果的验证。

目录

目录	1
1 实验目的	2
2 原理分析	2
2.1 一位全加器原理分析	2
2.2 四位全加器原理分析	2
3 功能实现	3
3.1 一位全加器的功能实现	3
3.2 四位全加器的功能实现	3
4 结果验证	3
5 总结与反思	4
附录 A 设计文件完整代码实现	5

1 实验目的

本次实验有如下几个实验目的：

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作
2. 掌握使用 Verilog HDL 进行简单的逻辑设计
3. 使用功能仿真
4. 约束文件的使用和直接写法
5. 生成 Bitstream 文件
6. 上板验证

2 原理分析

2.1 一位全加器原理分析

一位全加器 (full adder) 将两个一位二进制数相加，并根据接收到的低位进位信号，输出和、进位输出。全加器的三个输入信号为两个加数 A 、 B 和低位进位 C_{in} 。全加器的输出和半加器类似，包括向高位的进位信号 C_{out} 和本位的和信号 S ，相加结果的总和表达为 $\text{sum} = 2 \times C_{out} + S$ 。一位全加器的真值表如下：

A	B	C_{in}	C_{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

表 1: 一位全加器的真值表

一位全加器的原理较为简单，即实现能表达上述真值表（表 1）的逻辑电路即可。分析真值表后可以发现输出端与输入端的逻辑关系如下：

$$S = A \oplus B \oplus C_{in}$$
$$C_{out} = (A \cdot B) + (B \cdot C_{in}) + (A \cdot C_{in})$$

2.2 四位全加器原理分析

四位全加器包括 A 、 B 两个 4 位输入端和 C_{in} 一个 1 位输入端，以及 S 一个 4 位输出端和 C_{out} 一个 1 位输出端，分别表示本位的和信号与向高位的进位信号。

四位全加器可以看成四个一位全加器串联组成，前一个一位全加器的 C_{out} 端接入后一个一位全加器的 C_{in} 端，第一个一位全加器的 C_{in} 端为整个四位全加器的 C_{in} 端，最后一个一位全加器的 C_{out} 端为整个四位全加器的 C_{out} 端。同时，我们将四位全加器的两个 4 位输入 A 与 B 分成四个对应部分，分别分配给每一个一位全加器进行运算，并且把四个一位全加器运算结果合并，得到最终的四位全加器的输出 S 。

3 功能实现

3.1 一位全加器的功能实现

根据 2.1 节中所展示的输出端逻辑表达式，具体代码实现如下所示：

```
1 wire s1, c1, c2, c3;
2 and (c1, a, b),
3     (c2, b, ci),
4     (c3, a, ci);
5 xor (s1, a, b),
6     (s, s1, ci);
7 or (co, c1, c2, c3);
```

完整的代码实现参见附录 A。

3.2 四位全加器的功能实现

根据 2.2 节中的四位全加器的原理分析，我们可以利用四个一位全加器串联实现四位全加器的功能。具体代码实现如下所示：

```
1 wire [2 : 0] ct;
2 adder_1bit a1(.a(a[0]), .b(b[0]), .ci(ci), .s(s[0]), .co(ct[0])),
3             a2(.a(a[1]), .b(b[1]), .ci(ct[0]), .s(s[1]), .co(ct[1])),
4             a3(.a(a[2]), .b(b[2]), .ci(ct[1]), .s(s[2]), .co(ct[2])),
5             a4(.a(a[3]), .b(b[3]), .ci(ct[2]), .s(s[3]), .co(co));
```

完整的代码实现参见附录 A。

4 结果验证

我们使用 Verilog 编写激励文件，采用软件仿真的形式对四位全加器进行测试（代码实现参见附录 A）。我们在激励文件中使用了多组不同的数据进行测试，测试结果如图 1 所示。

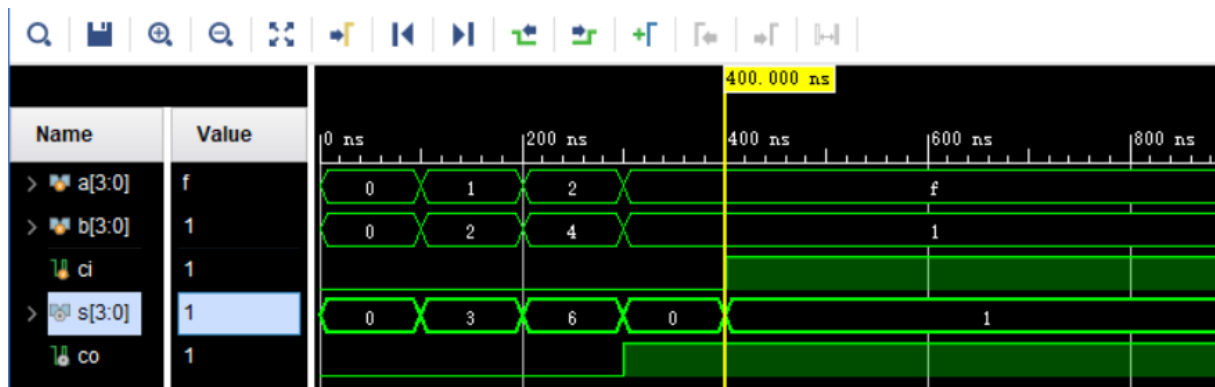


图 1: 四位全加器的测试结果

从图 1 中可以看出，我们完成了四位全加器的功能实现，并且仿真结果正确。

5 总结与反思

本实验实现了 FPGA 实验中四位全加器这一基础部件的设计与仿真。实现这一部件的主要方法是化繁为简，首先实现基础的一位全加器，再将其进行组合连接得到最终的四位全加器。通过这次试验，我对于 Xilinx 逻辑设计工具 Vivado 有了一些较为深入的认识，已经可以熟练运用 Verilog 语言进行基础的逻辑设计以及基础的仿真模拟，为后面几次实验的复杂逻辑设计与仿真奠定了基础。

Verilog 中的一些关键词如 reg、wire，以及 always@ 语句块的含义我不是很清楚，经过查找资料，对一些变量的区别有了感性的认识，并期待这些知识在接下来的复杂实验中发挥作用。

附录 A 设计文件完整代码实现

参见代码文件 `adder_1bit.v`, `adder_4bits.v` 及 `adder_4bits_tb.v`。