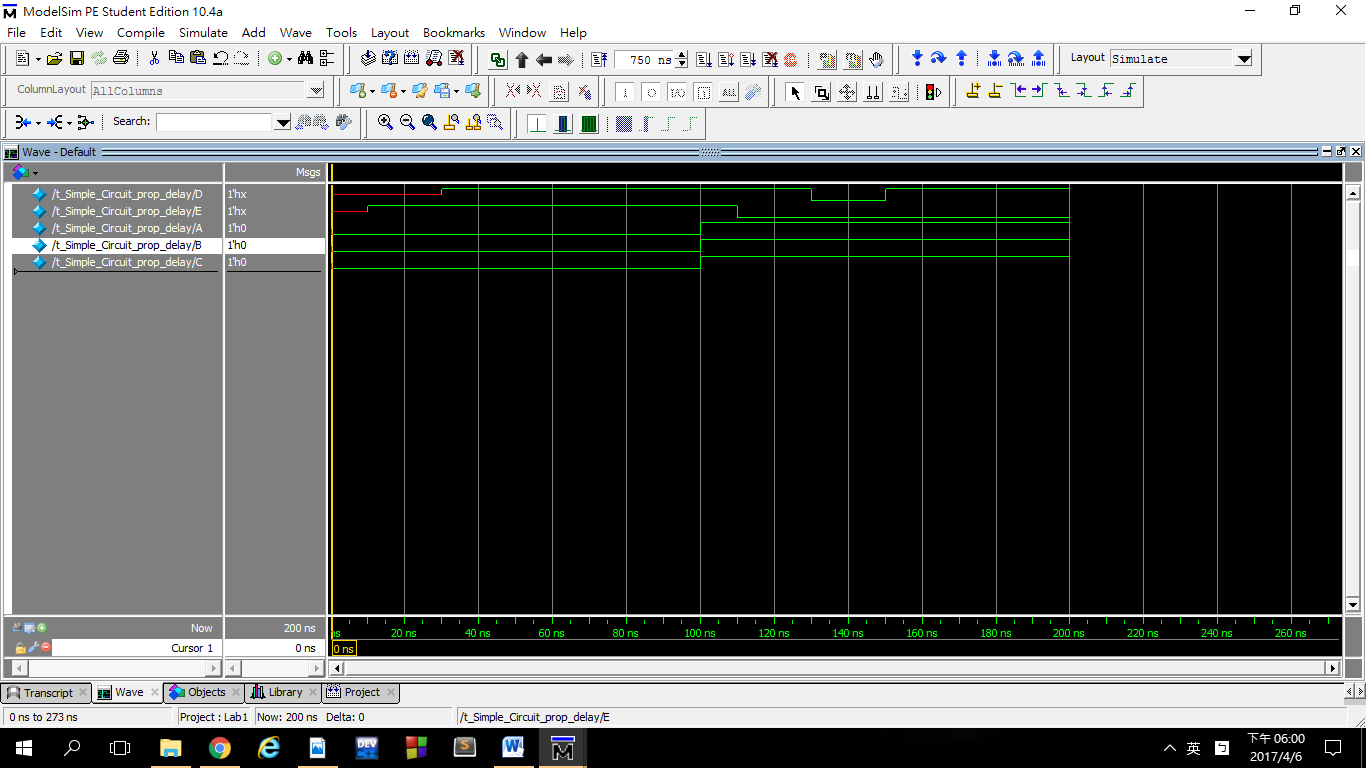
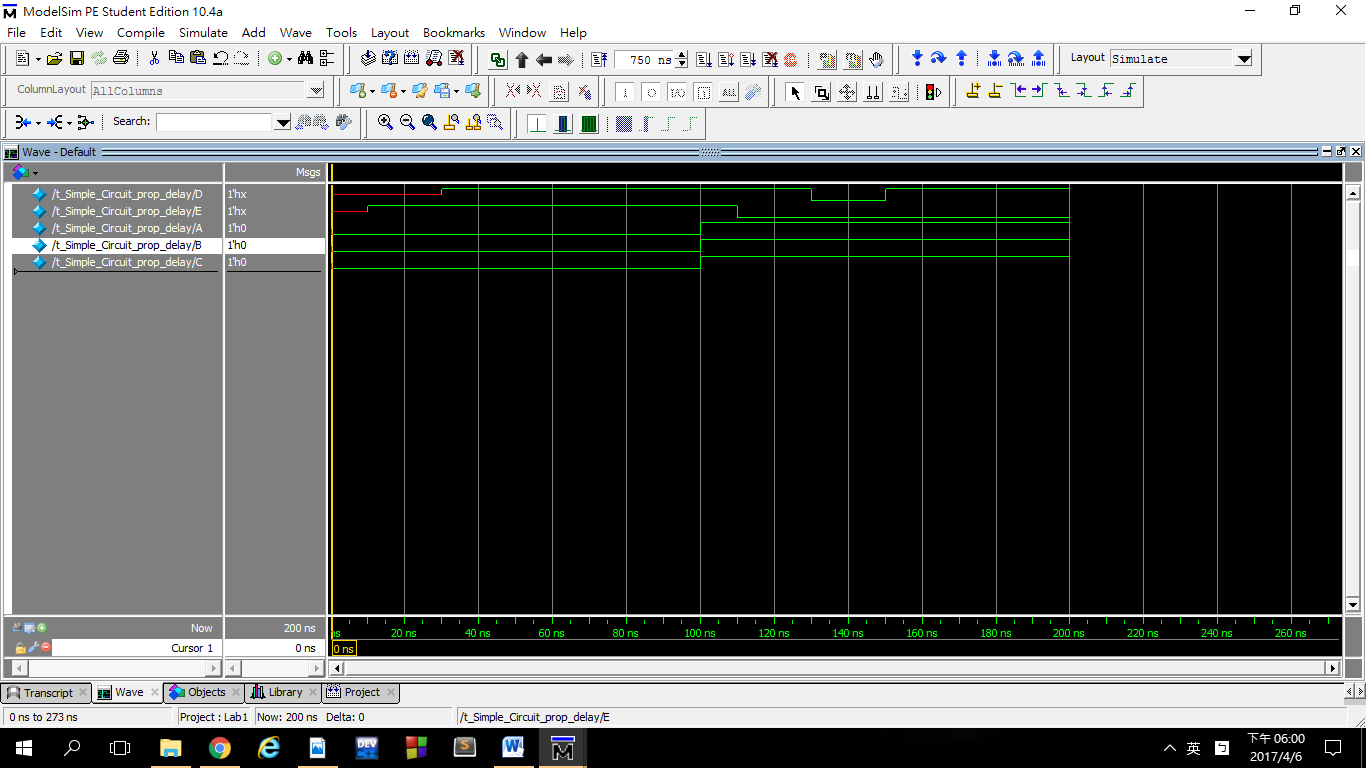
(1) 2A(a)之模擬結果波形圖



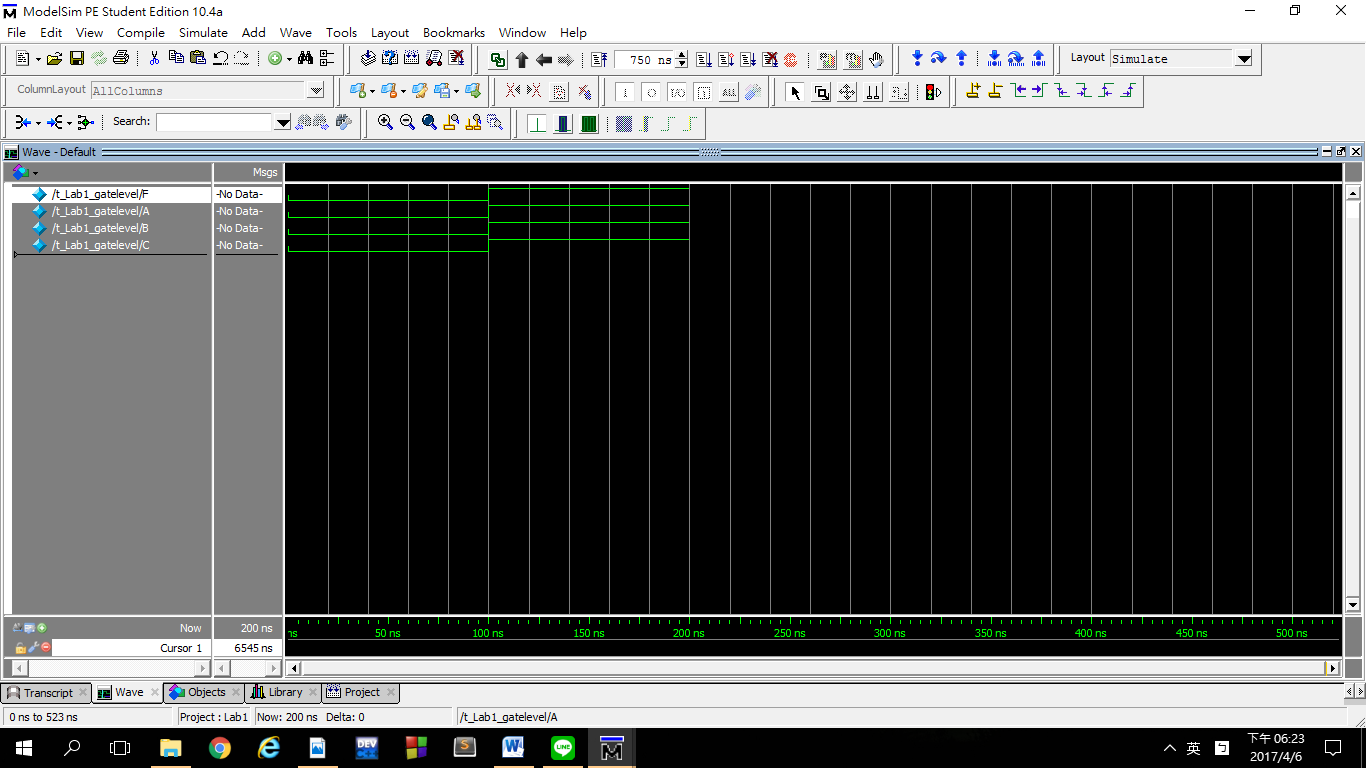
和Simple\_Circuit.v圖形做比較我們可以明顯的看見此圖中在原本該在100ns的變化因為所對應的AND,OR,NOT gate的不同而產生了不同時間長度的延遲時間。

(2) 2A(b)之模擬結果波形圖



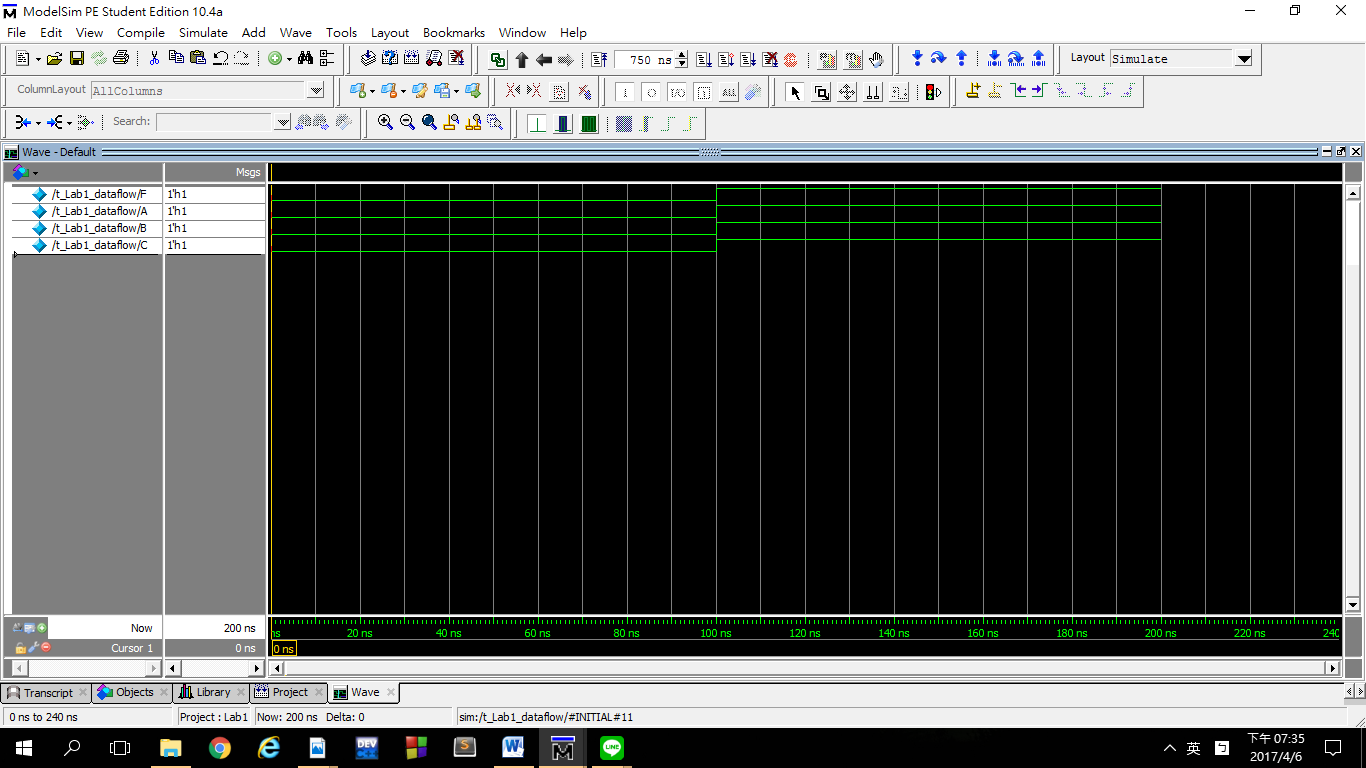
兩圖的圖形會是一樣的因為or、not兩行的敘述對於整個跑的過程是沒有影響的，因為兩個是同時進行的，所以跑出來的圖繪一模一樣。

(3) 2B(a)之gate-level modeling模擬結果波形圖



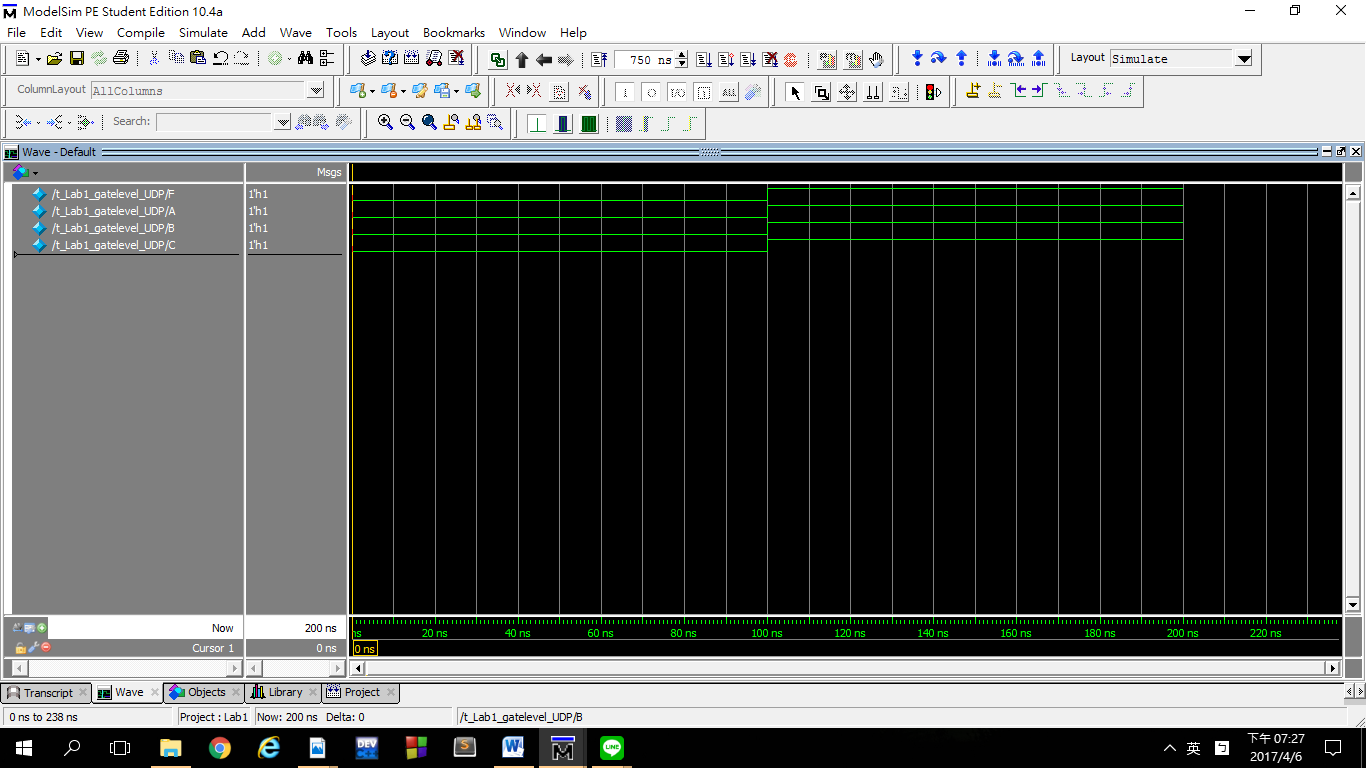
結果正確因為原本設定A,B,C各位1Bit且為0經過100ns後A,B,C都變1，依照原本的電路，F最後的結果也會是1，所以此測試正確。

(4) 2B(b)之dataflow modeling圖形模擬



結果正確因為原本設定A,B,C各位1Bit且為0經過100ns後A,B,C都變1，依照原本的電路，F最後的結果也會是1，所以此測試正確。

(5) 2B(c)之電路模擬結果波形圖



結果正確因為原本設定A,B,C各位1Bit且為0經過100ns後A,B,C都變1，依照原本的電路，F最後的結果也會是1，所以此測試正確。

並且上面三個圖形完全相同，代表著同一個電路。

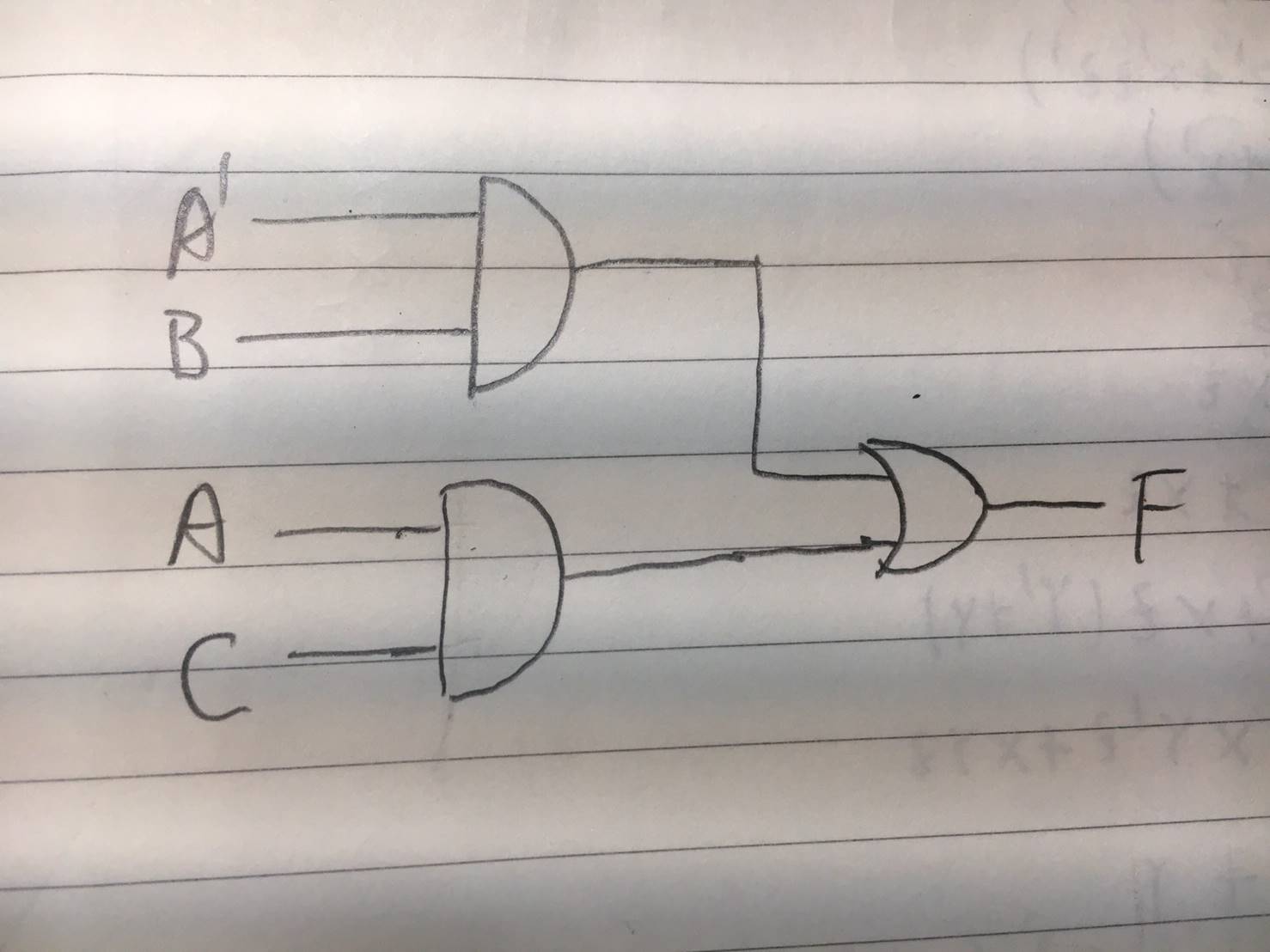
(6)

原圖的GIC=10

F=(A’B+AC)+BC

= A’B+AC+BC 🡪SoP Gatelevel=2 GIC=9

= A’B+AC by Theorem consensus 🡪Gatelevel=2 GIC=6



(7)在這次做Lab的過程中遇到很多問題，但在自己查資料和詢問同學下一一化解。雖然只是一個簡單的電路，可是我覺得用許多不同的方法寫出來是一件非常酷的事情，用不同方式來檢驗自己的電路是否正確，又應證了一句話殊途同歸啊!在這次遇到比較大的問題是，首先是花很多時間去適應Verilog寫程式的語法，還有在模擬方面TestBench所要給的測資的給定，雖然Code的長度都不長，可是寫起來也是花費了不少的時間還有經歷，有了這次的經驗，我相信下次的Lab會更熟練，不用再一直查閱語法、還有老師上課的講義，相信熟能生巧，下次一定寫更快的。