

Informe del ejercicio seleccionado del Trabajo Práctico 2

Nahuel Gareis , Voegeli Walter, Marlene Gillman.

Se propuso resolver el ejercicio N° 10 de la guía de trabajos prácticos N° 2 y realizar un breve informe sobre el mismo.

EJERCICIO

Un circuito tiene cinco entradas y tres salidas. Las entradas $A(4:0)$ representan un número del 0 al 31. La salida P debe ser VERDAD si el número ingresado es primo, La salida D debe ser VERDAD si el número es divisible por 2 y la salida T debe ser VERDAD si el número es divisible por 3.

- 1) Obtenga las ecuaciones booleanas simplificadas para cada salida.
- 2) Grafique e implemente el circuito utilizando VHDL en la FPGA Basys2.

Recuerde comprobar el correcto funcionamiento del circuito diseñado mediante test bench.

RESOLUCIÓN

Como primer paso se realizó una tabla de verdad en excel para observar las distintas combinaciones de bits de las 5 entradas (a_4, a_3, a_2, a_1, a_0) que representan un número del 0 al 31. Luego se establecieron 3 salidas que pueden tomar el valor de verdadero (1) o falso (0) dependiendo de lo que representa cada salida.

La salida P será verdadera si el número es primo, falso si no lo es.

La salida $D = D_2$ será verdadera si el número es divisible por dos, falso si no lo es.

La salida $T = D_3$ será verdadera si el número divisible por 3, falso si no lo es.

Para obtener las expresiones booleanas simplificadas de cada salida, se utilizó el algoritmo de Quine-McCluskey (método tabular) y el diagrama de mapa de Karnaugh, ambos entregan la expresión simplificada por lo que no hay que realizar luego operaciones algebraicas para reducirlas. Las expresiones simplificadas son:

$$P = \overline{a_4} \overline{a_3} \overline{a_2} a_1 + \overline{a_4} \overline{a_3} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_0 + \overline{a_3} a_2 a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} \overline{a_3} \overline{a_2} a_1$$

$$D_2 = \overline{a_0}$$

$$D_3 = \overline{a_4} \overline{a_3} \overline{a_2} a_1 \overline{a_0} + \overline{a_4} \overline{a_3} a_2 a_1 \overline{a_0} + \overline{a_4} \overline{a_3} a_2 a_1 \overline{a_0} + \overline{a_4} \overline{a_3} \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 a_2 a_1 \overline{a_0} + \overline{a_4} a_3 a_2 a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0} + \overline{a_4} a_3 \overline{a_2} a_1 \overline{a_0}$$

Tabla de verdad

N°	a4	a3	a2	a1	a0	out P	out D2	out D3
0	0	0	0	0	0	0	1	1
1	0	0	0	0	1	0	0	0
2	0	0	0	1	0	1	1	0
3	0	0	0	1	1	1	0	1
4	0	0	1	0	0	0	1	0
5	0	0	1	0	1	1	0	0
6	0	0	1	1	0	0	1	1
7	0	0	1	1	1	1	0	0
8	0	1	0	0	0	0	1	0
9	0	1	0	0	1	0	0	1
10	0	1	0	1	0	0	1	0
11	0	1	0	1	1	1	0	0
12	0	1	1	0	0	0	1	1
13	0	1	1	0	1	1	0	0
14	0	1	1	1	0	0	1	0
15	0	1	1	1	1	0	0	1
16	1	0	0	0	0	0	1	0
17	1	0	0	0	1	1	0	0
18	1	0	0	1	0	0	1	1
19	1	0	0	1	1	1	0	0
20	1	0	1	0	0	0	1	0
21	1	0	1	0	1	0	0	1
22	1	0	1	1	0	0	1	0
23	1	0	1	1	1	1	0	0
24	1	1	0	0	0	0	1	1
25	1	1	0	0	1	0	0	0
26	1	1	0	1	0	0	1	0
27	1	1	0	1	1	0	0	1
28	1	1	1	0	0	0	1	0
29	1	1	1	0	1	1	0	0
30	1	1	1	1	0	0	1	1
31	1	1	1	1	1	1	0	0

RESULTADOS

A continuación se adjuntan fotos de las resoluciones realizadas a mano con la expresión reducida obtenida.

Salida P: Números primos.

$A = 0$

$A = 1$

Expresión
 $\bar{B}\bar{C}\bar{E}A + \bar{B}DEA + BCEA + \bar{B}CDE + \bar{B}\bar{C}DE\bar{A} + \bar{B}\bar{C}D\bar{A}$

Imagen 1: Solución encontrada por el método mapa de Karnaugh para salida P

Salida D2: Números divisible por 2.

LISTA 1
 LISTA 2
 LISTA 3

$D = \bar{A}\bar{B} + \bar{A}B + \bar{A}\bar{C} + \bar{A}C$

Imagen 2 y 3: Método de Quine-McCluskey para calcular la simplificación para salida D2 = D, sin la consideración de la división de cero por 2

El resultado de la simplificación de la salida D2 también se puede conseguir reconociendo que el LSB de las entradas, es decir, la entrada a_0 , es siempre cero cuando hay un número par. En el cómputo manual no se ha tenido en cuenta el número cero, que por definición es uno de los números pares y divisible por 2. Por eso, a la hora de hacer las cuentas manualmente, estas resultan en una expresión lógica que tiene en cuenta las otras salidas. Si se incluye que el número cero también es divisible por dos, la expresión lógica se reduce a simplemente $D = \overline{a_0}$.

Salida D3: número divisible por 3.

Hemos probado a través del mapa de Karnaugh, también mediante el método de McCluskey pero la salida que hemos obtenido ha sido de 11 variables, por lo que, se concluye de que la salida no es optimizable. Usaremos entonces, la suma de miniterminos.

$$D3 = \overline{a_4} \overline{a_3} \overline{a_2} \overline{a_1} \overline{a_0} + \overline{a_4} \overline{a_3} \overline{a_2} a_1 a_0 + \overline{a_4} \overline{a_3} a_2 a_1 \overline{a_0} + \overline{a_4} \overline{a_3} \overline{a_2} \overline{a_1} a_0 + \overline{a_4} a_3 a_2 \overline{a_1} \overline{a_0} \\ + \overline{a_4} a_3 a_2 a_1 a_0 + a_4 \overline{a_3} \overline{a_2} a_1 \overline{a_0} + a_4 \overline{a_3} a_2 \overline{a_1} a_0 + a_4 a_3 \overline{a_2} \overline{a_1} \overline{a_0} + a_4 a_3 \overline{a_2} a_1 a_0 + a_4 a_3 a_2 a_1 \overline{a_0}$$

Resultados del código de VHDL:

Las simplificaciones se implementaron en VHDL. Además, se definieron 4 entradas y sus correspondientes salidas P, D2 y D3. Para comprobar los resultados, se creó un “test bench” con números primos, números pares y números divisibles por 3. Estos se enumeran a continuación. Los resultados pueden verse en la imagen 4.

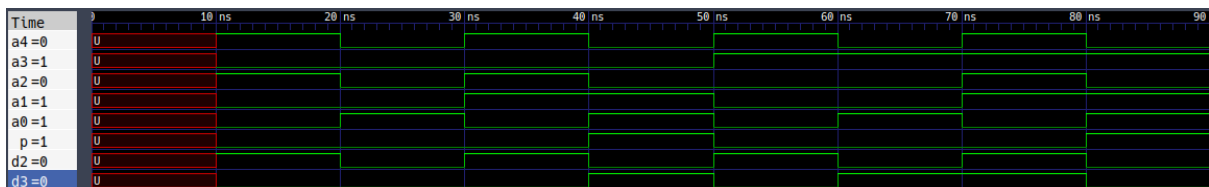


Imagen 4: Resultados del código de VHDL en gtkwave

Casos de prueba:

10100 = 20	p = 0	d2 = 1	d3 = 0
00001 = 1	p = 0	d2 = 0	d3 = 0
10110 = 22	p = 0	d2 = 1	d3 = 0
00011 = 3	p = 1	d2 = 0	d3 = 1
11000 = 24	p = 0	d2 = 1	d3 = 1
01001 = 9	p = 0	d2 = 0	d3 = 1
11110 = 30	p = 0	d2 = 1	d3 = 1
01011 = 11	p = 1	d2 = 0	d3 = 0