

**FORMATION**

---

- **Docteur, Université de Nantes** Nantes, France  
*Éfficacité des méthodes probabilistes dans l'analyse des propriétés temporelles des systèmes MPSoCs* *Depuis Oct. 2017*
- **Master 2, Université Paris Saclay** Paris, France  
*Système embarqué et traitement de l'information (SETI)* *Sep. 2016 – Sep. 2017*  
*Spécialité: Architectures avancées*
- **Ingénieur, École polytechnique de Hanoi** Hanoi, Vietnam  
*Informatique Industrielle* *Sep. 2011 – Sep. 2016*  
*Programme de Formation d'Ingénieurs d'Excellence au Vietnam (PFIEV)*

**EXPÉRIENCE**

---

- **Doctorant, Université de Nantes, IETR, 3 ans** Nantes, France  
*Éfficacité des méthodes probabilistes dans l'analyse des propriétés temporelles des MPSoCs* *Depuis Oct. 2017*
  - Recherche des effets des ressources partagées sur le temps d'exécution d'une application exécutée sur une platfe-forme multiprocesseur sur FPGA
  - Modélisation d'un système MPSoCs en utilisant des méthodes probabilistes pour représenter les modèles de calcul et de communication
  - Analyse des propriétés temporelles du système MPSoC en utilisant Statistical Model Checking (SMC)
- **Stage du master 2, SATIE, DIGITEO LABS, 6 mois** Paris, France  
*Caractérisation, modélisation et évaluation d'un système de contrôle commande d'un simulateur de deux roues motorisées* *Avr. 2017 - Sep. 2017*
  - Conception d'un simulateur de véhicule à deux roues sur un circuit embarqué compact coeur ARM (STM32F446RE)
  - Évaluation et optimisation du fonctionnement du simulateur
- **Stage de fin d'études, IMEP-LAHC, INP Grenoble, 5 mois** Grenoble, France  
*Conception d'un circuit de Bluetooth emprimée sur le papier Powercoat* *Fév. 2016 - Juin. 2016*
  - Conception d'une antenna de type PIFA (2.45 Ghz) intégrée sur un circuit embarqué coeur ARM (DA14583)
  - Transmission des données sur le portable via bluetooth basse énergie (BLE) 4.0

**PROJET TECHNIQUES**

---

- **Projet du master 2, SATIE, DIGITEO LABS, 4 mois, 2 personnes** Paris, France  
*Implémentation d'un extracteur de primitives sur une architecture SoC HPS-FPGA* *Nov. 2016 – Mar. 2017*
  - Conception du détecteur FAST et descripteur FREAK sur le FPGA DE2-70 de l'Altera
  - Évaluation du modèle conçu sur une application de traitement d'image
  - Outils: Quartus, ModelSim, Matlab
- **Projet du master 2, ENSTA, ParisTech, 2 mois, 4 personnes** Paris, France  
*Multi-cœur Embarqué pour le Big Data* *Jan. 2017 – Fév. 2017*
  - Implémentation et validation des applications sur le processeur ARM Cortex A9 Microblaze, High Level Synthesis (HLS) et Réseau sur Puce (NoC)

- Conception et implémentation d'un système de mesure chronométrique de reflexe
- Outils: Vivado, ModelSim

Paris, France

• **Projet du master 2, Université Paris Sud, 2 mois, 2 personnes**

*Évaluation du processeur NIOS II de l'Altera*

*Jan. 2017 – Fév. 2017*

- Conception et implémentation d'une architecture numérique sur FPGA pour le calcul de la racine carrée sur la carte DE2 – 70
- Évaluation d'un système multi-processeurs
- Outils: Quartus, ModelSim

## ACTIVITÉS D'ENSEIGNEMENT

---

- **Co-conception des systèmes matériels/logiciels:** Prototypage d'un système programmable sur puce avec Xilinx Vivado
- **Conception de circuits:** Conception de circuits en utilisant HDL designer
- **Systèmes temps réelles:** Conception et évaluation d'un système temps réel en utilisant Workbench
- **M1 stage co-encadrant:** Effets des caches sur MPSoCs (2 mois)

## PUBLICATIONS

---

- **2021:** "*A Fast Yet Accurate Message-level Communication Bus Model for Timing Prediction of SDFGs on MPSoCs*" by Hai-Dang Vu, Sébastien Le Nours, Sébastien Pillement, Ralf Stemmer, Kim Grüttner (ASP-DAC 2021).
- **2020:** "*Towards Probabilistic Timing Analysis for SDFGs on Tile Based Heterogeneous MPSoCs*" by Ralf Stemmer, Hai-Dang Vu, Kim Grüttner, Sébastien Le Nours, Wolfgang Nebel and Sébastien Pillement (ERTS'20).
- **2019:** "*Experimental evaluation of probabilistic execution-time modeling and analysis methods for SDF applications on MPSoCs*" by Ralf Stemmer, Hai-Dang Vu, Kim Grüttner, Sébastien Le Nours, Wolfgang Nebel and Sébastien Pillement (SAMOS'19).
- **2019:** "*Feasibility Study of Probabilistic Timing Analysis Methods for SDF Applications on Multi-Core Processors*" by Ralf Stemmer, Hai-Dang Vu, Maher Fakir, Kim Grüttner, Sébastien Le Nours and Sébastien Pillement (Rapport technique).

## COMPÉTENCES

---

- **Informatiques:**
  - **Langages:** C++, SystemC, C, VHDL, Python
  - **Outils:** Vivado, Xilinx ISE, Quartus, ModelSim, PlasmaLab SMC, PRISM SMC, UPPAAL SMC
  - **Environnement:** Ubuntu, CentOS, Windows
- **Langues:**
  - **Français:** Courant
  - **Anglais:** Courant
  - **Vietnamien:** Maternelle

## RÉFÉRENCES

---

- **Directeur de thèse:** Sebastien PILLEMENT (sebastien.pillement@univ-nantes.fr)
- **Encadrant:** Sebastien LE NOURS (sebastien.le-nours@univ-nantes.fr)