



TRƯỜNG ĐẠI HỌC THỦY LỢI
KHOA CÔNG NGHỆ THÔNG TIN



KIẾN TRÚC MÁY TÍNH

Giảng viên: TS. Đoàn Thị Quế

Bộ môn: Mạng và an toàn thông tin

Chương 11: Chức năng và cấu trúc bộ xử lý

11.1. Tổ chức của bộ xử lý

11.2. Tổ chức thanh ghi

11.3. Chu kỳ lệnh

11.4. Kỹ thuật đường ống lệnh (Pipelining)

11.5. CISC và RISC

11.1 Tổ chức của bộ xử lý

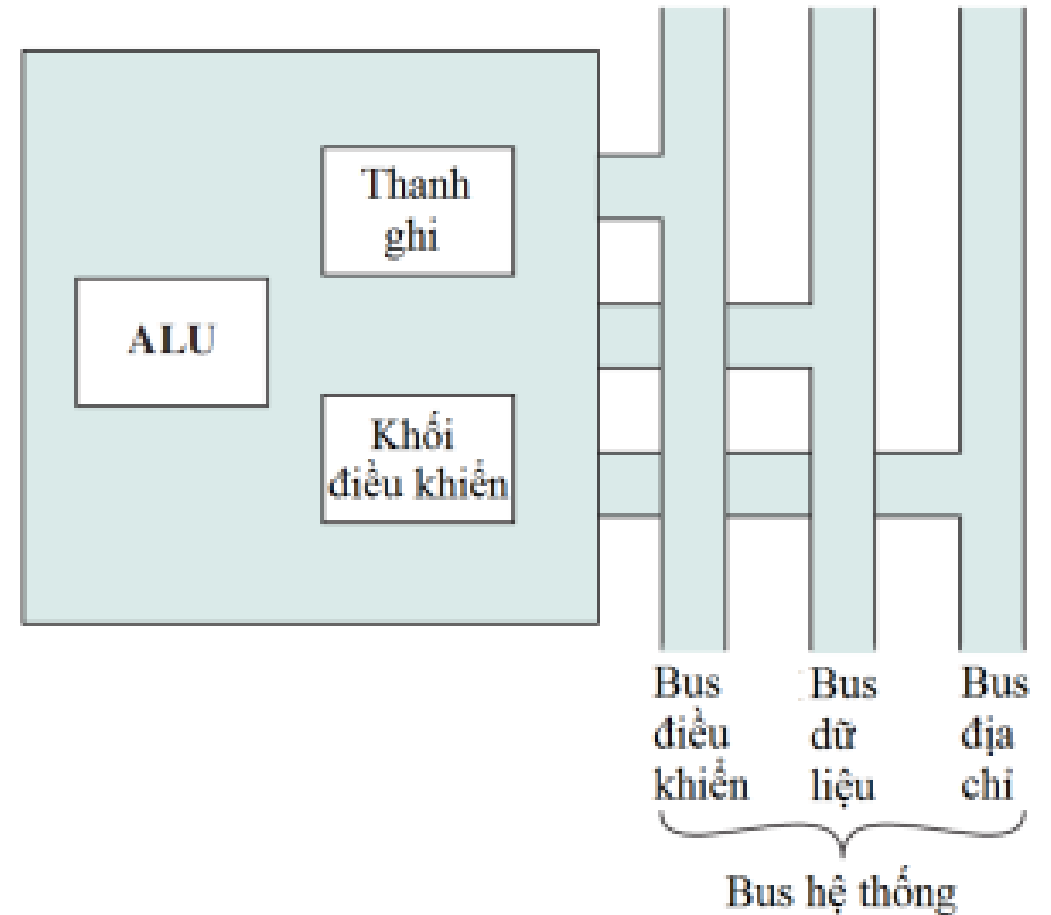
Một số nhiệm vụ mà bộ xử lý phải thực hiện:

- **Truy xuất lệnh:** Bộ xử lý đọc lệnh từ bộ nhớ (thanh ghi, bộ nhớ cache, bộ nhớ chính).
- **Giải mã lệnh:** Lệnh được giải mã để xác định hành động nào được yêu cầu.
- **Truy xuất dữ liệu:** Việc thực thi một lệnh có thể yêu cầu đọc dữ liệu từ bộ nhớ hoặc một module vào/ra.
- **Xử lý dữ liệu:** Việc thực thi một lệnh có thể yêu cầu thực hiện một số phép toán số học hoặc logic trên dữ liệu.
- **Ghi dữ liệu:** Kết thúc việc thực hiện có thể yêu cầu ghi dữ liệu vào bộ nhớ hoặc một module vào/ra.

Để thực hiện những việc này, bộ vi xử lý cần lưu tạm thời một số dữ liệu → cần một bộ nhớ nhỏ bên trong, được gọi là các **thanh ghi**

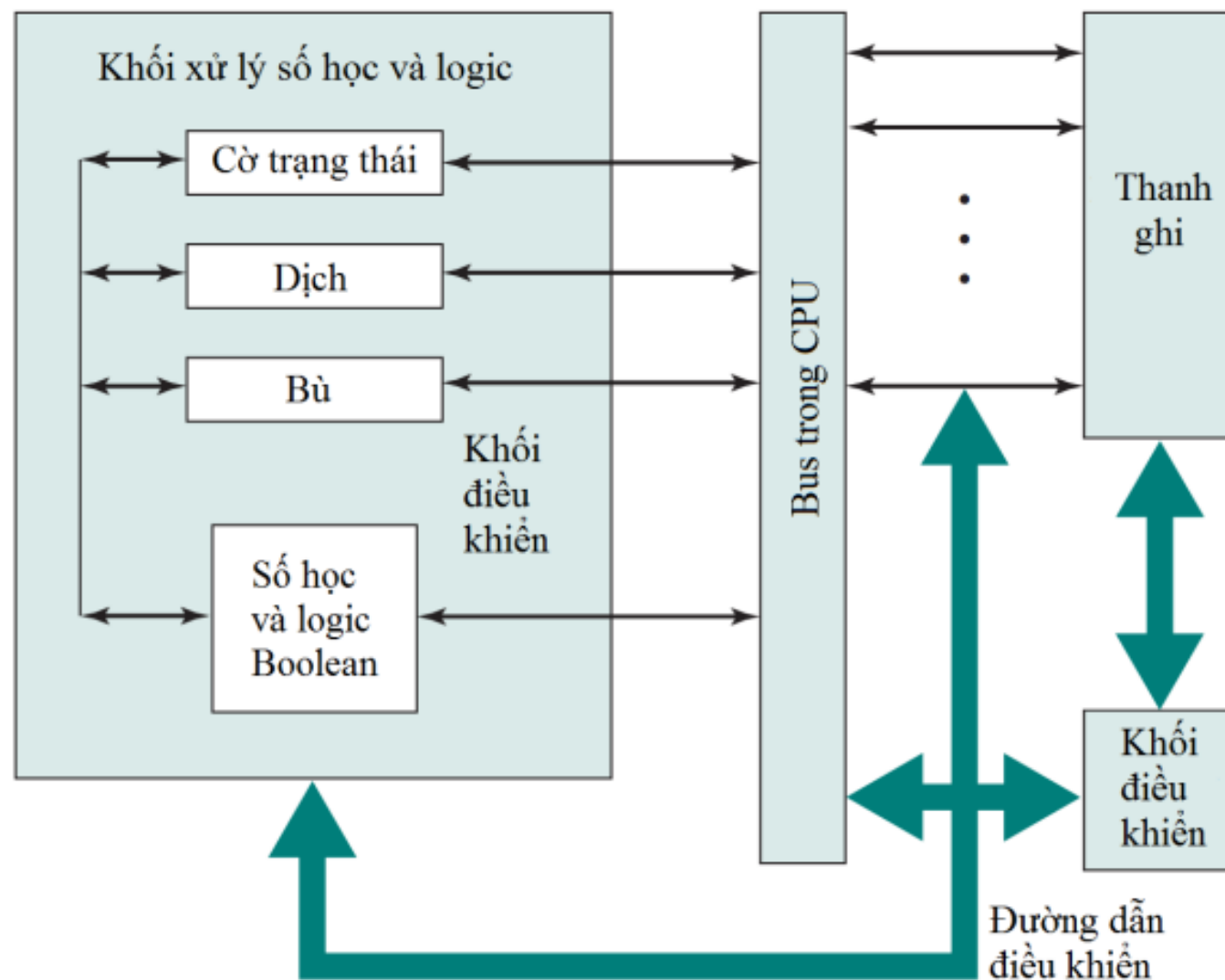
Tổ chức của bộ xử lý

- Khối số học và logic (ALU):
 - Thực hiện các phép toán số học và logic
- Khối điều khiển (CU):
 - Điều khiển việc di chuyển dữ liệu và lệnh vào và ra khỏi bộ xử lý
 - Điều khiển hoạt động của ALU
- Các thanh ghi (Registers):
 - Lưu trữ dữ liệu tạm thời trong quá trình lệnh được thực hiện



CPU và bus hệ thống

Cấu trúc bên trong CPU



Hình 12.2 Cấu trúc bên trong CPU

Chương 11: Chức năng và cấu trúc bộ xử lý

11.1. Tổ chức của bộ xử lý

11.2. Tổ chức thanh ghi

11.3. Chu kỳ lệnh

11.4. Kỹ thuật đường ống lệnh (Pipelining)

11.5. CISC và RISC

11.2 Tổ chức thanh ghi

- Trong bộ xử lý, có một tập hợp các thanh ghi hoạt động như một mức bộ nhớ phía trên bộ nhớ chính và bộ đệm trong hệ thống phân cấp.
- Vai trò của thanh ghi:
 - Thanh ghi hiển thị với người dùng:
 - Cho phép lập trình viên hợp ngữ hoặc ngôn ngữ máy giảm thiểu các tham chiếu bộ nhớ chính bằng cách tối ưu hóa việc sử dụng thanh ghi.
 - Thanh ghi điều khiển và trạng thái:
 - Được khối điều khiển sử dụng để điều khiển hoạt động của bộ xử lý
 - Được các chương trình hệ điều hành sử dụng để kiểm soát việc thực thi chương trình

a. Thanh ghi hiển thị với người dùng

- Là các thanh ghi lập trình viên có thể sử dụng trong các lệnh để phục vụ cho mục đích viết chương trình của mình
- Phân loại
 - **Thanh ghi đa năng:** lập trình viên có thể sử dụng các thanh ghi nhóm này cho nhiều mục đích khác nhau
 - **Thanh ghi dữ liệu:** sử dụng để chứa dữ liệu và không dùng để tính toán địa chỉ toán hạng.
 - **Thanh ghi địa chỉ:** có thể là thanh ghi đa năng hoặc là thanh ghi dành riêng cho một chế độ địa chỉ cụ thể.
 - Ví dụ: thanh ghi con trỏ đoạn (segment pointers), thanh ghi index, thanh ghi con trỏ ngăn xếp (stack pointer)
 - **Mã điều kiện**
 - Còn gọi là các bit cờ
 - Là các bit do phần cứng của bộ xử lý đặt theo kết quả của hoạt động

b. Thanh ghi điều khiển và trạng thái

Bốn thanh ghi cần thiết để thực thi lệnh:

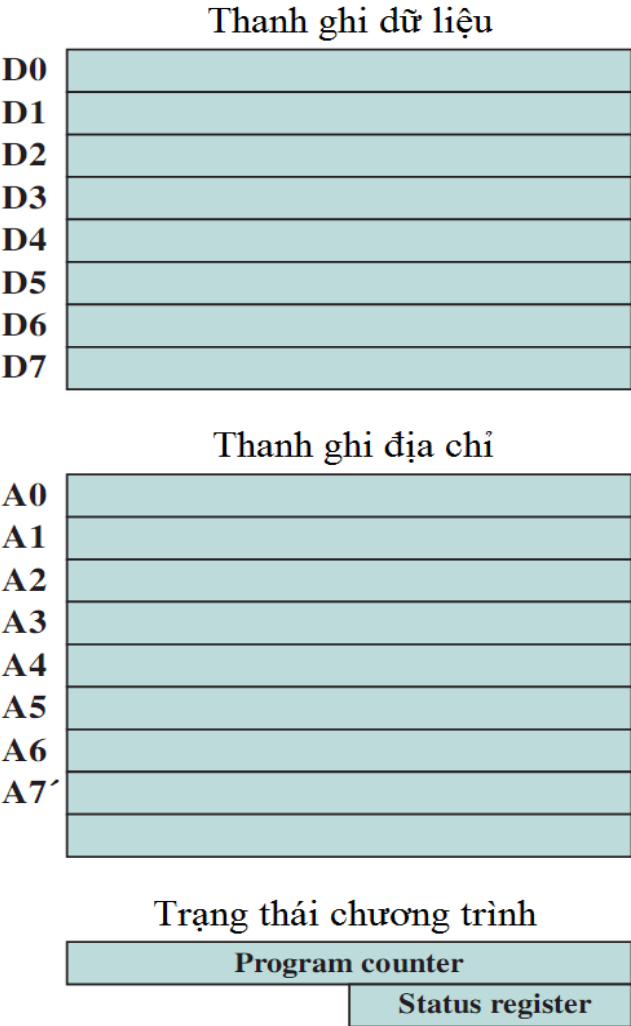
- Thanh ghi PC - Bộ đếm chương trình
 - Chứa địa chỉ của lệnh sắp được truy xuất
- Thanh ghi IR – thanh ghi lệnh
 - Chứa lệnh đang được truy xuất
- Thanh ghi MAR – thanh ghi địa chỉ bộ nhớ
 - Chứa địa chỉ của một vị trí trong bộ nhớ
- Thanh ghi MBR (hoặc MDR) – thanh ghi đệm bộ nhớ
 - Chứa một từ dữ liệu sắp được ghi vào bộ nhớ hoặc từ vừa được đọc ra từ bộ nhớ
- Một số bộ xử lý còn có một hoặc nhiều thanh ghi PSW (program status word - từ trạng thái chương trình): chứa thông tin trạng thái của chương trình đang được thực hiện

b. Thanh ghi điều khiển và trạng thái

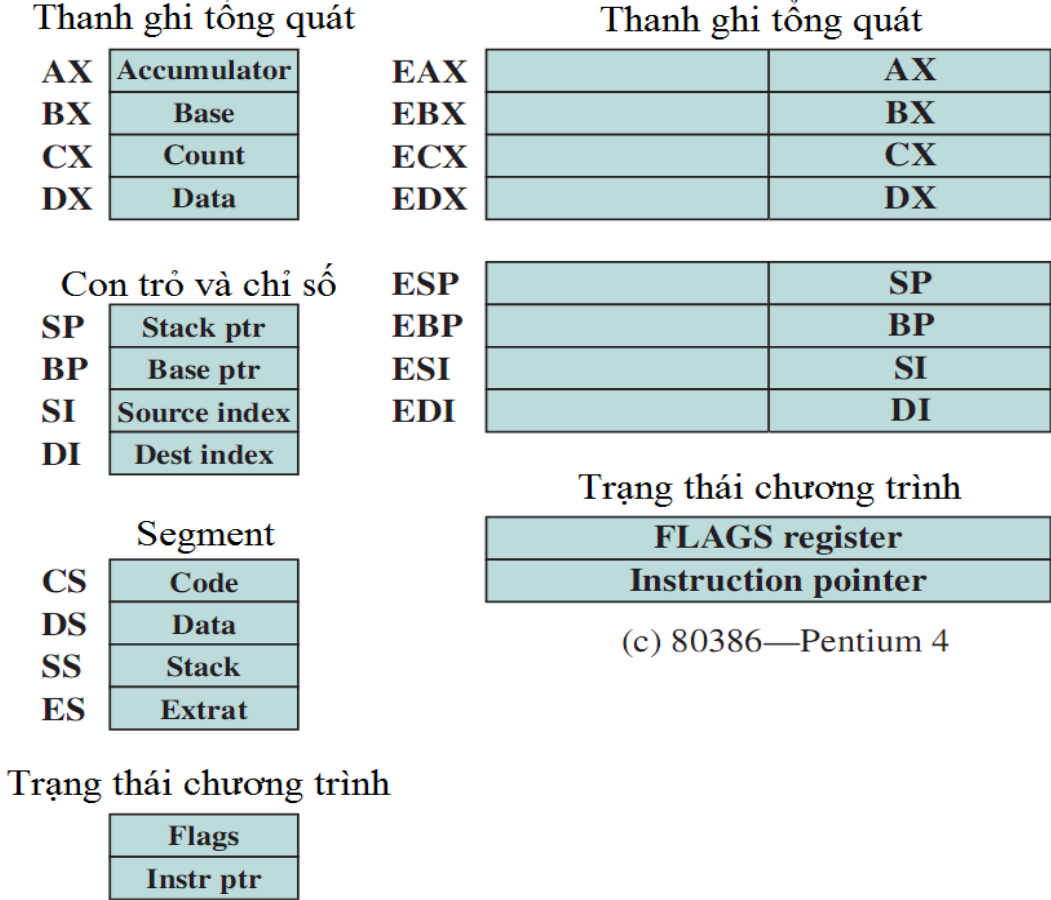
Thanh ghi PSW – Thanh ghi trạng thái chương trình

- Thanh ghi hoặc tập hợp thanh ghi chứa thông tin trạng thái và mã điều kiện
- Các trường hoặc cờ phổ biến gồm:
 - **Sign:** Chứa bit dấu của kết quả của phép tính số học cuối cùng.
 - **Zero:** Thiết lập khi kết quả bằng 0.
 - **Carry:** Thiết lập nếu một phép tính có nhớ (phép cộng) hoặc vay (phép trừ) vào bit có bậc lớn hơn. Được sử dụng cho các phép tính số học nhiều từ.
 - **Equal:** Thiết lập nếu kết quả so sánh logic là bằng nhau.
 - **Overflow:** Được sử dụng để chỉ định sự tràn số học.
 - **Interrupt Enable/Disable:** Được sử dụng để cho phép hoặc vô hiệu hoá gián đoạn.
 - **Supervisor:** Cho biết bộ xử lý đang thực hiện trong chế độ giám sát hay chế độ người dùng. Một số lệnh privileged chỉ có thể được thực hiện trong chế độ giám sát, và một số vùng bộ nhớ chỉ có thể được truy cập trong chế độ giám sát.

c. Ví dụ tổ chức thanh ghi MC68000, Intel 8086, Intel 80386



(a) MC68000



(b) 8086

(c) 80386—Pentium 4

Chương 11: Chức năng và cấu trúc bộ xử lý

11.1. Tổ chức của bộ xử lý

11.2. Tổ chức thanh ghi

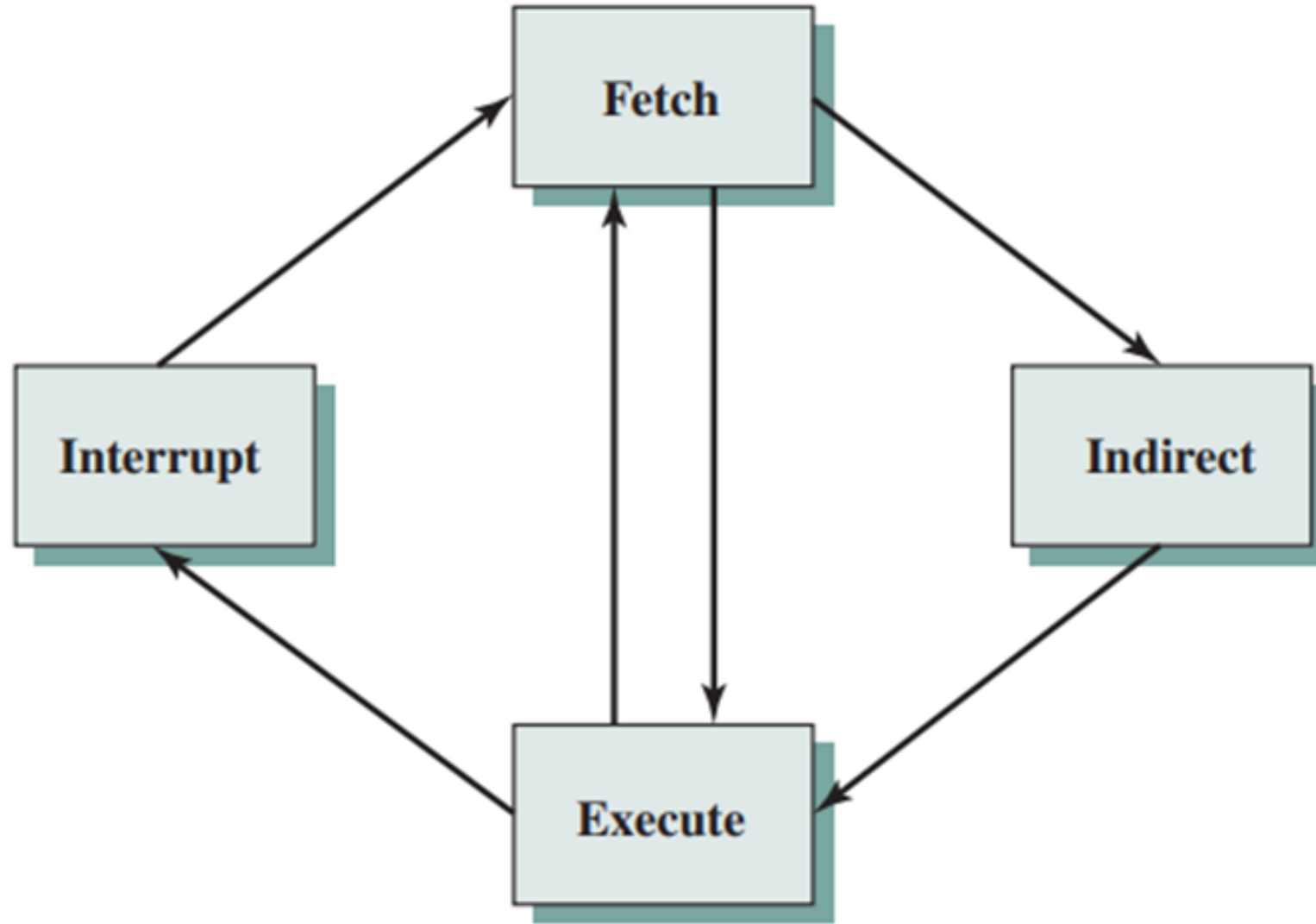
11.3. Chu kỳ lệnh

11.4. Kỹ thuật đường ống lệnh (Pipelining)

11.5. CISC và RISC

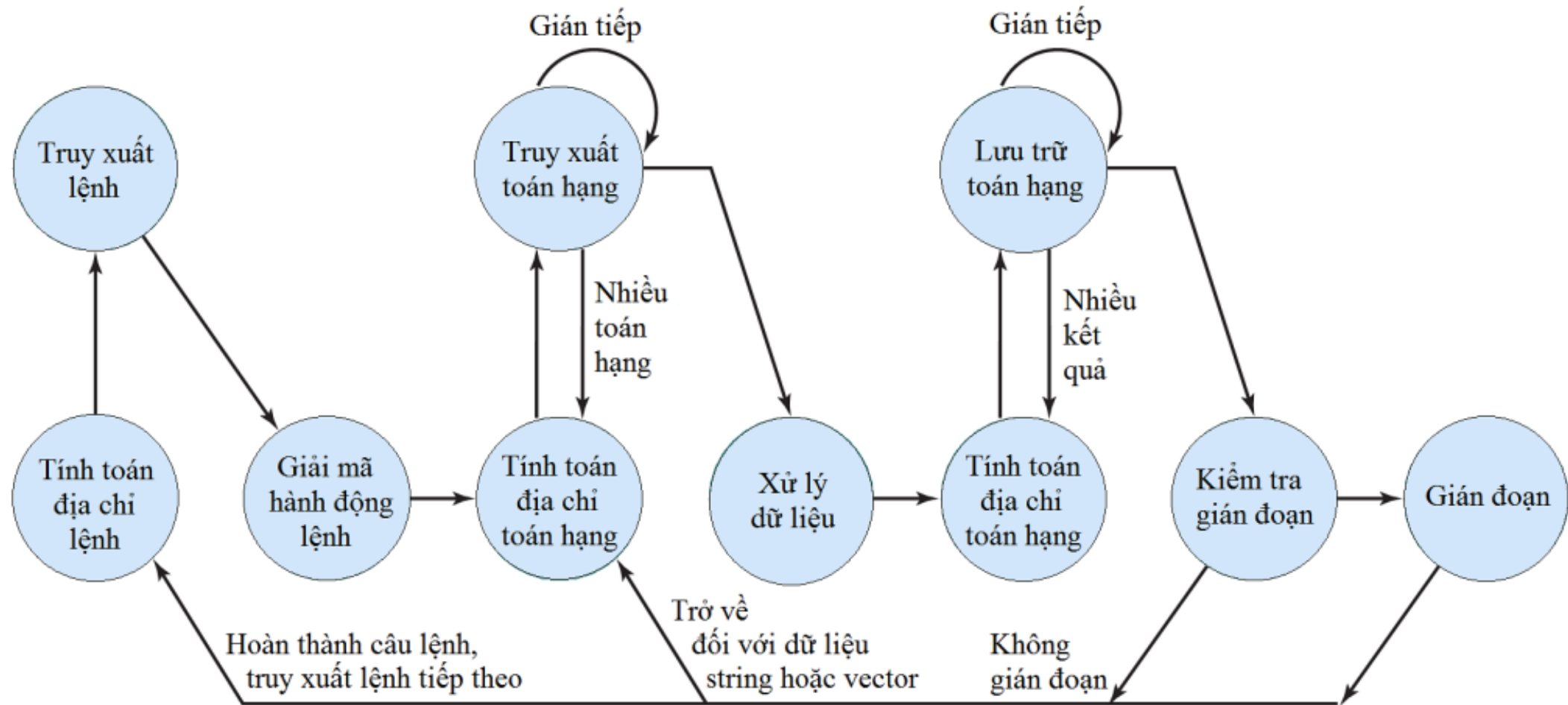
11.3 Chu kỳ lệnh

- Một chu kỳ lệnh gồm các giai đoạn sau:
 - **Truy xuất**
 - Đọc lệnh tiếp theo từ bộ nhớ vào bộ vi xử lý
 - **Thực thi**
 - Giải mã lệnh và thực hiện hoạt động được chỉ định
 - **Ngắt**
 - Nếu có yêu cầu ngắt được gửi đến, bộ xử lý lưu trạng thái hiện tại của chương trình và chuyển sang phục vụ ngắt



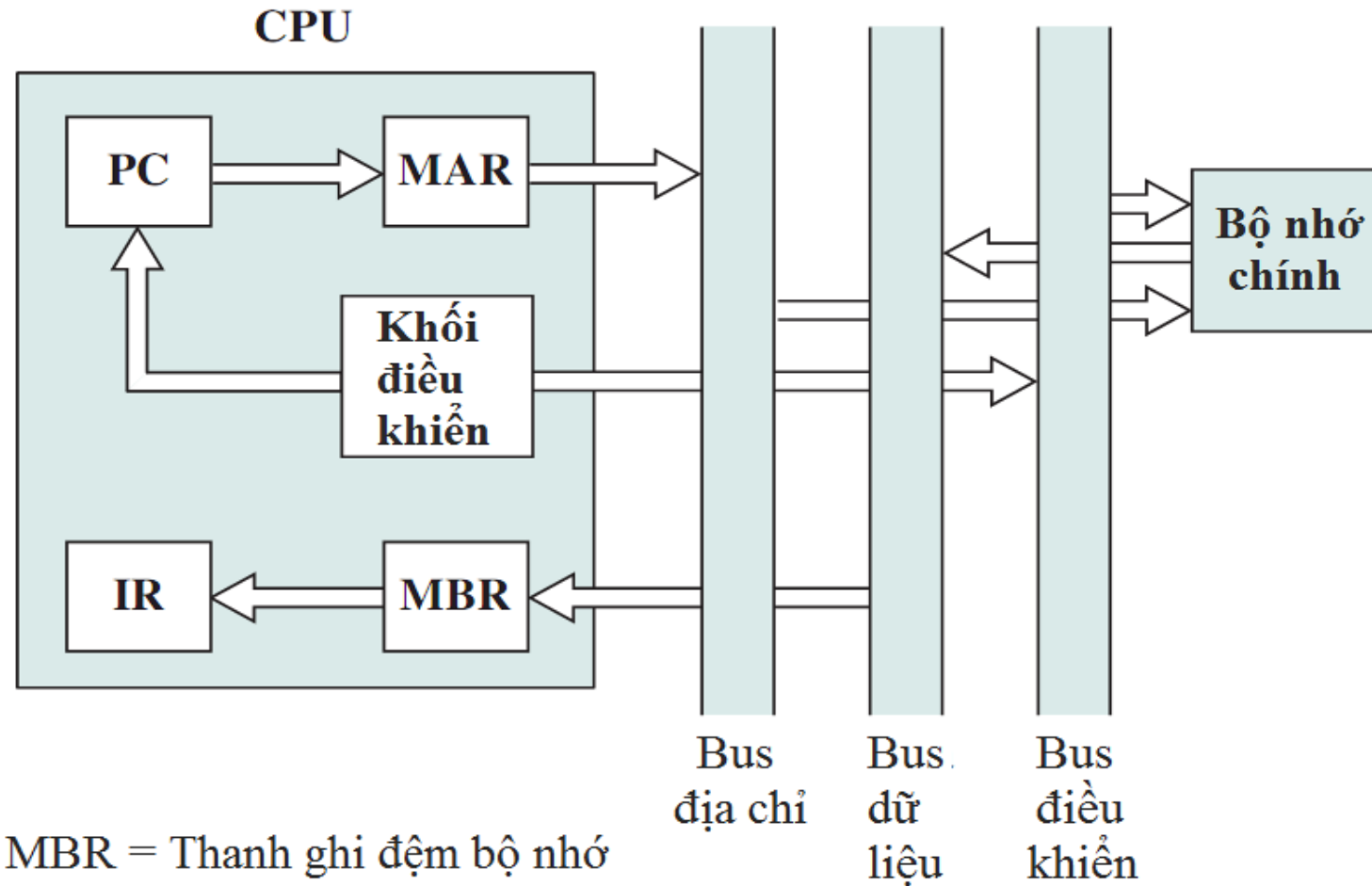
The Instruction Cycle

Sơ đồ trạng thái chu kỳ lệnh



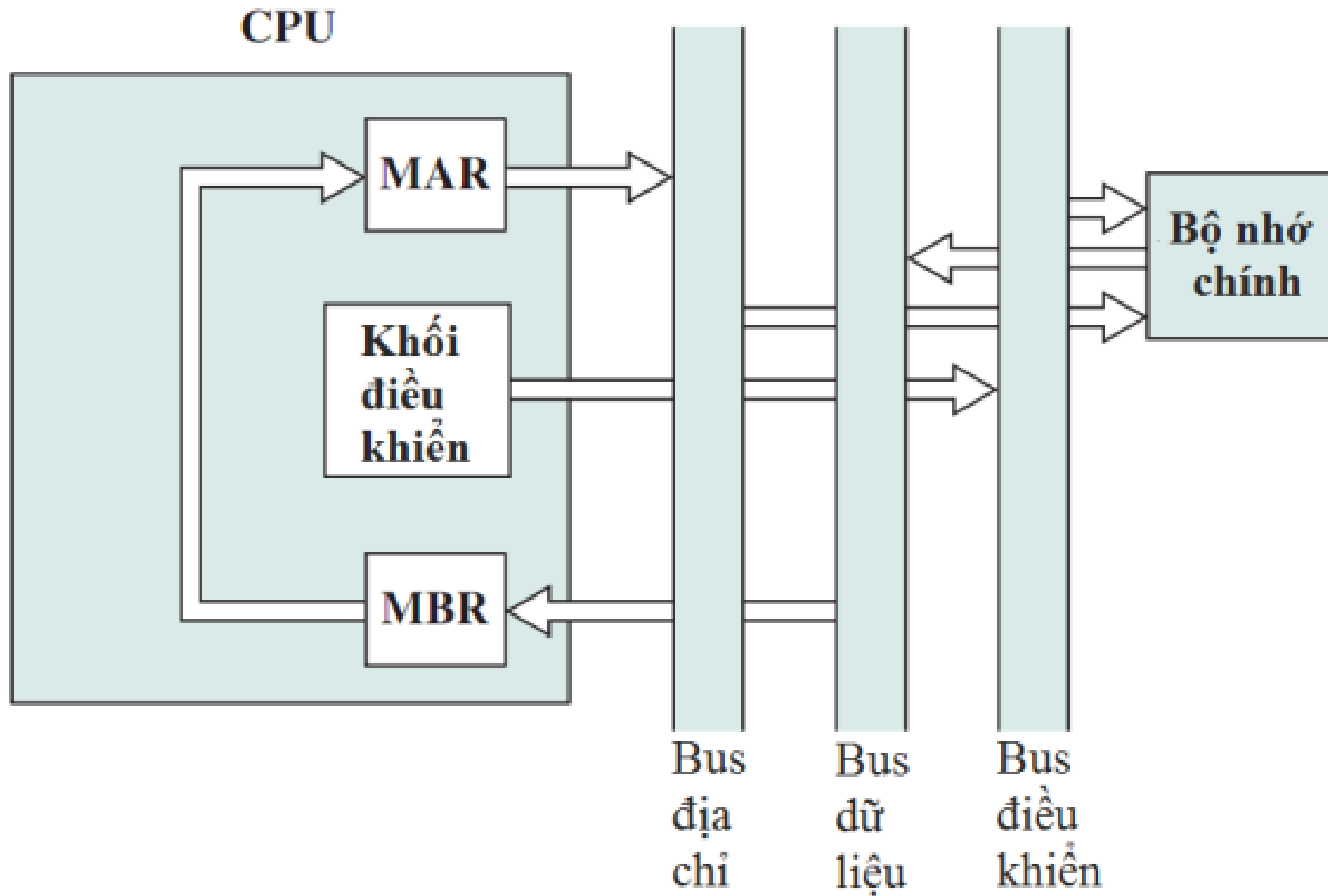
Hình 12.5 Sơ đồ trạng thái chu kỳ lệnh

Luồng dữ liệu, chu kỳ truy xuất

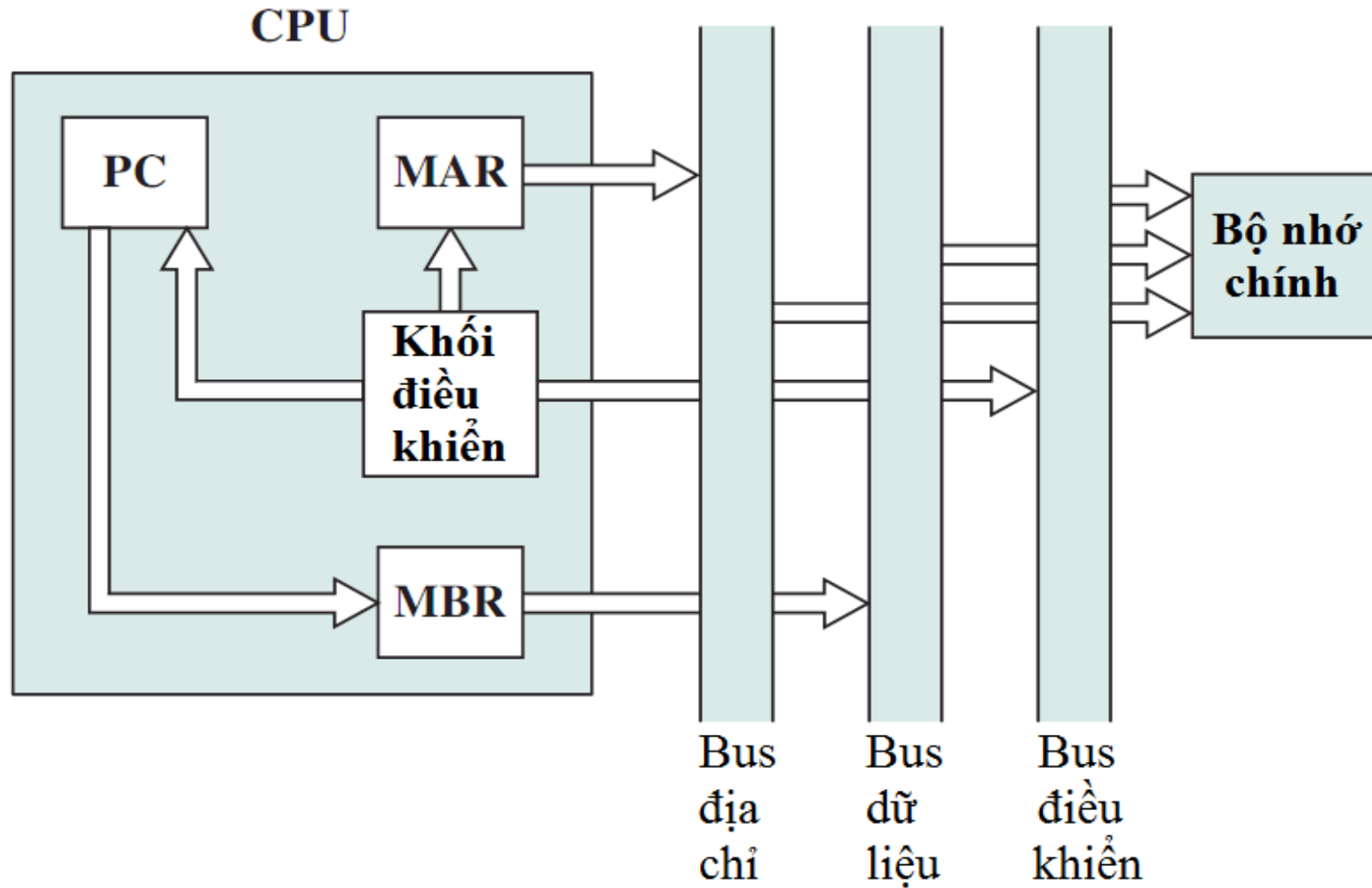


MBR = Thanh ghi đệm bộ nhớ
MAR = Thanh ghi địa chỉ bộ nhớ
IR = Thanh ghi lệnh bộ nhớ
PC = Bộ đếm chương trình

Luồng dữ liệu, chu kỳ gián tiếp



Luồng dữ liệu, chu kỳ ngắ



Chương 11: Chức năng và cấu trúc bộ xử lý

11.1. Tổ chức của bộ xử lý

11.2. Tổ chức thanh ghi

11.3. Chu kỳ lệnh

11.4. Kỹ thuật đường ống lệnh (Pipelining)

11.5. CISC và RISC

11.4 Kỹ thuật đường ống lệnh (Pipelining)

- Là kỹ thuật làm cho các giai đoạn khác nhau của nhiều lệnh được thi hành cùng một lúc.
- Giả sử mỗi lệnh được thực hiện trong một khoảng thời gian bằng nhau, mỗi lệnh được chia làm 6 giai đoạn được thực thi bởi các phần tử xử lý độc lập.
 - **Truy xuất lệnh (FI – Fetch instruction):** Đọc lệnh tiếp theo vào bộ đệm.
 - **Giải mã lệnh (DI – Decode instruction):** Giải mã opcode và nhận diện toán hạng.
 - **Tính toán địa chỉ toán hạng (CO – Calculate operands):** Tính toán địa chỉ hiệu dụng của từng toán hạng nguồn: địa chỉ dịch chuyển, gián tiếp thanh ghi, gián tiếp .v.v....
 - **Truy xuất toán hạng (FO – Fetch operands):** Truy xuất từng toán hạng từ bộ nhớ. Không cần truy xuất toán hạng từ thanh ghi
 - **Thực thi lệnh (EI – Execute instruction):** Thực hiện hành động và lưu trữ kết quả (nếu có) trong vị trí toán hạng đích đã định.
 - **Ghi toán hạng (WO – Write operand):** Lưu kết quả vào bộ nhớ.

Biểu đồ thời gian của đường ống lệnh

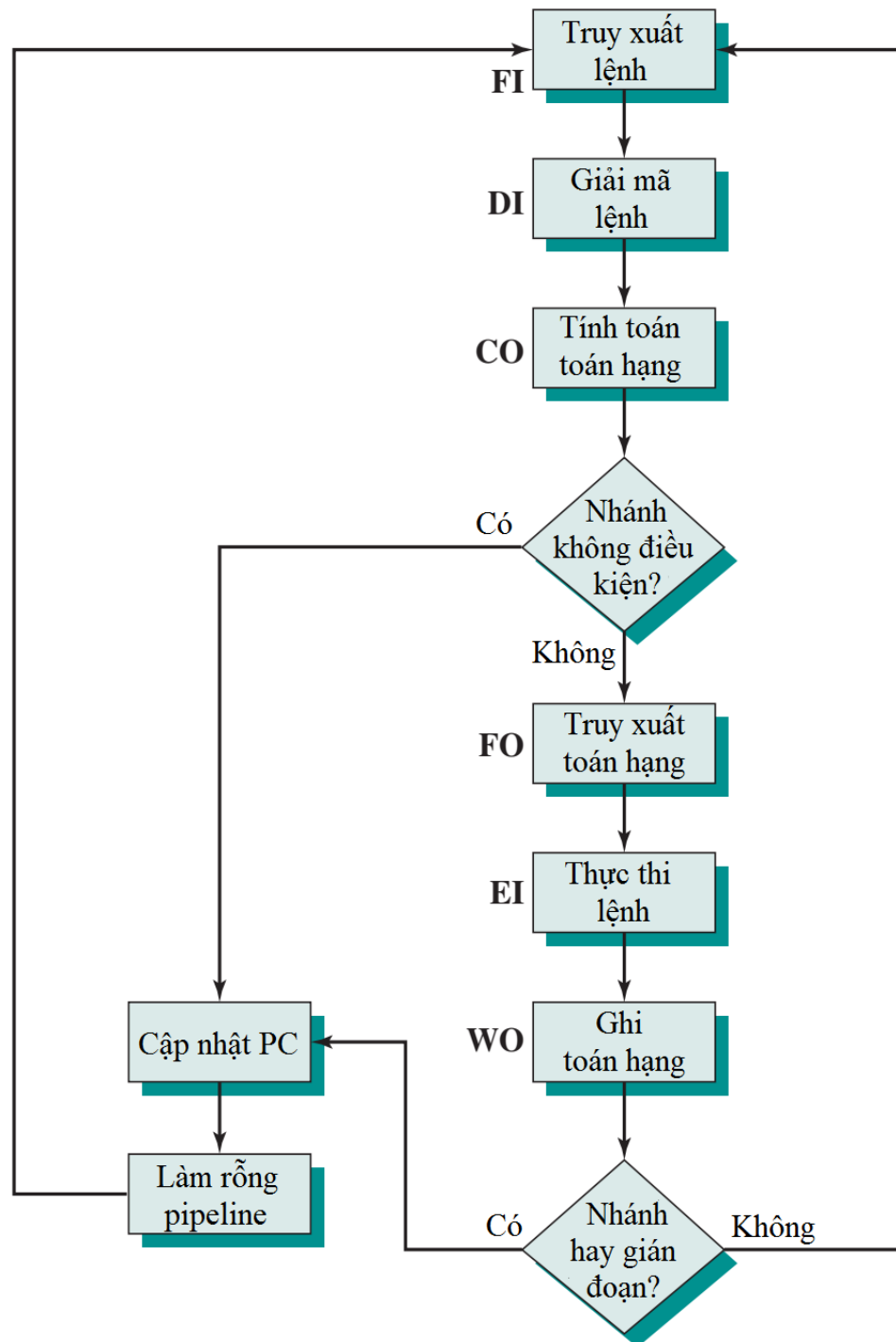
Thời gian
→

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Lệnh 1	FI	DI	CO	FO	EI	WO								
Lệnh 2		FI	DI	CO	FO	EI	WO							
Lệnh 3			FI	DI	CO	FO	EI	WO						
Lệnh 4				FI	DI	CO	FO	EI	WO					
Lệnh 5					FI	DI	CO	FO	EI	WO				
Lệnh 6						FI	DI	CO	FO	EI	WO			
Lệnh 7							FI	DI	CO	FO	EI	WO		
Lệnh 8								FI	DI	CO	FO	EI	WO	
Lệnh 9									FI	DI	CO	FO	EI	WO

Kỹ thuật đường ống lệnh trong trường hợp câu lệnh rẽ nhánh

	Thời gian →							← Trả giá cho rẽ nhánh						
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Lệnh 1	FI	DI	CO	FO	EI	WO								
Lệnh 2		FI	DI	CO	FO	EI	WO							
Lệnh 3			FI	DI	CO	FO	EI	WO						
Lệnh 4				FI	DI	CO	FO							
Lệnh 5					FI	DI	CO							
Lệnh 6						FI	DI							
Lệnh 7							FI							
Lệnh 15								FI	DI	CO	FO	EI	WO	
Lệnh 16									FI	DI	CO	FO	EI	WO

Kỹ thuật đường ống lệnh với 6 giai đoạn



Mô tả khác về đường ống lệnh

Thời gian

↓

	FI	DI	CO	FO	EI	WO
1	I1					
2	I2	I1				
3	I3	I2	I1			
4	I4	I3	I2	I1		
5	I5	I4	I3	I2	I1	
6	I6	I5	I4	I3	I2	I1
7	I7	I6	I5	I4	I3	I2
8	I8	I7	I6	I5	I4	I3
9	I9	I8	I7	I6	I5	I4
10		I9	I8	I7	I6	I5
11			I9	I8	I7	I6
12				I9	I8	I7
13					I9	I8
14						I9

(a) Không rẽ nhánh

	FI	DI	CO	FO	EI	WO
1	I1					
2	I2	I1				
3	I3	I2	I1			
4	I4	I3	I2	I1		
5	I5	I4	I3	I2	I1	
6	I6	I5	I4	I3	I2	I1
7	I7	I6	I5	I4	I3	I2
8	I15					I3
9	I16	I15				
10		I16	I15			
11			I16	I15		
12				I16	I15	
13					I16	I15
14						I16

(b) Rẽ nhánh có điều kiện

Xung đột trong kỹ thuật đường ống (Pipeline Hazard)

- Trong một số trường hợp, kỹ thuật đường ống bị đình trệ do một số xung đột như sau:
 - **Xung đột tài nguyên (Resource Hazard):** do nhiều công đoạn dùng chung một tài nguyên.
 - **Xung đột dữ liệu (Data Hazard):** lệnh sau sử dụng kết quả của lệnh trước (một bộ phận phần cứng được dùng để đưa kết quả từ đầu ra ALU trực tiếp vào một trong các thanh ghi đầu vào)
 - **Xung đột điều khiển (Control Hazard):** do rẽ nhánh gây ra

Xung đột tài nguyên

- Hazard tài nguyên xảy ra khi hai hoặc nhiều lệnh đã ở trong đường ống cần dùng cùng một tài nguyên
- Ví dụ: Lệnh I1 truy xuất toán hạng (FO) từ bộ nhớ → xung đột với việc truy xuất lệnh (FI) I3 → việc truy xuất lệnh I3 phải chậm lại 1 chu kỳ (hình b)
- Còn được gọi là Hazard cấu trúc

	Chu kỳ đồng hồ								
	1	2	3	4	5	6	7	8	9
Lệnh	I1	FI	DI	FO	EI	WO			
	I2		FI	DI	FO	EI	WO		
	I3			FI	DI	FO	EI	WO	
	I4				FI	DI	FO	EI	WO

(a) Pipeline năm giai đoạn, trường hợp lý tưởng

		Chu kỳ đồng hồ								
		1	2	3	4	5	6	7	8	9
Lệnh	I1	FI	DI	FO	EI	WO				
	I2		FI	DI	FO	EI	WO			
	I3			Idle	FI	DI	FO	EI	WO	
	I4					FI	DI	FO	EI	WO

(b) Toán hạng nguồn của lệnh I1 trong bộ nhớ

Ví dụ về hazard tài nguyên

Xung đột dữ liệu

		Chu kỳ đồng hồ									
		1	2	3	4	5	6	7	8	9	10
ADD EAX, EBX		FI	DI	FO	EI	WO					
SUB ECX, EAX			FI	DI	Idle		FO	EI	WO		
I3				FI			DI	FO	EI	WO	
I4							FI	DI	FO	EI	WO

Ví dụ về hazard dữ liệu

- Câu lệnh thứ hai sử dụng kết quả (EAX) của câu lệnh thứ nhất
- Việc truy xuất toán hạng (EAX) của lệnh thứ hai phải chậm lại 2 chu kỳ đồng hồ để đợi câu lệnh thứ nhất thực hiện xong việc ghi toán hạng

Các loại xung đột dữ liệu

- Đọc sau khi ghi (RAW-Read after write)
 - Một lệnh sửa đổi một thanh ghi hoặc vị trí bộ nhớ
 - Lệnh tiếp theo đọc dữ liệu từ thanh ghi hoặc vị trí bộ nhớ đó.
 - Hazard xảy ra nếu việc đọc diễn ra trước khi hoạt động ghi hoàn tất
- Ghi sau khi đọc (WAR-Write after read)
 - Một lệnh đọc một thanh ghi hoặc vị trí bộ nhớ
 - Lệnh tiếp theo ghi vào vị trí đó
 - Hazard xảy ra nếu thao tác ghi hoàn thành trước khi có thao tác đọc
- Ghi sau khi ghi (WAW-Write after write)
 - Hai lệnh cùng ghi vào một vị trí
 - Hazard xảy ra nếu các thao tác ghi diễn ra theo thứ tự ngược với trình tự dự định

Xung đột điều khiển

- Còn được gọi là xung đột rẽ nhánh
- Xảy ra khi kỹ thuật đường ống đưa ra dự báo nhánh bị sai so với nhánh thực tế
- Các lệnh được truy xuất sẽ bị loại bỏ
- Các biện pháp đối phó với xung đột rẽ nhánh
 - Sử dụng nhiều luồng
 - Truy xuất trước mục tiêu rẽ nhánh
 - Bộ đệm vòng lặp
 - Dự báo rẽ nhánh
 - Rẽ nhánh chậm

Chương 11: Chức năng và cấu trúc bộ xử lý

11.1. Tổ chức của bộ xử lý

11.2. Tổ chức thanh ghi

11.3. Chu kỳ lệnh

11.4. Kỹ thuật đường ống lệnh (Pipelining)

11.5. CISC và RISC

11.5 CISC và RISC

- **CISC (Complex Instruction Set Computer):** Máy tính có tập lệnh phức tạp
- **RISC (Reduced Instruction Set Computer):** Máy tính có tập lệnh rút gọn

Đặc điểm của một số CISC và RISC

	Complex Instruction Set (CISC) Computer			Reduced Instruction Set (RISC) Computer	
Characteristic	IBM 370/168	VAX 11/780	Intel 80486	SPARC	MIPS R4000
Year developed	1973	1978	1989	1987	1991
Number of instructions	208	303	235	69	94
Instruction size (bytes)	2–6	2–57	1–11	4	4
Addressing modes	4	22	11	1	1
Number of general-purpose registers	16	16	8	40–520	32
Control memory size (kbits)	420	480	246	—	—
Cache size (kB)	64	64	8	32	128

CISC và RISC

Đặc điểm của CISC

- Số lượng lệnh nhiều hơn
- Các lệnh có độ dài thay đổi
- Nhiều chế độ định địa chỉ
- Có ít thanh ghi

Đặc điểm của RISC

- Số lượng lệnh ít
- Các lệnh có thời gian thực hiện là 1 chu kỳ máy
- Độ dài của các lệnh bằng nhau
- Các lệnh chủ yếu là thao tác giữa thanh ghi với thanh ghi (Chỉ có 2 lệnh LOAD và STORE mới truy cập bộ nhớ)
- Có ít chế độ định địa chỉ
- Có ít khuôn dạng lệnh
- Có nhiều thanh ghi

Bàn luận

- Định lượng - Quantitative
 - Đánh giá, so sánh về kích cỡ chương trình và tốc độ thi hành
- Định tính - Qualitative
 - Xem xét khả năng hỗ trợ ngôn ngữ bậc cao và kế thừa kết quả từ các mạch VLSI thực tế
- Vấn đề so sánh:
 - Không có cặp RISC & CISC được so sánh trực tiếp với nhau
 - Không có tập chương trình test chuẩn
 - Rất khó để phân tách tác động của phần cứng từ tác động phần mềm
 - Thường các so sánh được thử nghiệm, đánh giá trên một vài mẫu chuyên biệt chứ không được tiến hành đại trà
 - Đa phần CPU thương mại sử dụng cả hai

Tổng kết

Chương 11

- Tổ chức bộ xử lý
- Tổ chức thanh ghi
 - Thanh ghi hiển thị người dùng
 - Thanh ghi điều khiển và trạng thái
- Chu kỳ lệnh
 - Chu kỳ lệnh gián tiếp
 - Luồng dữ liệu

Cấu trúc và Chức năng Bộ xử lý

- Kỹ thuật đường ống lệnh (Pipelining)
 - Chiến lược Pipelining
 - Hiệu suất Pipelining
 - Pipeline hazard
 - Xử lý rẽ nhánh
- CISC và RISC

Câu hỏi ôn tập

1. Chức năng của thanh ghi trong bộ xử lý là gì?
2. Chức năng của khối số học và logic (ALU) trong bộ điều khiển là gì?
3. Chức năng của khối điều khiển (CU) trong bộ xử lý là gì?
4. Thanh ghi hiển thị với người dùng thường hỗ trợ những loại dữ liệu nào?
5. Mã điều kiện là gì?
6. Nêu chức năng của một số thanh ghi PC, IR, MAR, MBR.
7. Từ trạng thái chương trình PSW là gì?
8. Liệt kê các cờ phổ biến trong thanh ghi trạng thái chương trình PSW.
9. Mô tả kỹ thuật đường ống.
10. Các xung đột trong kỹ thuật đường ống là gì?
11. Sự khác biệt giữa CISC và RISC là gì?

Hình ảnh và nội dung trong bài giảng này tham khảo từ cuốn sách và slide bài giảng “Computer Organization and Architecture”, 10th Edition, của tác giả William Stallings.