**PHIẾU GHI KẾT QUẢ QUAN SÁT**

**BÀI THỰC HÀNH SỐ 2**

Họ và tên sinh viên: ***Nguyễn Văn Hải***  Lớp: ***64KTPM1***

**LAB 2.1: KIỂM TRA TÍNH CỤC BỘ (LÂN CẬN) CỦA CÁC CHƯƠNG TRÌNH KHÁC NHAU**

1. Thực hiện: Cấu hình một hệ thống với các đặc tính kiến trúc như sau:
   * Số lượng bộ xử lý - Processors in SMP = 1.
   * Giao thức liên kết cache - Cache coherence protocol = MESI.
   * Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
   * Kích thước word - Word wide (bits) = 16.
   * Số word trong một block - Words by block = 16 (block size = 32 bytes).
   * Số block trong bộ nhớ chính - Blocks in main memory = 8192. Kích thước bộ nhớ chính bằng bao nhiêu?
   * Số blocks trong cache – Blocks in cache: 32
   * Ánh xạ - Mapping = Fully-Associative.
   * Chính sách thay thế - Replacement policy = LRU
2. Quan sát miss rate (tỷ lệ truy xuất cache không thành công) với các memory traces: Hydro, Nasa7, Cexp, Mdljd, Ear, Comp, Wave, Swm và Ucomp và ghi vào file MS Excel:

|  |  |
| --- | --- |
| **Memory Traces** | **Miss Rate** |
| **Hydro** | 18.195% |
| **Nasa7** | 17.035% |
| **Cexp** | 0.770% |
| **Ear** | 16.993% |
| **Comp** | 18.661% |
| **Swm** | 21.985% |
| **Ucomp** | 17.892% |

1. Biểu đồ minh hoạ
2. Phân tích kết quả

* Theo kết quả khảo sát được, trả lời các câu hỏi sau:
  1. Liệu các chương trình có cùng mức độ cục bộ? Chương trình nào có tính cục bộ tốt nhất? Chương trình nào có tính cục bộ kém nhất?

**TL:**

-Các chương trình không có cùng mức cục bộ

-Cexp có tính cục bộ tốt nhất

-Swm có tính cục bộ kém nhất

* 1. Liệu cấu hình trên có khai thác được tính cục bộ của các chương trình này và tăng hiệu suất hệ thống không? Tại sao?

🡪Cấu hình trên đã khai thác được mức độ cục bộ của các chương trình tuy nhiên hiệu suất chưa cao vì hầu hết các Miss Rate>10% với hầu hết các chương trình

* 1. Trong quá trình chương trình thực hiện, nếu quan sát dưới dạng đồ thị, tỷ lệ miss rate giảm dần, nguyên nhân tại sao?

**TL:**Trong quá trình thực hiện các Miss Rate giảm dần vì:

+Khi bắt đầu chạy chương trình,bộ nhớ cache chưa có dữ liệu.Các truy xuất bộ nhớ của CPU phải truy xuất đến RAM(cache miss)🡪Miss Rate lớn

+Sau khi khối kệnh được ánh xạ nhiều trong bộ nhớ🡪Do tính cục bộ của chương trình,các câu lệnh và dữ liệu có thể truy xuất trực tiếp từ cache(cache hits)🡪Miss Rate gảm dần

**LAB 2.2: ẢNH HƯỞNG CỦA KÍCH THƯỚC CACHE ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

1. Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:

* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Số word trong một block - Words by block = 16 (block size = 32 bytes).
* Số block trong bộ nhớ chính - Blocks in main memory = 8192. Kích thước bộ nhớ chính bằng bao nhiêu?
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Thiết lập cache với kích thước như sau (số block trong cache): 1, 2, 4, 8, 16, 32, 64, 128, 256 và 512.

1. Với mỗi thông số trên, thiết lập các memory traces: *Hydro*, *Nasa7*, *Cexp*, *Mdljd*, *Ear*, *Comp*, *Wave*, *Swm* và *Ucomp,* chạy mô phỏng và ghi lại các miss rate:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **Cache size(số block trong cache)** | | | | | | | | | |
|  | **1** | **2** | **4** | **8** | **16** | **32** | **64** | **128** | **256** | **512** |
| **Hydro** | 66.197% | 42.360% | 32.111% | 28.068% | 25.012% | 18.195% | 15.468% | 14.810% | 14.386% | 14.386% |
| **Nasa7** | 66.577% | 41.024% | 29.650% | 25.822% | 23.235% | 17.035% | 16.065% | 15.364% | 14.987% | 14.987% |
| **Cexp** | 52.920% | 43.900% | 43.145% | 40.065% | 1.540% | 0.770% | 0.745% | 0.740% | 0.740% | 0.740% |
| **Mdljd** | 63.055% | 42.565% | 29.820% | 21.575% | 19.715% | 17.885% | 16.040% | 14.780% | 13.235% | 11.225% |
| **Ear** | 59.947% | 42.144% | 37.622% | 27.769% | 18.218% | 16.993% | 15.674% | 10.098% | 6.707% | 6.707% |
| **Comp** | 65.689% | 37.797% | 25.396% | 23.257% | 21.355% | 18.661% | 18.185% | 17.908% | 17.908% | 17.274% |
| **Wave** | 66.355% | 42.136% | 31.923% | 29.093% | 26.875% | 21.564% | 18.354% | 17.479% | 16.808% | 15.320% |
| **Swm** | 66.870% | 41.380% | 30.835% | 26.085% | 23.875% | 21.985% | 20.815% | 19.630% | 18.285% | 16.060% |
| **Ucomp** | 66.045% | 38.236% | 24.881% | 22.466% | 20.490% | 17.892% | 17.527% | 17.270% | 17.270% | 16.685% |

1. Biểu đồ Miss Rate cache size(số block trong cache)
2. Phân tích kết quả

* Phân tích và đánh giá kết quả theo các câu hỏi sau:
* Miss rate như thế nào khi kích thước cache tăng? Giải thích.

**TL:**Khi kích thước cache tăng,Miss Rate giảm vì khi kích thược cache tăng,mỗi block chưa nhiều word🡪truy cập đến nhiều word cùng một lúc,giảm số lượng Miss Rate

* Liệu việc tăng kích thước cache có giúp cải thiện hiệu suất của hệ thống không?

**TL:**Việc tăng kích thước cache giúp cải thiện hiệu suất của hệ thống🡪Nhưng khi kích thước block quá lớn sẽ sinh ra nhiều khoảng trống dư thừa trong các block dẫn đến lãng phí bộ nhớ🡪Cần chọn kích thước block hợp lý để đạt được hiệu suất cao nhất

**LAB 2.3: ẢNH HƯỞNG CỦA KÍCH THƯỚC BLOCK ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

1. Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:

* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Kích thước bộ nhớ RAM = 256 KB (số lượng block trong bộ nhớ sẽ thay đổi)
* Kích thước cache = 4 KB (số line –block trong cace thay đổi)
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình kích thước Block (số word/1 block) như sau: 4, 8, 16, 32, 64, 128, 256, 512, 1024.

1. Với mỗi cấu hình trên, thiết lập các memory traces: *Hydro*, *Nasa7*, *Cexp*, *Mdljd*, *Ear*, *Comp*, *Wave*, *Swm* và *Ucomp,* chạy mô phỏng và ghi lại các miss rate:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **Block size(số word/1block)** | | | | | | | | |
|  | **4** | **8** | **16** | **32** | **64** | **128** | **256** | **512** | **1024** |
| **Hydro** | 43.112% | 24.307% | 14.810% | 9.403% | 6.958% | 5.689% | 4.607% | 6.723% | 10.625% |
| **Nasa7** | 44.960% | 25.391% | 15.364% | 9.757% | 7.062% | 5.499% | 3.881% | 5.984% | 10.081% |
| **Cexp** | 2.435% | 1.305% | 0.740% | 0.455% | 0.295% | 0.215% | 0.150% | 0.185% | 1.780% |
| **Mdljd** | 37.005% | 23.285% | 14.780% | 9.075% | 6.005% | 4.595% | 4.180% | 5.065% | 10.310% |
| **Ear** | 20.836% | 13.583% | 10.098% | 7.649% | 5.124% | 4.107% | 3.429% | 6.274% | 13.922% |
| **Comp** | 32.448% | 23.098% | 17.908% | 9.905% | 5.903% | 3.566% | 3.288% | 4.041% | 6.933% |
| **Wave** | 41.436% | 25.883% | 17.479% | 12.606% | 8.433% | 6.624% | 5.690% | 6.449% | 8.200% |
| **Swm** | 53.245% | 31.405% | 19.630% | 12.115% | 8.130% | 6.215% | 5.270% | 6.045% | 11.495% |
| **Ucomp** | 32.931% | 22.795% | 17.270% | 9.550% | 5.671% | 3.403% | 3.037% | 3.696% | 7.318% |

3.Biểu đồ Miss Rate block size(số word/1 block)

4.Phân tích kết quả

* Phân tích và đánh giá kết quả theo các câu hỏi sau:
* Khi kích thước block tăng thì miss rate tăng hay giảm? Tại sao?

**TL:**Khi kích thước block tăng thì Miss Rate giảm.Khi kích thước block từ 512 trở lên thì Miss Rate tăng

* Kích thước Block nào cho hiệu suất hệ thống cao nhất đối với cả các chương trình?

**TL:**Kích thước block 256 cho hiệu suất hệ thống cao nhất đối với tất cả các chương trình