

Lab1 Fibonacci or Prime number detector

105072123 黃海茵

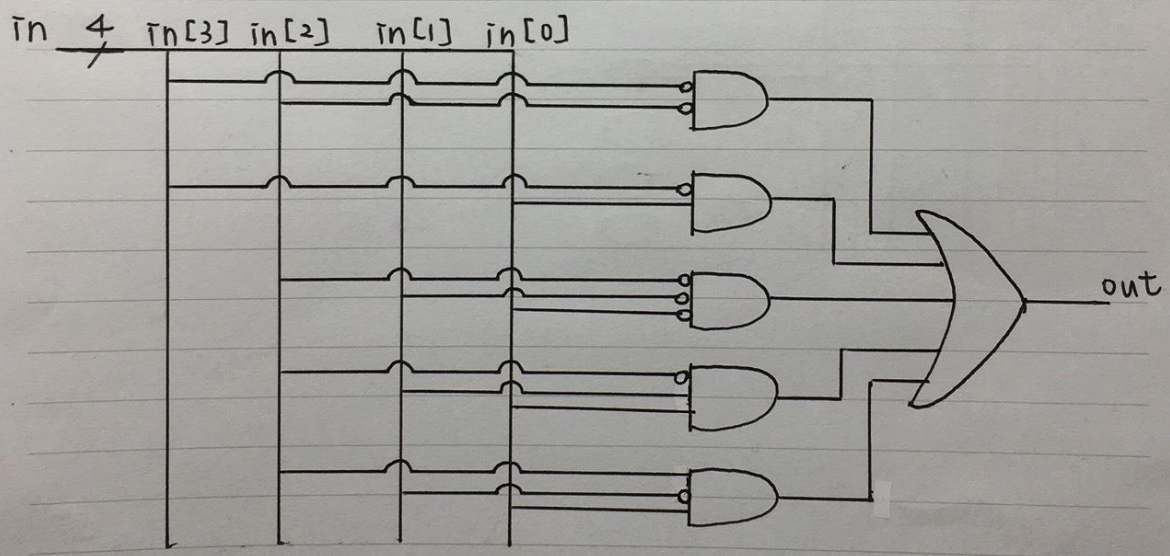
K-map:

ab \ cd	00	01	11	10
00	1	1	1	1
01	0	1	1	0
11	0	1	0	0
10	1	0	1	0

K-map 結論:

$$\bar{a}\bar{b} + \bar{a}d + \bar{b}\bar{c}\bar{d} + \bar{b}cd + b\bar{c}d$$

Schematic:



模擬結果：

```
Loading snapshot worklib.fop_tb:v ..... Done
*Verdi3* Loading libsscore_ius141.so
*Verdi3* : Enable Parallel Dumping.
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
time= 5,in=0000,out_G=1,out_D=1,out_B=1
time= 10,in=0001,out_G=1,out_D=1,out_B=1
time= 15,in=0010,out_G=1,out_D=1,out_B=1
time= 20,in=0011,out_G=1,out_D=1,out_B=1
time= 25,in=0100,out_G=0,out_D=0,out_B=0
time= 30,in=0101,out_G=1,out_D=1,out_B=1
time= 35,in=0110,out_G=0,out_D=0,out_B=0
time= 40,in=0111,out_G=1,out_D=1,out_B=1
time= 45,in=1000,out_G=1,out_D=1,out_B=1
time= 50,in=1001,out_G=0,out_D=0,out_B=0
time= 55,in=1010,out_G=0,out_D=0,out_B=0
time= 60,in=1011,out_G=1,out_D=1,out_B=1
time= 65,in=1100,out_G=0,out_D=0,out_B=0
time= 70,in=1101,out_G=1,out_D=1,out_B=1
time= 75,in=1110,out_G=0,out_D=0,out_B=0
time= 80,in=1111,out_G=0,out_D=0,out_B=0
Congratulations!!
Simulation complete via $finish(1) at time 80 NS + 0
./fop_tb.v:26      $finish;
ncsim> exit
[dld0038@ic27 ~/lab1]$
```

遇到的問題與解決辦法：

由於不是資工本系學生的緣故，到了這學期才同時修了程設一和邏設。所以無法體會其他先學了 c 語言，再修邏設的同學們所說的：語法差異很大的問題（現在程設一只教到字元而已）。但反反覆覆地看了助教上傳的教學網站，其實還是不太清楚什麼時候要用什麼（有些用類似什麼 c 語言來說明的語法，都不太能理解）。所以只好先仿照助教的打法，然後每次修改一點東西，再一一測試這種打法行不行得通。

第一次打完 testbench 後，ncverilog 跑出來的結果，time 全部都是 0、out 都是 x。回去 debug 才發現，原來是少打了 delay，補上去之後就能跑出上面模擬結果正確的那張圖了。上網查了之後才知道，原來 delay 的用途是讓它幾秒鐘變化一次。

(資料來源：<http://programmermagazine.github.io/201307/htm/article4.html>)

Verilog 程式的許多地方，都可以用 `#delay` 指定時間延遲，例如 `#50` 就是延遲 50 單位的時間 (通常一單位時間 是一奈秒 ns)。舉例而言，假如我們想要每個 50 奈秒讓 `clock` 變化一次，那麼我們就可以用下列寫法達到目的：

```
always #50 begin
    clock = ~clock; // 將 clock 反相 (0 變 1 、 1 變 0)
end
```

以上的延遲也可以寫在裡面，而不是直接寫在 `always` 後面，例如改用以下寫法，也能得到相同的結果。

```
always begin
    #50;
    clock = ~clock; // 將 clock 反相 (0 變 1 、 1 變 0)
end
```

想問助教的問題：

1

```
$display("time=%4d,in=%b,out_G=%b,out_D=%b,out_B=%b",$time,in,out_G,out_D,out_B)
if((out_G!=out_D)||out_D!=out_B)||
    ((in==5||in==7||in==14||in==15)&&(out_G&out_D&out_B)==0)||
    ((in!=5&&in!=7&&in!=14&&in!=15)&&(out_G|out_D|out_B)==1))
```

為什麼在 if 之後的括號裡，or,and 還有=都要用兩次？

2

```
happy_verilog_G hvg
(
    .in(in),
    .out(out_G)
);
```

為什麼 `happy_verilog_G` 後面還要加一個 `hvg`？