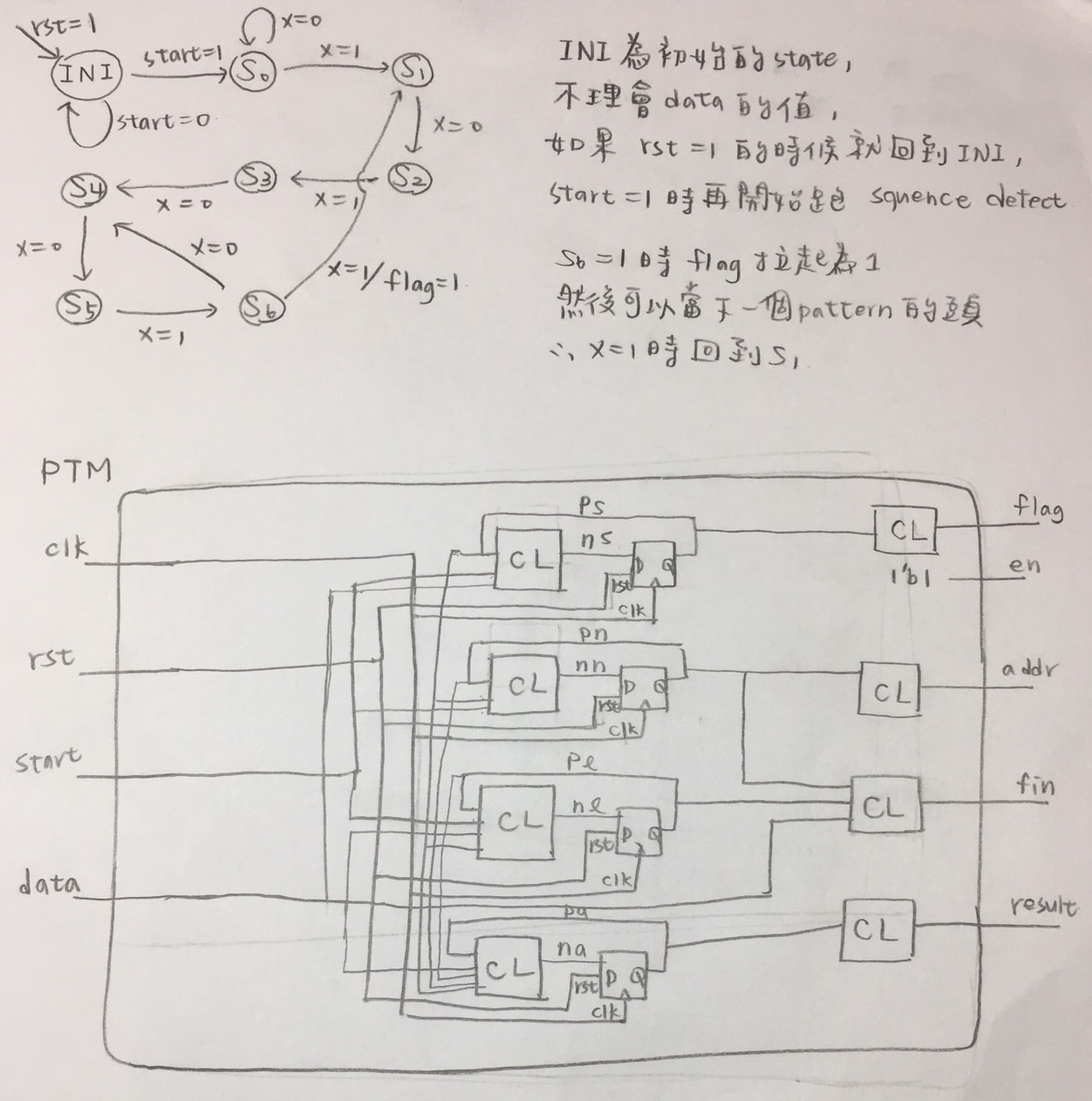
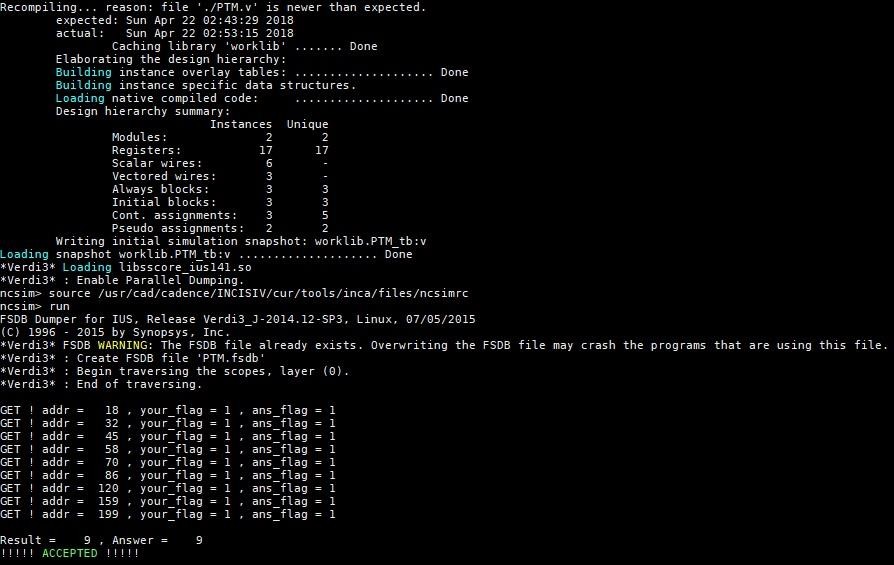
Lab3

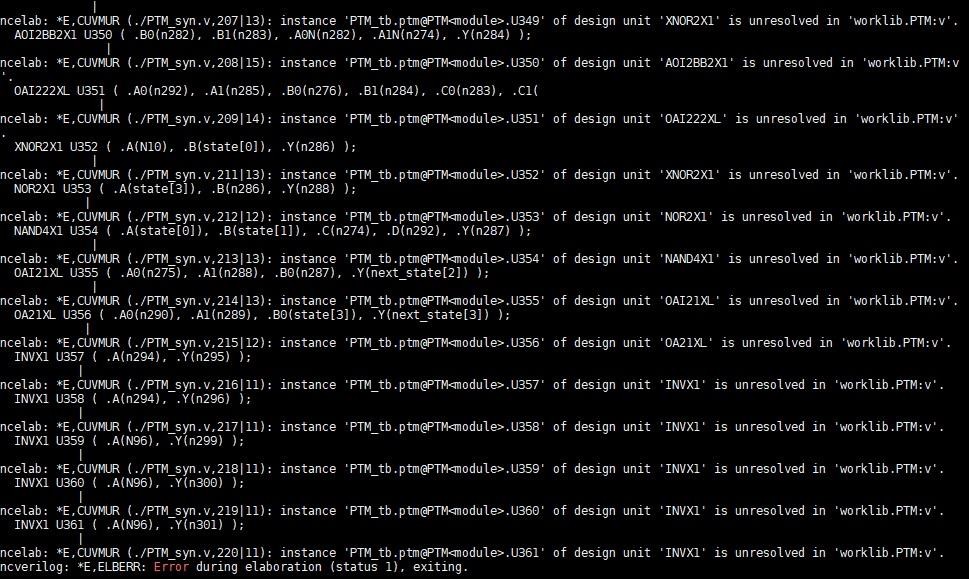
105072123 黃海茵

State Transition Graph & Block Diagram



ncverilog 模擬結果





遇到的問題：

1. 為什麼多設一個 S7，然後 S6 在 X=1 時跳到 S7，再拉起 flag， 跑 tb 答案就會是錯的。如果是在 S6 給 if 兩種 X 的情況，跑 tb 就對了？
2. 為什麼 reg flag0 給值 flag，就會產生 latch？這樣會讓電路產生問題嗎？
3. ncverilog syn的時候為什麼會出現那樣的結果？還有最底下的error是怎麼回事？