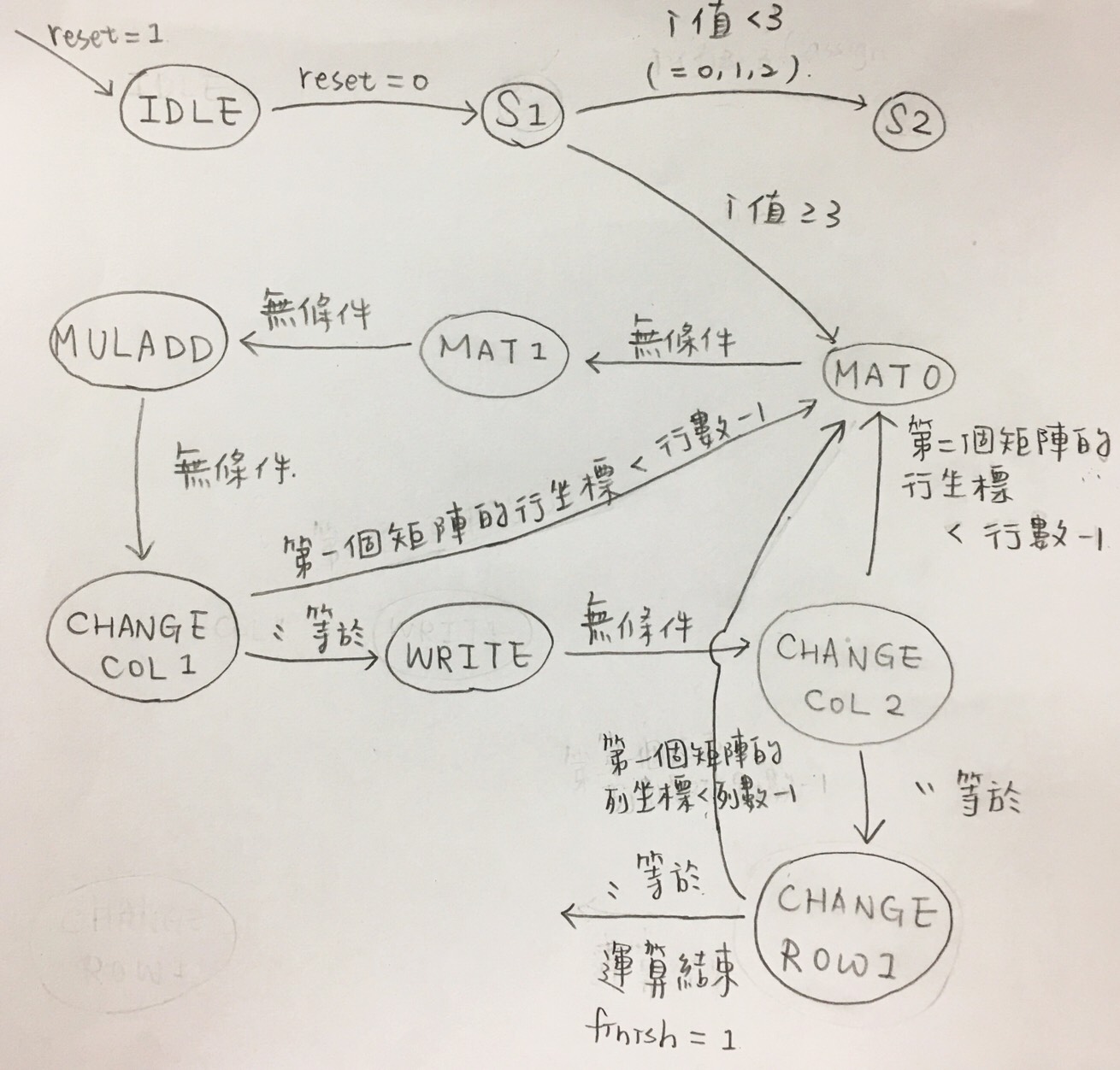
Lab4

105072123 黃海茵

* State Trasition Graph

**IDLE:** reset=1時，回到的初始state。

**S1:** 將read、write都設為1，i分別等於0、1、2，經由read\_data讀取矩陣的行數列數。

**S2:** 讓i=i+1。

**MAT0:** 將read設為1，write設為0，index設為0，經由read\_data讀取第一個矩陣的資料（從第一筆開始讀）。

**MAT1:** 將read設為1，write設為0，index設為1，經由read\_data讀取第二個矩陣的資料（從第一筆開始讀）。

**MULADD:** 把兩個矩陣的兩筆資料相乘，並累加。

**CHANGECOL1:** 將第一個矩陣的行座標加一，直到等於行數就歸零。

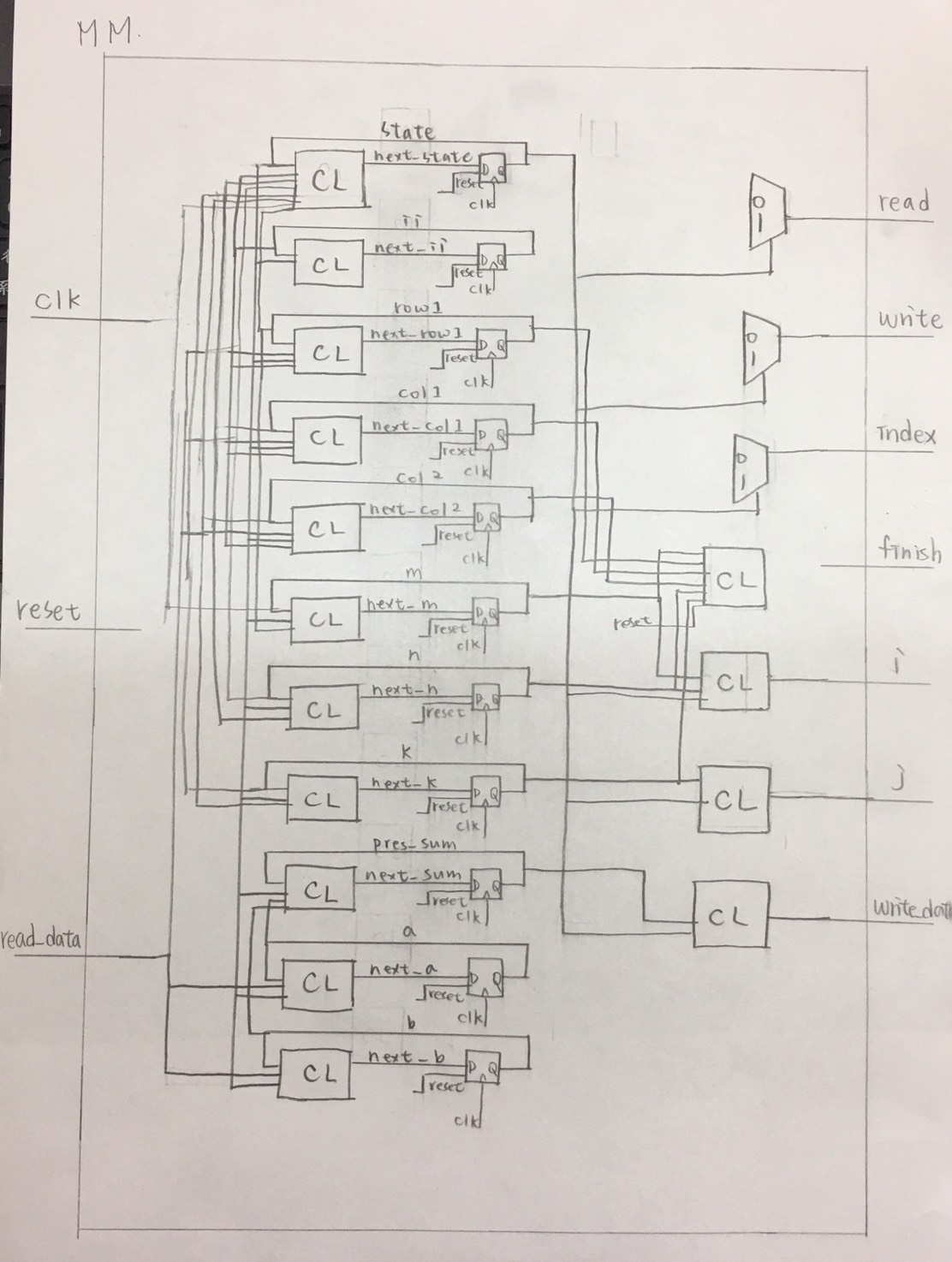
**WRITE:** 將read設為0，write設為1，算出一列乘以一行的數值，設定write\_data的數值，將資料寫入。

**CHANGECOL2:** 將第二個矩陣的行座標加一，直到等於行數就歸零。

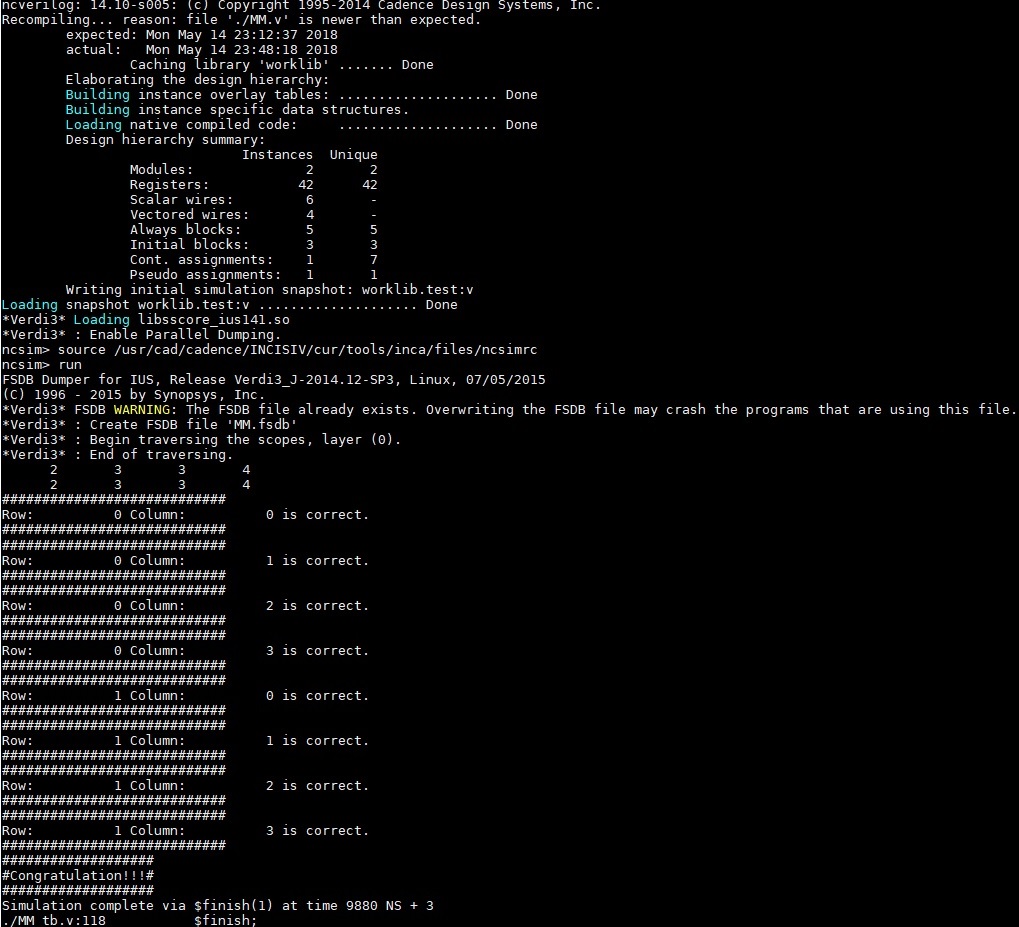
**CHANGEROW1:** 將第一個矩陣的列座標加一，直到等於列數就結束運算。

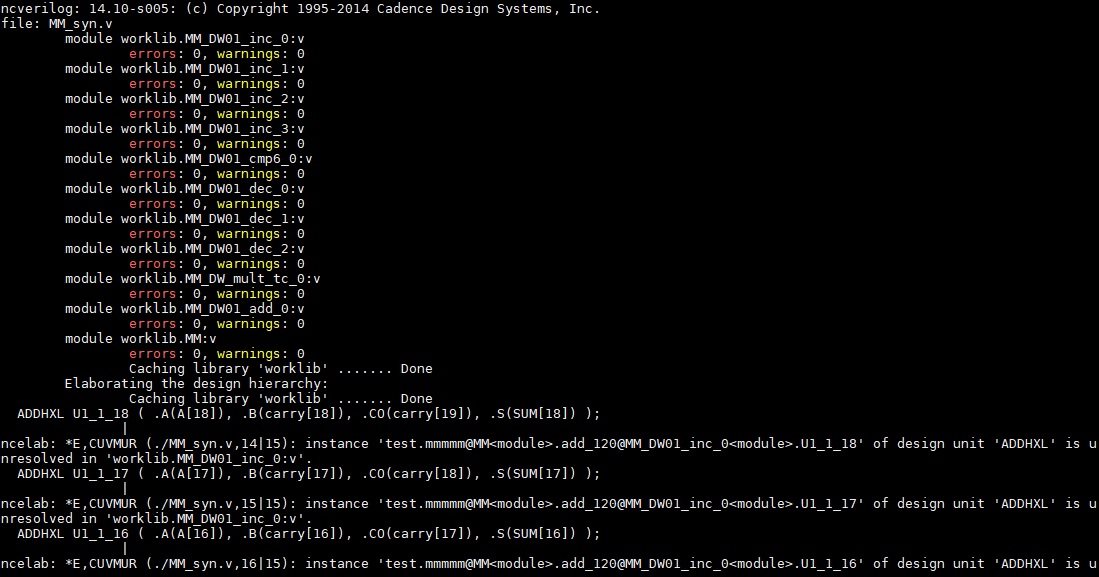
* Block Diagram

（clk跟reset太多了，所以用標註的）



* ncverilog 模擬結果





　　這次的lab，我在如何換行換列的部分想了很久，雖然覺得自己用了有點多state和Sequential Circuits，所以導致跑得有點慢，但因為打太久所以沒時間修改了，悲慘。