

平成27年5月15日判決言渡 同日原本交付 裁判所書記官

平成22年(ワ)第46241号 特許権侵害差止等請求事件

口頭弁論終結日 平成27年2月27日

判 決

アメリカ合衆国・97070・オレゴン州<以下略>

原 告	メンター・グラフィクス・コーポレーション
同 訴訟代理人弁護士	城 山 康 文
同	岩 瀬 吉 和
同	山 本 健 策
同	後 藤 未 来
同 訴訟復代理人弁護士	岡 浩 喜
同 訴訟代理人弁理士	山 本 秀 策
同 補 佐 人 弁 理 士	市 川 英 彦

横浜市港北区<以下略>

被 告	日 本 イ ヴ 株 式 会 社
同 訴訟代理人弁護士	塚 原 朋 一
同	岡 田 誠
同	小 坂 準 記
同	友 村 明 弘
同 訴訟復代理人弁護士	高 梨 義 幸
同 補 佐 人 弁 理 士	佐 藤 睦
同	伊 藤 健 太 郎

主 文

- 1 原告の請求をいずれも棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する控訴のための付加期間を30日と定める。

事 実 及 び 理 由

第 1 請求の趣旨

- 1 被告は、別紙物件目録記載の物件を使用し、譲渡し、輸入し、貸渡し、又は譲渡若しくは貸渡しの申出をしてはならない。
- 2 被告は、その占有にかかる別紙物件目録記載の物件を廃棄せよ。
- 3 被告は、原告に対し、3億3000万円及びこれに対する平成22年12月28日（訴状送達の日）の翌日から支払済みまで年5分の割合による金員を支払え。
- 4 訴訟費用は被告の負担とする。
- 5 仮執行宣言

第 2 事案の概要

1 事案の要旨

本件は、原告が、被告に対し、被告は別紙物件目録記載の物件（エミュレータ。以下、同目録記載1ないし6の番号に従って、「被告製品1」ないし「被告製品6」といい、併せて「被告各製品」という。）の輸入及び販売等を行うことにより、原告が有する後記2(2)記載の特許権の特許請求の範囲請求項1，3ないし7の各発明に係る特許を侵害していると主張して、(1)特許法100条1項に基づき、被告各製品の使用，譲渡，輸入，貸渡し及び譲渡若しくは貸渡しの申出の差止め（請求の趣旨第1項），(2)同条2項に基づき、その占有する被告各製品の廃棄（請求の趣旨第2項），(3)民法709条及び特許法102条3項に基づき、損害賠償金として3億3000万円及びこれに対する訴状送達の日翌日である平成22年12月28日から支払済みまで民法所定の年5分の割合による遅延損害金の支払（請求の趣旨第3項）をそれぞれ求めた事案である。

- 2 前提事実（証拠等を掲げたもののほかは、当事者間に争いがない。なお、以下、書証の枝番号については、特に記載しない限り省略する。）

(1) 当事者

ア 原告は、アメリカ合衆国オレゴン州に本店を有し、EDA (electronic design automationの略。回路設計の自動化、電気回路設計用のCAD。) 製品を供給している会社である。

イ 被告は、コンピュータ及び半導体関連機器の設計用ソフトウェア・ハードウェアの開発、輸入、販売等を業とする株式会社である。

(2) 原告の特許権

原告は、次の特許権を有している（以下「本件特許権」といい、その発明に係る特許を「本件特許」と、特許請求の範囲請求項1，3ないし7の発明をそれぞれ「本件発明1」，「本件発明3」ないし「本件発明7」といい、これら発明を併せて「本件各発明」と、本件特許に係る明細書及び図面を「本件明細書等」という。なお、その内容は、末尾に添付した本件特許の特許公報のとおりである。）。〔甲1，2，弁論の全趣旨〕

特許番号 特許第3588324号

発明の名称 「エミュレーションシステム用の統合デバッグ機能を備えた再構成可能な集積回路」

出願日 平成12年2月7日

優先日 平成11年（1999年）9月24日〔米国〕

登録日 平成16年8月20日

(3) 本件各発明の構成要件

本件各発明を構成要件に分説すると以下のとおりである。なお、以下、各構成要件を請求項の番号とアルファベットに従って「構成要件1A」等と表記する。

ア 本件発明1

1A 集積回路設計の回路素子をエミュレートするように再構成可能であ

り,

- 1 B 各々が複数の出力を有する複数の論理素子であって,
- 1 C 上記論理素子に対応して与えられる複数の入力信号に応答して複数の出力信号を生成するように作動する複数の論理素子と,
- 1 D 選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え,そして走査バスに出力する部分走査レジスタと,
- 1 E 上記エミュレーション・クロックの1クロック・サイクルにおいて,上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する,上記複数の論理素子と上記部分走査レジスタに結合した再構成可能なネットワークとを含むことを特徴とする
- 1 F エミュレーションシステムに使用される集積回路。

イ 本件発明 3

- 3 A 上記論理素子に結合され,上記論理素子の上記複数の信号状態値の少なくとも一部に基づき,少なくとも1つのトリガ値を条件付きで生成するように作動するトリガ回路を更に含むことを特徴とする
- 3 B 請求項 1 に記載の集積回路。

ウ 本件発明 4

- 4 A 上記複数の論理素子及び複数の集積回路出力に結合された相互接続ネットワークを更に含み,
- 4 B 上記相互接続ネットワークは,上記相互接続ネットワークを構成する再コンパイル可能命令セットに基づき,上記複数の論理素子及び上記複数の集積回路出力に信号を経路指定するように作動することを特

徴とする

4 C 請求項 1 に記載の集積回路。

エ 本件発明 5

5 A ホストとエミュレーション基板とを含み、

5 B 上記エミュレーション基板は、少なくとも一部が上記ホストに通信可能に接続した複数の基板入力／出力ピンと、

5 C 少なくとも一部が基板入力／出力ピンに接続した複数の I C 入力／出力ピンを具備した集積回路とを含み、

5 D 上記集積回路は、集積回路設計の回路素子をエミュレートするように再構成可能であり、各々が複数の出力を有する複数の論理素子であって、

5 E 上記論理素子に対応して与えられる複数の入力信号に応答して複数の出力信号を生成するように作動する複数の論理素子と、

5 F 選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの 1 クロック・サイクルにおいて捉え、そして走査バスに出力する部分走査レジスタと、

5 G 上記エミュレーション・クロックの 1 クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、

5 H 上記複数の論理素子と上記部分走査レジスタに結合した再構成可能なネットワークとを含むことを特徴とする

5 I エミュレーションシステム。

オ 本件発明 6

6 A 上記論理素子に結合され、上記論理素子の上記複数の信号状態値の少なくとも一部に基づき、少なくとも1つのトリガ値を条件付きで生成するように作動するトリガ回路を更に含むことを特徴とする

6 B 請求項5に記載のエミュレーションシステム。

カ 本件発明 7

7 A 複数の入力／出力ピンと、上記複数の入力／出力ピンに結合した集積回路を含み、

7 B 上記集積回路は、集積回路設計の回路素子をエミュレートするように再構成可能であり、

7 C 各々が複数の出力を有する複数の論理素子であって、

7 D 上記論理素子に対応して与えられる複数の入力信号に応答して複数の出力信号を生成するように作動する複数の論理素子と、

7 E 選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する部分走査レジスタであって、

7 F 上記エミュレーション・クロックに対して適切な一定の割合である走査クロックの印加によって使用可能な状態になる部分走査レジスタと、

7 G 上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、上記複数の論理素子と上記部分走査レジスタに結合した再構成可能なネットワークとを含むことを特徴とする

7 H エミュレータ基板。

(4) 本件特許の出願経過等

ア 原告は、平成12年2月7日、本件特許につき、国際出願をし（PCT／US2000／003138。パリ条約による優先日：平成11年〔1999年〕9月24日、米国）、平成12年5月26日、発明の名称を「エミュレーションシステム用の統合デバック機能を備えた再構成可能な集積回路」として、国内書面を提出した（特許2000－616197号。甲58の1。平成13年4月5日国際公開、WO01／23901、平成14年12月24日国内公表、特表2002－544576。請求項の数33。以下、かかる特許出願を「本件出願」といい、その特許請求の範囲請求項1を「出願当初請求項1」という。）。

出願当初請求項1は、以下のとおりである（なお、文中の「/」は、原文における改行箇所を示す。以下、同様である。）。

「集積回路設計の回路素子をエミュレートするように再構成可能であり、各々が複数の出力を有する複数の論理素子（LE）であって、そのLEに対応して与えられる複数の入力信号に応答する複数の出力信号を生成するように作動する論理素子、/上記複数のLEの選択されたものと動的に結合され、使用可能な状態において、オペレーティング・クロックの特定のクロック・サイクルにおいて、上記選択されたLEによってエミュレートされた回路素子の信号状態値の記録を捉え、走査バスに出力するように作動する部分走査レジスタ/を含むことを特徴とするエミュレーションシステムに使用される集積回路。」

イ 原告は、平成13年10月26日付けで早期審査に関する事情説明書（以下「本件事事情説明書」という。乙6）を提出するとともに、手続補正（以下「第1次補正」という。）をして特許請求の範囲について補正を行

い、請求項の数も８とした（甲５８の２。その特許請求の範囲請求項１を「第１次補正請求項１」という。）。

(ア) 第１次補正請求項１は、以下のとおりである（下線部は補正箇所）。

「集積回路設計の回路素子をエミュレートするように再構成可能であり、各々が複数の出力を有する複数の論理素子（ＬＥ）であって、そのＬＥに対応して与えられる複数の入力信号に応答する複数の出力信号を生成するように作動する論理素子と；/オペレーティング・クロックの特定のクロック・サイクルにおいて選択されたＬＥのサブセットによってエミュレートされた回路素子の信号状態値の記録を捉え、且つ走査バスに出力する部分走査レジスタと；/オペレーティング・クロックの特定のクロック・サイクルにおいて、上記複数のＬＥ群と部分走査レジスタと結合し、上記の選択されたＬＥのサブセットに排他的に且つ再構成可能に接続する再構成可能なネットワークと；/を含むことを特徴とするエミュレーションシステムに使用される集積回路。」

(イ) 本件事実説明書には、以下の記載がある。

「本早期審査に関する事実説明書と同日に提出した手続補正書によって補正された請求項１乃至８は本願に対応する米国特許第６，２６５，８９４ Ｂ１のクレーム１，３，５，６，９，１３，１６および２２にそれぞれ対応すると共に対応する２つの発明はその内容において同一関係にある。

本願の請求項１，５，７及び８は独立請求項である。請求項２乃至４は請求項１の従属項であり、また請求項６は独立請求項５の従属項である。

本願の請求項１，５，７及び８の構成要件として少なくとも次の２つ

を挙げている。

A. 再構成可能な論理素子（L E）によってエミュレートされる回路素子群の信号状態値を捉え且つ出力する部分走査レジスタ

B. 部分走査レジスタを再構成可能な論理回路素子の選択されたサブセットに排他的に且つ再構成可能に結合させ、その時の対応する状態値を捕捉し且つ出力する再構成可能なネットワーク」

ウ 特許庁審査官は、平成13年12月19日付けで、原告に対し、拒絶理由通知をした（甲58の3）。同通知においては、請求項1ないし8につき、特開平8-095818号公報（拒絶理由通知で示された引用例1。以下「引用例1」という。）、特開平6-77814号公報（引用例2）に記載されるごとく、FPGA（判決注；「field programmable gate array」の略語であり、現場でプログラム可能なゲートアレイ、の意。以下、単に「FPGA」という場合は、この意で用いる。）において各セルを走査してデータを収集しテストをすることは公知であるから進歩性を欠く、発明の詳細な説明の段落【0008】、【0012】において、「分離走査レジスタを、すなわち部分走査レジスタ135が」等と記載されているが、図1には135等が記載されていないから、特許法36条4項の要件を満たさない、部分走査レジスタの意味及び構成が不明である、請求項1については「オペレーティング・クロックの特定のクロック・サイクル」とする「特定」とは具体的にどのクロックを指しているのか不明瞭である、請求項7については、段落【0026】に「適切に分割された周波数を持つ走査クロックの適用」とは記載されているが、「適切に比例した走査クロック」とは発明の詳細な説明に記載されていない等のことから、特許法36条6項1号、2号の要件を満たさない（拒絶理由（C10））、

等との指摘がされた。

エ(ア) 原告は、平成14年7月2日付けで意見書を提出し（甲58の4、乙18）、同日付けで手続補正（以下「第2次補正」という。）をした（甲58の5。その特許請求の範囲請求項1を「第2次補正請求項1」という。）。

第2次補正請求項1は、以下のとおりである（下線部は補正箇所）。

「集積回路設計の回路素子をエミュレートするように再構成可能であり、各々が複数の出力を有する複数の論理素子であって、上記論理素子に対応して与えられる複数の入力信号に応答して複数の出力信号を生成するように作動する論理素子と、/エミュレーション・クロックのクロック・サイクルにおいて、選択された論理素子の部分集合によってエミュレートされた回路素子の信号状態値の記録を捉え、且つ走査バスに出力する部分走査レジスタと、/上記エミュレーション・クロックの上記クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、上記複数の論理素子と上記部分集合レジスタに結合した再構成可能なネットワークを含むことを特徴とするエミュレーションシステムに使用される集積回路。」

(イ) また、原告が上記第2次補正と同日付けで提出した意見書（甲58の4、乙18）には、以下の記載がある。

「請求項1～4及び8に係る発明は、集積回路において、部分走査レジスタと、論理素子の部分集合のみを上記部分走査レジスタに再構成可能に接続する再構成可能なネットワークを含むことを特徴の一つとしています。・・・これら部分走査レジスタ及び再構成可能なネットワークにより、走査レジスタ108と同様に、『（作動エミュレーション・ク

ロックに比例して) 適切に分割された周波数を持つ走査クロックを適用 (【0026】)』することにより、『ユーザーが負荷の多い再構成及び従来技術に固有の回路設計マッピングソフトの再コンパイルを必要とせずに、所与のクロック・サイクルに選択したLEのサブセットを動的に再構成して観察することを可能に』 (【0029】) するものです。すなわち、エミュレーション・クロックを適切に分周した走査 (判決注 ; 「操作」は誤記) クロックを部分走査レジスタに与えることにより、エミュレーション・クロックのそのクロック・サイクルにおいて、再構成可能なネットワークにより選択された論理素子の部分集合の信号状態値を、走査バスに出力するものであります。」 (〔意見の内容〕1頁)

「(15) 請求項7において『オペレーティング・クロックに適切に比例した走査クロック』を、『エミュレーション・クロックに対して適切に一定の割合で伸縮した走査クロック』と補正しました。詳細な説明では、『走査レジスタ』108の場合について、『適切に分割された周波数を持つ走査クロックの適用』 (【0026】) と記載しており、請求項7における部分走査レジスタの場合もこれと同様です。これで拒絶理由 (C10) は解消したものと確信いたします。」 (〔意見の内容〕4頁)

オ 特許庁審査官は、平成14年12月17日付けで拒絶査定をした (甲58の6, 乙17)。

カ 原告は、上記拒絶査定に対し、不服審判請求をした (不服2003-4831号)。

キ 原告は、平成15年4月23日付けで手続補正 (以下「本件補正」といい、その特許請求の範囲請求項1を「本件補正後請求項1」という。) を

し、同日付けで手続補正書（方式）を提出した。その手続補正書（方式）には、以下のとおりの記載がある。〔乙 16 の 1， 2〕

「本願につき、本理由補充書と同日付の手続補正書により、請求項 1 乃至 8 を補正し、引用例 1 との相違点を明確にした。請求項 1 に係る発明によれば、部分走査レジスタが『選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録を、エミュレーション・クロックの 1 クロック・サイクルにおいて捉え』ることができる。実施例においては、図 8 b に示されている通り、動的再構成ネットワーク 137 によって『最大 32 までの LE200 状態値の選択サブセットを部分走査レジスタ 135 に再構成可能に経路指定することができる』（【0027】）。したがって、『複数の信号状態値の記録』を捉えるために、エミュレーション・クロックを停止する必要はなく、エミュレーションを継続したまま『複数の信号状態値の記録』を捉えることができる。捉えられた『複数の信号状態値の記録』は、部分走査レジスタから走査バスへ出力することができる。・・・引用例 1 に開示された発明は、・・・つまり、複数の論理素子の複数の出力を 1 本のデータ線 S に出力する場合、システムクロックを一旦停止させて、複数の論理素子の行と列とを順次指定する必要がある。」

本件補正後請求項 1 の記載は以下のとおりである。

「集積回路設計の回路素子をエミュレートするように再構成可能であり、各々が複数の出力を有する複数の論理素子であって、上記論理素子に対応して与えられる複数の入力信号に応答して複数の出力信号を生成するように作動する複数の論理素子と、

選択された論理素子の部分集合によってエミュレートされた回路素子

の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、且つ走査バスに出力する部分走査レジスタと、

上記エミュレーション・クロックのクロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、上記複数の論理素子と上記部分走査レジスタに結合した再構成可能なネットワークを含むことを特徴とするエミュレーションシステムに使用される集積回路。」

ク 特許庁審判官は、原告に対し、平成16年3月5日付けで、請求項1，4，5，7，8の「上記エミュレーション・クロックのクロック・サイクル」及び請求項4の「上記複数の～信号」の記載が不明であるとして、特許法36条6項に定める要件を満たしていないとする拒絶理由通知をした（甲31，乙31）。

ケ 原告は、平成16年3月30日付けで意見書を提出し（甲58の7，乙33），また、同日付けで手続補正をし、特許請求の範囲の記載を末尾添付の特許公報記載のとおりとする補正をした（甲58の8，乙32）。

コ 特許庁審判官は、平成16年6月25日付け審決において、本件各発明を特許すべきものとした（甲58の9）。

(5) 被告の行為

被告は、業として、被告各製品の輸入及び販売を行っている。〔甲3，18，48〕。

(6) 被告各製品の構成（一部争いがある）

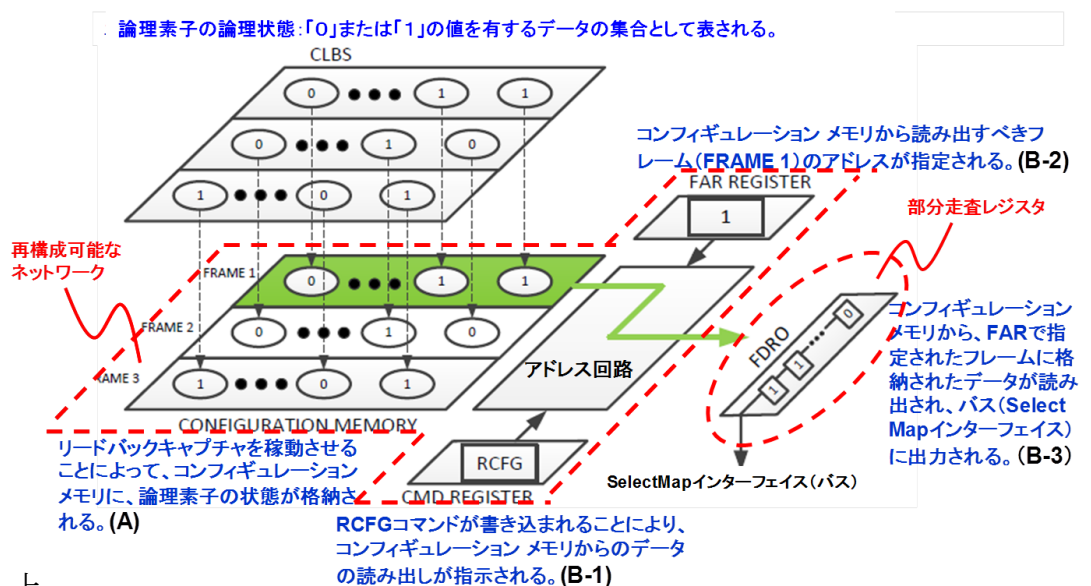
ア 被告各製品の構成及び動作は、別紙「被告各製品の構成及び動作の説明書」（以下「別紙構成説明書」という。）記載のとおりである（なお、争いのある部分に下線を付し、これについての被告の主張を被告の主張

欄に記載した。) 。

イ 被告各製品におけるダイナミックプローブとは、訴外米国法人X I L I N X 社（以下「ザイリンクス社」という。）製のF P G A 製品であるV i r t e x 5 又はV i r t e x 4 （以下、両者をまとめて「V i r t e x 」という。）が備える「リードバック（R e a d b a c k）」と呼ばれる機能（以下「リードバック機能」という。）を利用して、F P G A における各論理素子から出力された信号の信号状態値を捕捉することによって、F P G A の内部信号を観測可能にするツールである。

被告各製品におけるダイナミックプローブは、下記のとりの構成を有する。

記



上

記図において、「論理素子の論理状態：『0』または『1』の値を有するデータの集合として表される。」とされているのは、集積回路設計の回路素子をエミュレートする論理素子の論理状態を模式的に示したものである。リードバックキャプチャを実行することにより、まず、論理素

子（CLB）の論理状態の値が，コンフィギュレーションメモリに格納される（図の（A））。次に，FARレジスタにおけるフレームの指定に基づいて，コンフィギュレーションメモリに格納されたデータのうち，選択された論理素子に係るデータのみが，FPGA内部のレジスタであるFDRO（「Frame Data Register Output」の略）において捉えられ，バス（SelectMapインターフェイス）へと出力される（図（B-2）及び（B-3））。その際，FDROは，図中の「アドレス回路」を介して，コンフィギュレーションメモリ中の指定されたフレーム（及び当該フレームに対応する論理素子の部分集合）のみに接続される。〔当事者間に争いがない〕

ウ 被告各製品におけるフレキシブルプローブ（なお，被告製品3及び5については，原告はソフトウェアの更新によりフレキシブルプローブを追加可能であるとし，被告はこれを争っている。）とは，FPGAの論理素子アレイ上に形成された，測定対象となる論理回路（以下「デザイン」という場合がある。）から出力された信号をプローブ（探査）するための特別の論理回路（以下「トレーサ」という場合がある。）を，コンパイルの時にFPGAの論理素子アレイ上に設けることによって，デザインから出力された信号を観測可能にする機能である。

被告各製品におけるフレキシブルプローブは，別紙構成説明書の第2「被告各製品の動作」1ないし3記載の態様で作動する（以下，それぞれ「フレキシブルプローブ実施態様Ⅰ」ないし「フレキシブルプローブ実施態様Ⅲ」という場合がある。なお，上記実施態様についても，原告の主張欄に下線を付した部分以外は当事者間に争いがない。）。

(7) 争いのない構成要件充足性

被告各製品が、構成要件 1 A ないし 1 C， 5 A ないし 5 C， 7 A ないし 7 D， 7 H を充足することについては当事者間に争いが無い。

また、構成要件 1 F， 5 I については、被告において明らかに争うことをしない。

(8) 本件訴訟に先立ち、原告は、東京税関長に対し、被告製品 1 ないし 4 につき、関税法 69 条の 13 第 1 項に基づく輸入差止めの申立てをし、被告は利害関係人としてこれを争った。同手続において選任された専門委員 3 名は、被告各製品の構成要件充足性についての疎明に至っていないとし（甲 60〔平成 22 年 11 月 12 日付け意見書〕，乙 46〔平成 22 年 11 月 11 日付け意見書〕，乙 50〔平成 22 年 11 月 12 日付け意見書〕），東京税関長は、平成 22 年 12 月 6 日、原告の申立てにつき不受理と決定した。

(9) 原告は、平成 22 年 12 月 15 日付けで、本件訴訟を提起した。

3 争点

(1) 被告各製品は本件各発明の技術的範囲に属するか

ア 「選択された論理素子の部分集合によってエミュレートされた回路素子」
（構成要件 1 D， 5 F 及び 7 E）の充足性

イ 「エミュレーション・クロックの 1 クロック・サイクル」（構成要件 1 D， 5 F 及び 7 E）の充足性

ウ 「部分走査レジスタ」（構成要件 1 D， 5 F， 7 E 及び 7 F）の充足性

エ 「再構成可能なネットワーク」（構成要件 1 E， 5 G， 5 H 及び 7 G）
の充足性

(2) 構成要件 1 D， 5 F， 7 E 及び 7 F の「部分走査レジスタ」につき、被告各製品についての均等侵害の成否

- (3) 被告各製品は本件発明 3， 4 及び 6 の技術的範囲に属するか
(4) 本件特許が特許無効審判により無効にされるべきものと認められるか

ア 無効理由 1 (乙 1 [米国特許第 5 7 7 4 8 9 号公報。以下「乙 1 公報」という。]) を主引例とする進歩性の欠如)

イ 無効理由 2 (乙 3 4 [平成 1 1 年 (1 9 9 9 年) 3 月 2 1 日ザイリンクス社作成の「VIRTEX™ Configuration and ReadBack (Version 1.0)」と題する書面。以下「乙 3 4 文献」という。]) を主引例とする新規性または進歩性欠如：予備的主張 1 及び 2)

ウ 無効理由 3 (サポート要件違反：予備的主張 3 の一部)

エ 無効理由 4 (実施可能要件違反：予備的主張 3 の残りの一部)

- (5) 間接侵害の成否

被告各製品は，本件発明 5 及び 6 に係るエミュレーションシステムの「生産にのみ用いる物」（特許法 1 0 1 条 1 号）に当たるか

- (6) 損害発生の有無及びその額

第 3 争点に関する当事者の主張

- 1 争点 (1) ア (「選択された論理素子の部分集合によってエミュレートされた回路素子」〔構成要件 1 D， 5 F 及び 7 E〕の充足性) について

[原告の主張]

- (1) 本件各発明の構成要件 1 D， 5 F 及び 7 E の「選択された論理素子」とは，結果ないし状態を規定するものであり，この「選択」がどのように行われるかを特に限定するものではない。

すなわち，「選択された論理素子の部分集合によってエミュレートされた回路素子」について，実施例では，論理素子アレイ 1 0 2 の下流に位置する動的再構成ネットワーク 1 3 7 が信号の選択を行っているから，エミュレー

ション実行後に、観測対象とする論理素子を選択する実施形態も含まれると解すべきである。

(2) 被告各製品におけるダイナミックプローブにおいては、「FDRO」及び「バス」(SelectMapインターフェイス)は、それぞれ「部分走査レジスタ」及び「走査バス」に該当し、デザインがアクティブのとき、すなわちエミュレーションの実行中又は継続中にリードバックキャプチャを実行できるから、構成要件1D、5F及び7Eを充足する。

(3) ● (省略) ●

(4) ● (省略) ●

〔被告の主張〕

(1) 構成要件1D、5F及び7Eの「選択された論理素子」は、どのような内容を指すものか不明であるが、これは、エミュレーションに先立ち、エミュレーションを実行する論理素子の選択がされる構成に限定解釈すべきである。

すなわち、本件各発明は、①まず観測対象となる論理素子の部分集合の「選択」がされ、②選択された部分集合によって「エミュレート」され、③選択された部分集合の信号状態値が「捉え」られる(観測される)という順番で処理が行われることを要する。

(2) 被告各製品におけるダイナミックプローブにおいては、「選択された論理素子」の信号状態値ではなく、全ての論理素子の信号状態値がコンフィギュレーションメモリに格納され、また、論理素子の信号状態値を読み出す際に常にデザインクロックを止めるから、構成要件1D、5F及び7Eを充足しない。エミュレーションが実行中であることと、エミュレーション・クロックが停止するか否かは異なる概念である。

(3) ● (省略) ●

(4) ● (省略) ●

2 争点(1)イ (「エミュレーション・クロックの1クロック・サイクル」〔構成要件1 D, 5 F 及び7 E〕の充足性) について

〔原告の主張〕

(1) 構成要件1 D, 5 F 及び7 Eには, エミュレーション・クロックを停止させるか否かについては何ら規定されていない。原告が, 平成15年4月23日付けでした本件補正の際に提出した手続補正書(方式)(乙16の2)において, 引用例1には存在しない本件各発明の特徴点として述べたのは, 複数のデータ入力線を有する部分走査レジスタを設けたことにより, 複数の信号状態値を同時に捉えられる部分走査レジスタの存在であって, エミュレーション・クロックを一切停止させない構成が引用例1との相違点として必須であることではない。

(2) 「エミュレーション・クロックの1クロック・サイクルにおいて捉え, そして走査バスに出力する」における「1クロック・サイクル」とはクロックの連続した立ち上りエッジの間の期間を意味するものである。そして, 本件各発明においてエミュレーション・クロックが停止する構成を除外していないことは本件明細書等の段落【0011】の記載からも明らかである。仮にエミュレーション・クロックが一時的に停止したとしても, エミュレーションを再開できるような場合には構成要件1 D, 5 F 及び7 Eにつき非充足とすべきではない。

(3) 構成要件1 D, 5 F 及び7 Eにおいて, 捉えた複数の信号状態値の記録を走査バスに出力する処理については, 必ずしも1クロック・サイクルにおいて完了する必要はない。構成要件1 D, 5 F 及び7 Eの文言は, 「部分走査レジスタ」に該当する構成が各クロック・サイクルにおいてエミュレートさ

れた信号状態値の記録を漏れなく捉えて走査バスに出力することを意味するものである。

〔被告の主張〕

- (1) 原告は、平成15年4月23日に行った本件補正において、請求項1に「エミュレーション・クロックの1クロック・サイクルにおいて」との限定を加えている（本件補正後請求項1）。そして、同日付け手続補正書（乙16の2）において、「引用例1との相違点を明確にした。」として、「したがって、『複数の信号状態値の記録』を捉えるために、エミュレーション・クロックを停止する必要はなく、エミュレーションを継続したまま『複数の信号状態値の記録』を捉えることができる。」と主張している。この主張が、引用例1との対比において主張されたものであることからすると、システムクロック（すなわちエミュレーション・クロック）を停止させる必要があるものは、本件各発明の技術的範囲から除外されるべきことを原告自身が認めているといえる。

また、原告は、第2次補正と同日である平成14年7月2日付け意見書（乙18）においても、「エミュレーション・クロックを適切に分周した走査（判決注；「操作は誤記」）クロックを部分走査レジスタに与えることにより、エミュレーション・クロックのそのクロック・サイクルにおいて、再構成可能なネットワークにより選択された論理素子の部分集合の信号状態値を、走査バスに出力するものであります。」と主張している。

出願経過における原告のかかる主張を考慮すれば、複数の信号状態値の記録を捉える際に、エミュレーション・クロックを停止する必要があるものは、本件各発明の技術的範囲に含まれないことになる。また、信号状態値の記録を捉える処理と走査バスへ出力する処理の両者がエミュレーション・クロッ

クの１クロック・サイクル内で完結しないものも、本件各発明の技術的範囲には含まれないことになる。

また、そもそも「クロック（信号）」とは、「イベントの同期化に使用される周期的な信号」（甲３０）とされているとおり、「周期的な信号」を意味するのであって、停止時間を含むような周期が不確定な信号は、「クロック（信号）」に含まれない。

(2) 被告各製品においてエミュレーション・クロックは停止する場合があるから、構成要件１Ｄ、５Ｆ及び７Ｅを充足しない。

3 争点(1)ウ（「部分走査レジスタ」〔構成要件１Ｄ、５Ｆ、７Ｅ及び７Ｆ〕の充足性）について

〔原告の主張〕

構成要件１Ｄ、５Ｆ、７Ｅ及び７Ｆの文言上、「部分走査レジスタ」は、選択された論理素子の部分集合によってエミュレートされた回路素子の信号状態値を記録することのできるものであれば足りるから、これを備える被告各製品は構成要件１Ｄ、５Ｆ、７Ｅ及び７Ｆを充足する。

本件明細書等の段落【００２８】及び【図８ｂ】において、「部分走査レジスタ」として複数のフリップフロップが鎖状に接続された構成が記載されているが、これらは、あくまでも「本発明の一実施形態」を記述しているものにすぎないから、構成要件１Ｄ、５Ｆ、７Ｅ及び７Ｆの「部分走査レジスタ」がその構成に限定される理由はない。

〔被告の主張〕

本件各発明においては、単に「レジスタ」とは規定せず、あえて「部分走査レジスタ」と規定していること、原告は、本件特許の審査過程における本件事務説明書（乙６）において、複数のフリップフロップが鎖状に連結され

た構成を開示した6件もの文献について「走査レジスタ」を開示したものと
して挙げていること、本件各発明の技術分野において、「スキャン」、つま
り、「走査」とは、複数のフリップフロップを鎖状に接続した構成において
テストを行うことを意味すること等を考慮すると、本件各発明における「部
分走査レジスタ」とは、本件明細書の【図8b】にあるとおり、集積回路の
内部状態を可観測にすべく鎖状に連結された複数のフリップフロップを含む
構成である、並列（パラレル）入力ー直列（シリアル）出力のものを意味す
ると解すべきである。

●（省略）●

4 争点(1)エ（「再構成可能なネットワーク」〔構成要件1E、5G、5H及 び7G〕の充足性）について

〔原告の主張〕

- (1) 本件明細書等の段落【0011】には、「回路素子のエミュレーションは、
動的再構成ネットワーク137を動的再構成するために休止したり（しなか
ったり）する必要があるかもしれない」と記載されており、構成要件1E、
5G、5H及び7Gに関して、エミュレーション・クロックが一時停止され
る場合もあり得ることが示唆されている。ここで「再構成可能に接続する」
とは、「部分走査レジスタ」が、論理素子のある部分集合のみに係る信号状
態値の記録を捉えることが可能な状態から、別の（又は同一の）部分集合の
みに係る信号状態値の記録を捉えることが可能な状態へと構成することが
（2度以上）可能であることを意味する。また、構成要件1Eにおける「エ
ミュレーション・クロックの1クロック・サイクルにおいて」、「再構成可
能に接続する」とは、上記意義を有する「接続」の「再構成」が、エミュレ
ーション・クロックの1クロック・サイクルにおいて可能であることを意味

するものである。

- (2) 被告各製品のダイナミックプローブにおいては、コンフィギュレーションメモリ、FARレジスタ、CMD (C o m m a n d) レジスタ、及びアドレス回路は、本件各発明の「再構成可能なネットワーク」に該当するから、構成要件1 E, 5 G, 5 H及び7 Gを充足する。
- (3) フレキシブルプローブの実施態様 I においては、再コンパイルをすることなく論理素子の部分集合の接続を変更しており、また、被告各製品におけるクロックの停止（乙20の2）は一時停止にすぎず、その直前までエミュレーションは実行されていたから、構成要件1 E, 5 G, 5 H及び7 Gを充足する。
- (4) ●（省略）●
- (5) ●（省略）●

〔被告の主張〕

- (1) 本件明細書等の段落【0011】の記載を考慮すると、「選択された論理素子の部分集合のみに再構成可能に接続する」とは、部分走査レジスタを、複数の論理素子のうち、ある部分集合のみに接続した状態から、他の部分集合のみに接続した状態へと繋ぎ替えることが可能であり、かつ、このような繋ぎ替えの際、集積回路を再コンパイルする必要がないことをいうと解すべきである。さらに、請求項1の記載から、「再構成可能なネットワーク」は、「エミュレーション・クロックの1クロック・サイクルにおいて」、部分走査レジスタを論理素子の部分集合に「再構成可能に接続する」ものでなければならない。

さらに、本件各発明は、デバッグ中にエミュレーションを継続したまま、エミュレーション・クロックを停止する必要がない点に特徴を有する。

以上をまとめると、「再構成可能なネットワーク」とは、①部分走査レジスタを、複数の論理素子のある部分集合のみに接続した状態から、他の部分のみに接続した状態へと繋ぎ替えるものであり、②上記①の繋ぎ替えを行う際に、集積回路を再コンパイルする必要がなく、かつ、③上記①の繋ぎ替えが、エミュレーションを継続したまま、エミュレーション・クロックを停止することなく、エミュレーション・クロックの1クロック・サイクルで行われる、という特徴を全て備えるものと解される。

本件各発明は、「部分走査レジスタ」が、複数の信号状態値の記録を捉え、走査バスに出力する処理（構成要件1D）と、「再構成可能なネットワーク」が、複数の論理素子と部分走査レジスタとの間を再構成可能に接続させる処理（構成要件1E）の両者が、どちらも「エミュレーション・クロックの1クロック・サイクルにおいて」完了するよう構成されている点に特徴を有する。上記繋ぎ替えがエミュレーション・クロックの1クロック・サイクルの時間内で完結しなければ、エミュレーション・クロックを停止せずに処理を続けることはできない。本件明細書等の段落【0011】に記載されたエミュレーションを休止するような態様は、審査経過において原告がこれを除外したものと解されるものである。

- (2) 被告各製品のダイナミックプローブにおいては、論理素子とコンフィギュレーションメモリとの間の繋ぎ替え処理がそもそも存在せず、FDROは全ての論理素子に繋がるから部分集合のみに接続するものでなく、コンフィギュレーションメモリから状態値を読み出す際にはエミュレーション・クロックが停止されるから、構成要件1E、5G、5H及び7Gを充足しない。
- (3) ●（省略）●
- (4) ●（省略）●

(5) フレキシブルプローブの実施態様Ⅲにおいては、ユーザーがトレーサのオン／オフを切替えるためには、エミュレーション・クロックを停止（原告のいう「休止」）させる必要がある。このときの停止前後におけるエミュレーション・クロック信号の立ち上がりエッジ間を「1クロック・サイクル」とは解し得ないから、同実施態様は構成要件1 E， 5 G， 5 H及び7 Gを充足しない。

5 争点(2)（構成要件1 D， 5 F， 7 E及び7 Fの「部分走査レジスタ」につき、被告各製品についての均等侵害の成否）について

〔原告の主張〕

(1) 被告は、「部分走査レジスタ」とは、複数のフリップフロップが鎖状に結合された特定の構成に限定されると主張するところ、これによると、被告各製品のレジスタが、「部分走査レジスタ」に該当しない可能性はある。

しかし、後記(2)以下において詳述するとおり、この場合も、①「部分走査レジスタ」は本件各発明の本質的部分ではなく、②「部分走査レジスタ」を被告各製品のレジスタに置き換えても、本件各発明の目的を達することができ、同一の作用効果を奏するものであって、③上記のように置き換えることに、本件各発明の属する技術の分野における通常の知識を有する者が、被告各製品の製造の時点において容易に想到することができたものであり、④被告各製品が、本件各発明の優先権主張日における公知技術と同一または当業者がこれから上記優先権主張日に容易に推考できたものではなく、かつ、⑤被告各製品が本件各発明の特許出願手続において特許請求の範囲から意識的に除外されたものに当たるなどの特段の事情もないため、被告各製品のレジスタは、本件各発明における「部分走査レジスタ」と均等というべきであり、したがって、均等侵害が成立する。

(2) 第1要件（非本質的部分性）

特許発明の本質的部分とは、明細書の特許請求の範囲に記載された構成のうち、当該特許発明特有の解決手段を基礎付ける技術的思想の中核をなす特徴的部分をいうと解される。

●（省略）●

したがって、本件各発明特有の解決手段を基礎付ける技術的思想の中核をなす特徴的部分は動的再構成可能ネットワークであって、「部分走査レジスタ」は本件各発明の本質的部分ではない。

なお、被告は、「部分走査レジスタ」は本件各発明の本質的部分に含まれる旨主張するが、「部分走査レジスタ」を具体的にどのように構成するかは当業者にとって自明であり、「部分走査レジスタ」の構成は本件各発明の本質的部分たり得ない。

(3) 第2要件（置換可能性）

構成要件1Cにおいて「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え、そして走査バスに出力する部分走査レジスタ」とされたとおり、本件各発明において「部分走査レジスタ」が果たす機能は、選択された論理素子の部分集合によってエミュレートされた信号状態値の記録を捉え、走査バスに出力することである。

●（省略）●

そうすると、「部分走査レジスタ」を被告各製品におけるレジスタに置換しても、再コンパイルを行うことなくエミュレータ内の可視点を動的に変えることが可能となるという作用効果が奏されることに相違はない。

したがって、「部分走査レジスタ」を被告各製品のレジスタに置き換えても、本件各発明の目的を達することができ、同一の作用効果を奏するものである。

(4) 第3要件（置換容易性）

●（省略）●

(5) 第4要件（対象製品等の公知技術との同一性または容易推考性）

●（省略）●

したがって、被告各製品は、本件各発明の優先権主張日における公知技術と同一または当業者がこれから上記優先権主張日に容易に推考できたものではない。

(6) 第5要件（意識的除外等の特段の事情）

被告各製品が本件各発明の特許出願手続において特許請求の範囲から意識的に除外されたものに当たるなどの特段の事情は存在しない。

仮に被告が主張するように、本件特許の審査経過において、原告は、複数のフリップフロップが鎖状に連結された構成のみを挙げ、これらが本件各発明の「走査レジスタ」に相当することを認めていたとしても、複数のフリップフロップが鎖状に連結された構成以外の構成が意識的に除外されたと評価することはできない。

●（省略）●

よって、均等の第5要件も充足される。

〔被告の主張〕

原告は均等侵害を主張するが、「部分走査レジスタ」が本件各発明の本質的部分に含まれることは明らかであるから、均等の第1要件を満たさず、均等侵害の主張は成り立たない。

6 争点(3)（被告各製品は本件発明3，4及び6の技術的範囲に属するか）について

〔原告の主張〕

(1) 本件発明3

ア 構成要件3Aに規定する「トリガ回路」とは、所定の条件を満たす入力に応じて所定の動作（出力等）を行う回路をいうところ、被告各製品に

においては、複数の論理素子を含むDUTからの出力（信号状態値）とコンパレーターの値とに基づいて、トリガ信号（トリガ値）を生成するトリガ回路機構を含んでいる。

被告各製品は、構成要件1A及び1Bに係る「複数の論理素子」の複数の信号状態値の少なくとも一部に基づいてトリガ値を条件付きで生成するトリガ回路を含んでいるといえるから、構成要件3Aを充足する。

イ 構成要件3Bは、「請求項1に記載の集積回路。」であるところ、被告各製品が本件発明1の構成要件を充足することは前記のとおりである。

よって、被告各製品は構成要件3Bを充足する。

(2) 本件発明4

ア 被告各製品のDUT内の論理素子は、例えば、FPGAからハードドライブ又はテストベンチへ信号を送信するため、多数の集積回路出力に接続されており、相互接続ネットワークを含むものである。被告各製品は、構成要件1A及び1Bに係る複数の論理素子及び複数の集積回路出力に結合されたネットワークを含んでいるから、構成要件4Aを充足する。

イ 被告各製品に搭載されたFPGAの入力／出力タイルは、再コンパイル可能命令セットに基づき、構成要件1A及び1Bに係る複数の論理素子及び上記複数の集積回路出力に信号を経路指定するように作動する機能を含んでおり、構成要件4Bを充足する。

ウ 構成要件4Cは「請求項1に記載の集積回路。」であり、被告各製品が本件発明1の構成要件を充足することについては前記のとおりである。

(3) 本件発明6

構成要件6Aは、構成要件3Aと同様であり、構成要件6Bは「請求項5に記載のエミュレーションシステム」であるから、これらの充足性は前記

のとおりである。

よって、被告各製品は本件発明 6 の技術的範囲に属する。

〔被告の主張〕

本件発明 3，4 及び 6 は、いずれも本件発明 1 及び 5 に所定の構成要件を付加したものであるが、被告各製品は本件発明 1 及び 5 の構成要件を充足しないから、本件発明 3，4 及び 6 の技術的範囲に属しない。

7 争点(4)ア（無効理由 1〔乙 1 公報を主引例とする進歩性の欠如〕）について

〔被告の主張〕

(1) 乙 1 公報（米国特許第 5 7 7 4 8 9 号）に記載された発明（以下「乙 1 発明」という。）と本件発明 1 とを対比すると、以下の相違点 1 ないし 3 において相違し、その余については一致する。

（相違点 1）

捉えられる信号状態値が、全ての信号状態値であって、「選択された論理素子の部分集合」からの出力ではない点

（相違点 2）

走査レジスタの出力先は走査バスであることが明記されていない点

（相違点 3）

エミュレーション・クロックの 1 クロック・サイクルにおいて、部分走査レジスタを選択された論理素子の部分集合のみに再構成可能に接続するネットワークを備えていない点

(2) 上記相違点 1 について、乙 2（片山勝ら「通信処理用エミュレータのプログラマブル信号プローブ法」1998 年〔平成 10 年〕12 月 10 日発行。以下「乙 2 文献」という。）には、プログラマブルスイッチ部が 84

0 b i t の観測信号の中から 1 2 8 b i t を選択的に出力し F I F O に捉える技術（以下「乙 2 技術」という。）が記載されており，これを適用し得る。組み合わせの動機付けとしても，選択された論理素子の部分集合からの出力を観測する課題は周知である。

相違点 2 については，一般的な技術の採用にすぎず，格別のものではない。

相違点 3 については，乙 2 文献記載のプログラマブルスイッチ部は，本件発明 1 の再構成可能なネットワークに相当し，リアルタイムでプローブが可能であることから，当然エミュレーション・クロックの 1 クロック・サイクルと同等以上に早く動作する。そして，乙 2 技術は，再コンパイルの必要性を減少させる点で乙 1 発明と共通の課題を有するものである。

本件発明 3 ないし 7 は，本件発明 1 に周知慣用な構成を付加するなどしたものにすぎず，これらについても同様である。

- (3) そうすると，本件特許は特許法 2 9 条 2 項に規定する進歩性の要件を欠き，同法 1 2 3 条 1 項 2 号に定める無効理由を有し，特許無効審判により無効にされるべきものであるから，原告は，同法 1 0 4 条の 3 第 1 項により権利を行使することができない。

〔原告の主張〕

- (1) 乙 1 発明と本件発明 1 とにおいて，相違点 1 ないし 3 において相違し，その余については一致することは認める。
- (2) 相違点 1 については，乙 2 文献に記載されていると被告が主張する乙 2 技術は，F P G A 間の分岐点における信号を F P G A の外部からプローブするものであるから，乙 1 発明とは技術分野も技術的意義も異なる。

相違点 2 について，乙 1 公報には「コンテキストバス」の開示はあっても，「走査バス」の開示はないから，一般的な技術の採用ということでは

きない。

相違点3については、乙1発明は全ての信号状態値を捉えるものであるから、乙2技術を組み合わせるべき理由はなく、また、乙1発明に乙2技術を組み合わせることには回路設計上の阻害要因がある。

8 争点(4)イ（無効理由2〔乙34文献を主引例とする新規性または進歩性欠如〕）について

〔被告の主張〕

(1) 仮に原告が主張するようにリードバック機能が本件各発明の技術的範囲に含まれるとする構成要件の拡張解釈が許され、かかる拡張解釈と同様に本件各発明の要旨が認定されるのであれば、以下のとおり、本件発明1は乙34文献記載の発明（以下「乙34発明」という。）と同一ということになり、特許法29条1項3号の規定により特許を受けることができないものとなる。

ア 乙34文献には、集積回路設計の回路素子の動作を模倣する機能を有する、再構成可能なFPGAが記載されており、構成要件1Aが記載されている。そして、乙34文献には同記載のFPGAがCLBを備えることが記載され（16頁左欄5行等）、ここで乙37（平成11年〔1999年〕ザイリンクス社作成にかかる「The Programmable Logic Data Book」〔Version1.2〕と題する書面。以下「乙37文献」という。）の3－7頁右欄の「Configurable Logic Block」セクション及び3－8頁図4等の記載をみると、この各CLBは、複数の入力と複数の出力を有するSliceを二つ含むことが知られていたものということができる。

よって、乙34文献には、各々が複数の出力を有する複数のCLBが

実質的に記載されていることになり，構成要件 1 B が実質的に記載されているといえる。

イ 構成要件 1 C については，乙 3 4 文献には，C L B を備えることが記載されており，乙 3 7 文献の 3－7 頁右欄の「Look-Up Tables」セクション等にも示されているとおり，各 C L B は，L U T を含むことが知られていた。

よって，乙 3 4 文献には，複数の入力信号に応答して複数の出力信号を生成するように作動する C L B が実質的に記載されていることになり，構成要件 1 C が実質的に記載されているといえる。

ウ 乙 3 4 文献には，リードバック機能を備え，F D R O レジスタを備える F P G A が記載されている。すなわち，乙 3 4 文献には，F D R O レジスタが，リードバック時にコンフィギュレーションメモリからフレームデータを読み込むための出力パイプラインステージであること（1 2 頁左欄 1 ないし 3 行），リードバックの際，F D R O レジスタへ読み出されるフレームの開始アドレスが F A R レジスタに設定されること（1 7 頁の図 1 4，同頁右欄 1 2 ないし 1 3 行），S e l e c t M A P インターフェイスでリードバックを使用できること（1 6 頁左欄 7 ないし 8 行）等が記載されている。

よって，乙 3 4 文献には，F D R O レジスタが選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録をエミュレーション・クロックの 1 クロック・サイクルにおいて捉え，当該記録を S e l e c t M A P データバスへと出力していることになるので，構成要件 1 D が記載されていることになる。

エ 乙 3 4 文献には，コンフィギュレーションメモリ，F A R，C M D，及びアドレス回路を備えることが記載されている。同文献には，リード

バックキャプチャを実行することにより，CLBの論理状態の値がコンフィギュレーションメモリにロードされること（16頁左欄2ないし6行及び同頁左欄14ないし17行），FDROレジスタへ読み出されるフレームの開始アドレスがFARレジスタに設定されること（17頁の図14及び表13，同頁右欄12ないし13行），RCFGコマンドをCMDレジスタにロードして，FPGAをリードバック用に設定すること（17頁右欄17ないし18行），所定の読込みヘッダでFDROレジスタをアドレスすること（17頁右欄18ないし20行）等が記載されている。したがって，コンフィギュレーションメモリ，FAR，CMD，及びアドレス回路を備えているといえる。

よって，乙34文献には，構成要件1Eの「再構成可能なネットワーク」に該当する構成が記載されていることになる。

オ 乙34文献に明記はされていないが，FPGAとは，そもそも，コンピュータハードウェアのエミュレータに使用されることを主な用途の一つとする集積回路である。

よって，乙34文献には，構成要件1Fが実質的に記載されている。

カ 以上のとおり，本件発明1の構成要件1Aないし1Fは，乙34文献に明示的に又は実質的に記載されていることになるので，本件発明1は乙34発明と同一であり，特許法29条1項3号に規定する新規性の要件を欠く。

そうすると，本件特許は同法123条1項2号に定める無効理由を有し，特許無効審判により無効にされるべきものであるから，原告は，同法104条の3第1項により権利を行使することができない。

(2) 本件発明1，3ないし7は，以下のとおり，乙34発明に乙1発明を適用することにより，当業者が容易に発明をすることができたものであるから，特許法29条2項の規定により特許を受けることができないものであ

る。

ア 乙34発明と本件発明1との対比は前記(1)のとおりであり、乙34発明には構成要件1B、1C及び1Fについて明示的には記載されていないから、仮にこれらの点において乙34発明と本件発明1とが相違するとしても、当該相違点にかかる技術的事項は乙1発明に開示されている。

乙34発明と乙1発明はともに集積回路設計の回路素子をエミュレートするように再構成可能なFPGAに関するものであり、両者は技術分野が共通するので、乙34発明に乙1発明を適用する動機付けが存在する。そして、乙34発明に乙1発明を適用して、乙34文献記載のFPGAのCLBの各々が複数の出力を有し（構成要件1B）、複数の入力信号に応答して複数の出力信号を生成するように作動する（構成要件1C）ものとするとともに、そのFPGAをエミュレーションシステムに使用すること（構成要件1F）は、当業者が容易に想到し得たことである。

イ 構成要件3Aは、「上記論理素子に結合され、上記論理素子の上記複数の信号状態値の少なくとも一部に基づき、少なくとも1つのトリガ値を条件付きで生成するように作動するトリガ回路を更に含むことを特徴とする」とするところ、乙34文献には、リードバックにおいてトリガが使用されることは記載されているが（同16頁の図13）、その詳細までは記載されていない。そうすると、乙34発明は、上記のほか、構成要件3Aが記載されていないという点で本件発明3と相違するが、この点について乙1発明には構成要件3Aの内容が開示されているから、乙34発明に乙1発明を適用して、トリガ回路（構成要件3A）を含むよう構成することは、当業者が容易に想到し得たものである。

ウ 構成要件4Aは、「上記複数の論理素子及び複数の集積回路出力に結

合された相互接続ネットワークを更に含み，」であり，構成要件４Ｂは，「上記相互接続ネットワークは，上記相互接続ネットワークを構成する再コンパイル可能命令セットに基づき，上記複数の論理素子及び上記複数の集積回路出力に信号を経路指定するように作動することを特徴とする」である。乙３４文献にはこれらの構成について特段記載されていない。そうすると，乙３４発明は，上記の相違点のほか，構成要件４Ａ及び４Ｂが記載されていないという点で，本件発明４と相違する。しかし，乙１発明には，所定の命令セットに基づいて信号の経路指定をすることを除き構成要件４Ａ及び４Ｂが開示されている。また，所定の命令セットに基づいて信号の経路指定をすることは，エミュレーションシステムの技術分野においてごく一般的に行われている周知技術にすぎず，格別のものではないから，乙３４発明に乙１発明及び上記周知技術を適用して，相互接続ネットワーク（構成要件４Ａ及び４Ｂ）を含むよう構成することは，当業者が容易に想到し得たものである。

エ 本件発明５は実質的に，本件発明１の集積回路を含むエミュレーションシステムであるが，集積回路を除いた構成要素については，周知慣用されている構成を付加したものにすぎない。また，本件発明６は，実質的に本件発明３の集積回路を含むエミュレーションシステムであるが，本件発明５と同様に，集積回路を除いた構成要素については，周知慣用されている構成を付加したものにすぎない。さらに，本件発明７も，実質的に本件発明１の集積回路を含むエミュレータ基板であり，本件発明５と同様に集積回路を除いた構成要素については，周知慣用されている構成を付加したものにすぎない。

よって，本件発明５ないし７も，乙３４発明に，乙１発明及び周知慣用技術を適用することによって，当業者が容易に想到し得たものである。

オ 以上のとおり，本件発明１，３ないし７は，特許法２９条２項に規定

する進歩性の要件を欠く。そうすると、本件特許は同法１２３条１項２号に定める無効理由を有し、特許無効審判により無効にされるべきものであるから、原告は、同法１０４条の３第１項により権利を行使することができない。

〔原告の主張〕

FPGAをエミュレーションに用いることは、FPGAの利用態様として当然に予定されているものではない。乙３４文献にはエミュレーションシステムに係る記載が全く見られず、乙３４文献に記載のFDROレジスタは、全てのデータを読み出すものであって、選択されたデータを読み出すものではない。また、リードバック機能を駆動するクロック信号はエミュレーション・クロックではないから、エミュレーション・クロックの１クロック・サイクルにおける制御を開示しない。

そうすると、これに基づき本件各発明が想到容易であるということとはできず、特許無効審判により無効にされるべきものであるとはいえない。

９ 争点(4)ウ（無効理由３〔サポート要件違反〕）について

〔被告の主張〕

原告は、本件各発明の解釈につき、「部分走査レジスタ」は、「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録を捉えて、当該信号状態値を可観測にし得るレジスタを意味すると主張するが、仮に、原告の主張のとおり本件各発明の要旨を認定した場合にはサポート要件を満たさないことになる。すなわち、本件明細書等の発明の詳細な説明の欄には、「部分走査レジスタ」の具体的な実施例として、鎖状に連結された複数のフリップフロップを含む構成についてのみ開示されているが、これ以外の構成については何ら記載されていない。そして、本件明細書等の記載や優先日当時の技術

常識上、部分走査レジスタの具体的構成を、鎖状に連結された複数のフリップフロップを含む構成以外の構成にまで拡張解釈することが許される事情があるとは到底認められない。

そうすると、本件明細書等の発明の詳細な説明は、鎖状に連結された複数のフリップフロップを含む構成以外の構成についての裏付けを欠くため、特許法 36 条 6 項 1 号に規定するサポート要件を満たしていないことになる。

よって、本件特許は特許法 123 条 1 項 4 号に定める無効理由を有し、特許無効審判により無効にされるべきものであるから、原告は、同法 104 条の 3 第 1 項により権利を行使することができない。

〔原告の主張〕

否認ないし争う。鎖状に連結された複数のフリップフロップに限定する意図を有していないからこそ、「鎖状に連結された複数のフリップフロップ」ではなく「部分走査レジスタ」という文言を本件明細書等において使用しているものである。

したがって、被告の主張は前提を欠くというべきである。

10 争点(4)エ（無効理由 4〔実施可能要件違反〕）について

〔被告の主張〕

本件各発明に係る特許において、「部分走査レジスタ」として、鎖状に連結された複数のフリップフロップを含む構成以外の構成を適用したときに、どのように部分走査処理を実現すればよいのかについて、本件明細書等の発明の詳細な説明には何ら記載がされていない。また、鎖状に連結された複数のフリップフロップを含む構成以外の構成で部分走査処理を実施することが、本件各発明の優先日当時、技術常識であったことを示す事情

も存在しない。したがって、本件明細書等の発明の詳細な説明の記載は、明細書による裏付けを欠く部分について、当業者が実施可能な程度に明確かつ十分に記載されているとはいえない。

そうすると、本件特許は平成14年法律第24号による改正前の特許法36条4項に規定する実施可能要件を満たしておらず、同法123条1項4号に定める無効理由を有し、特許無効審判により無効にされるべきものであるから、原告は、特許法104条の3第1項により権利を行使することができない。

〔原告の主張〕

否認ないし争う。前記9〔原告の主張〕と同様であり、被告の主張は前提を欠くというべきである。

1 1 争点(5)（間接侵害の成否）について

〔原告の主張〕

本件発明5及び6に関しては、被告各製品は、少なくとも本件発明5または6に係るエミュレーションシステムの「生産にのみ用いる物」に該当するため、被告が業として被告各製品の譲渡、輸入、貸渡し又は譲渡若しくは貸渡しの申出をする行為は、本件特許権を侵害するものとみなされる（特許法101条1号）。

〔被告の反論〕

否認ないし争う。

1 2 争点(6)（損害発生の有無及びその額）について

〔原告の主張〕

被告は、業として被告各製品の輸入、販売及び貸渡し行為を行っており、被告が本件特許権の設定登録日である平成16年8月20日から本件訴え提

起の日である平成22年12月15日までに輸入、販売及び貸し渡した被告各製品の売上総額は、32億円を下らない。

原告は特許法102条3項に基づき本件特許権の実施料相当額を損害額として賠償請求するものであるところ、本件特許権の実施料率は10%を下らないから、被告の本件特許権侵害行為による原告の損害額は3億2000万円を下らない。

さらに、原告は、被告の本件特許権侵害行為により本件訴訟を提起せざるを得なくなり、弁護士費用の支出を余儀なくされた。その額は、1000万円を下らない。

上記を合計すると、被告による本件特許権の侵害による原告の損害額は3億3000万円を下らない。

〔被告の主張〕

否認ないし争う。

第4 当裁判所の判断

- 1 争点(1)ウ（「部分走査レジスタ」（構成要件1D，5F，7E及び7F）の充足性）について

(1) 本件明細書等の記載内容

本件特許に係る特許請求の範囲請求項1，3ないし7の内容は前記第2，2(3)記載のとおりであるところ、本件明細書等には、発明の詳細な説明及び図面として、以下の記載がある。

ア 発明の詳細な説明

「2. 背景情報

回路設計をエミュレートするエミュレーションシステムは、当分野では周知である。通常、従来のエミュレーションシステムは、汎用の統合デバッグ機能のないフィールド・プログラマブル・ゲートアレイ

(FPGA) を用いて形成されている。エミュレートされる回路設計は、回路設計の『公式的』記述をコンパイルするとともに、回路設計をFPGAの論理素子(LE) (組合せ論理ブロック (CLB) としても知られる) 上へに(判決注; ママ) マッピングすることによって、エミュレーションシステム上に『実現』される。これら汎用フィールド・プログラマブルゲートアレイは、そのエミュレーションシステムへの適用に関する限り、多くの不利な点を抱えている。第一に、FPGAの内部にマップ化されている個々のノードにおける信号の状態が、直接的に観察できないということであり、これは、『隠された』ノードと呼ばれる。この『隠された』ノードにおける信号の状態を観察可能にするためには、信号をFPGAの外に出し、ロジック・アナライザに入れるFPGAの再構成が必要である。それには、膨大な時間を費やす再コンパイルを必要とする。加えて、検査システム、例えばロジック・アナライザによって観察可能(追跡可能)なポート/ノードに信号を持込むために、通常、多数のFPGAのI/O が占有される。更に、経路選定すべき付加的信号により、信号経路選定の輻輳が増加される。最後に、時間に鋭敏なアプリケーションに関しては、読取りをトリガするイベントが検出される前に、信号をFPGAの外へ取出さなければならないので、あるイベントの発生に応答して信号が読取られるものとする、と、『隠された』ノード上の信号が、正しい時刻に読取られたか否かを知ることは困難である。エミュレータが複雑化するにつれ、FPGAのネットワーク及び相互接続した追跡も増加し、上記の問題は一層悪化する。監視追跡に要する時間が複雑化を伴いどこまでも増えるにつれ、エミュレーションが実行できる頻度は、容認できないレベルにまで減少する。」(段落【0003】)

「従って、必要とされるものは、一旦隠されたノードに容易にアク

セスできるとともに、再構成の必要を減少させながら追跡することによって、許容できるエミュレーション頻度でエミュレーションすることを容易にする統合デバッグ機能を備えた再構成集積回路である。」
(段落【０００４】)

「発明の要旨

本発明の教示に基づき、エミュレーションシステムに使用される統合デバッグ機能を備えた再構成集積回路（ＩＣ）が説明される。特に、本発明の第１実施形態によれば、集積回路は、複数の出力及び部分走査レジスタを各々有する複数の論理素子（ＬＥ）を含むものとして説明される。複数のＬＥは、ＬＥに対応して与えられる複数の入力信号に応答し複数の出力信号を生成するように作動する。部分走査レジスタは、ＬＥの選択された１つに再構成可能に結合され、使用可能とされた場合には、オペレーティング・クロックの特定クロック・サイクルにおいて、選択されたＬＥによりエミュレートされた信号状態値回路素子の記録を捉えて走査バスに出力するよう作動し、そこにおいて、部分走査レジスタは、オペレーティング・クロックに適切に比例した走査クロックの印加により使用可能とされる。」（段落【０００５】）

「図１を参照すると、本発明の教示を組み込んだ再構成集積回路１００の例に関するブロック図が示されている。以下の説明から明らかになるように、再構成回路１００は、本発明の教示を除き、本技術分野において周知である多数の再構成回路のいずれをも意味するように意図されている。例えば一実施形態では、再構成回路１００は、本発明の教示を組み込んで強化された再構成回路である。本発明の一実施形態によれば、再構成回路１００は、単一の集積回路に配置され、機能強化されたＬＥ１０２のアレイを含む。機能強化されたＬＥ１０２は、種々の回路設計素子を『実現』するために使用され、革新的なデ

バッグ特性を含む。」（段落【０００７】）

「加えて、更に有利なことに再構成回路１００は、機能強化されたＬＥ１０２に結合された、オンチップのコンテキスト・バス１０６、走査レジスタ１０８、及びトリガ回路素子１１０を含んでいる。以下に更に詳細に開示するように、コンテキスト・バス１０６は、ＬＥに値を入力し、更に、そこから値を出力するために用いられ、これに対し、走査レジスタ１０８及びトリガ回路素子１１０は、各々、追跡データ履歴、及びトリガ入力を、再構成回路１００に対し出力するのに用いられる。本発明の教示に従い、以下により完全に説明するように、再構成回路１００は、動的再構成ネットワーク１３７及び部分走査レジスタ１３５を含むことが示されているが、これらは再構成回路１００の選択論理素子１０２の部分的追跡履歴を選択的に出力するのに用いられる。すなわち、回路中に静的に規定された『見える』ノードからの走査出力のみのために備えられた（又は、『隠された』ノードを見るために再コンパイルとＩ／Ｏリソースの割振りを必要とされる）従来技術のエミュレータ回路とは異なり、再構成回路１００は、動的再構成ネットワーク１３７及び機能強化された論理素子アレイ１０２内のどの追跡／ノードにも、再コンパイルを必要とせずに動的可視性を与える部分走査レジスタ１３５を含んでいる。」（段落【０００８】）

「本発明の一実施形態では、再構成回路１００は、メモリーを備えた回路設計をエミュレートするために再構成回路１００の使用を容易とするメモリー１１２を含んでいる。一実施形態では、再構成回路１００のピン１１３は、入力又は出力に用いることができる。また、図示され一（判決注；ママ）実施形態例によれば、再構成回路１００は、図示されるように、ＬＥ、メモリー１１２、及びＩ／Ｏピン１１３を

相互接続するためのLE相互クロスバー（つまり，x-バー）ネットワーク 104を含んでいる。一実施形態では，再構成回路100は，再構成回路100を，他の再構成集積回路や『ホストシステム』（図示せず）のようなものと相互接続するための，第1ステージ・クロスバー・ネットワーク114a-114bに『2つのコピー』を含んでいる。」（段落【0009】）

「更に動的再構成ネットワーク137のコンテキストで，動的再構成可能と言う用語は，回路素子のエミュレーションは，動的再構成ネットワーク137を動的再構成するために休止したり（しなかったり）する必要があるかもしれないが，エミュレーションは，その最初から再スタートさせる必要が無いという意味を意図している。更に具体的には，動的再構成ネットワーク137の再構成には，再コンパイルが不必要であるが，相互接続ネットワーク104は，再コンパイルを必要とし，これは先に述べたように時間のかかるプロセスである。従って，動的再構成ネットワーク137が，LE102領域における，他の方法では隠されているノードが，エミュレータ及び／又はエミュレートされる回路の高速デバッグを容易にするために（部分走査レジスタ135を介して）アクセスすることにより，効率的な手段を提供することは，当業者であれば予測できるであろう。」（段落【0011】）

「示されるように，図11は，再構成回路1100のブロック図を示す。当業者は，再構成回路1100が，再構成回路100のブロック図に非常に似ていることが認識できよう。すなわち，再構成回路1100は，LE102のアレイ，メモリー112，動的再構成ネットワーク137，及びトリガ回路素子110を備え，図示されたように，各々が通信可能なように結合されている。しかし，再構成回路110

0 が，全ての追跡／ノード活動，又は 単に選択したそのサブセットのみを徹底的に監視するために，マルチプレクサ 1 1 0 6 と関連した 1 つの走査レジスタ 1 1 0 8 しか必要としない点で再構成回路 1 0 0 と識別可能である。すなわち，分離した部分走査レジスタ 1 3 5 と（徹底的）走査レジスタ 1 0 8 とを採用する代わりに，再構成回路 1 1 0 0 は，徹底的走査モードで全追跡／ノードの出力を，又は 部分走査モードで，追跡／ノードの選択されたサブセットの出力を，走査レジスタ 1 1 0 8 に選択的に供給するマルチプレクサ 1 1 0 6 を使用する。換言すれば，走査レジスタ 1 1 0 8 は，図 1 の走査レジスタ 1 0 8 として全体を使用することも，図 1 の部分走査レジスタ 1 3 5 として部分的に使用することもできる。」（段落【0 0 1 3】）

「ここで，図 2 に目を向けると，図 1 の再構成回路に用いるのに適した機能強化された L E のアレイの例のブロック図が，本発明の実施形態により示されている。図に示すように，L E アレイ 1 0 2 は，本発明の機能強化された複数の L E 2 0 0 を含む。例えば，一実施形態では，L E アレイ 1 0 2 は，1 2 8 の L E 2 0 0 を含む。当業者であれば，以下により詳細に説明する関連読み出し／書き込み及び制御回路の増減に応じて，より大きな又はより小さい L E 2 0 0 のアレイを使用できることが理解できよう。図 2 に示すように各 L E 2 0 0 は，多入力単出力真理表 2 0 2，一対のマスタースレーブ・ラッチ 2 0 4－2 0 6，出力マルチプレクサ 2 0 8，入力マルチプレクサ 2 1 2，及び制御ロジック 2 1 4 を含み，図のように各々が互いに結合されている。」（段落【0 0 1 5】）

「また，各 L E 2 0 0 も，多数のエミュレーション・クロック又はデバッグ・クロック（L D）を，選択的にマスタースレーブ・ラッチ 2 0 4－2 0 6 に提供するクロック選択マルチプレクサ 2 1 6 a－

216cを含んでいる。好もしくは、このエミュレーション・クロックは、他の論理素子200を使用した構造化エミュレーション・クロックを含むものである。図示した実施形態では、この『構造化』エミュレーション・クロックは、真理表202のI0を通じて利用可能になる。エミュレーション・クロックの1つは、正常作動時にマスタースレーブ・ラッチ204-206に提供され、一方、デバッグ・クロック(LD)は、デバッグ時に供給される。クロック選択は、CTX信号によって制御される。最後に、LE200は、選択出力をLE相互クロスバー・ネットワーク104及びオンチップ・デバッグ機能体に出力するバッファ214a、及び選択出力を再構成回路100の外で直接観察するために、コンテキスト・バス106に出力するバッファ214bを含んでいる。」(段落【0018】)

「簡単に図4a-4bを参照するが、ここではLEを相互接続するためのLE相互クロスバー・ネットワーク104、メモリー及び入出力(I/O)ピンの一実施形態を示す(判決注;ママ)。特に、図4a及び4bは、128のLE200を相互接続するLE相互クロスバー・ネットワーク104の一実施形態を図示する。当業者は本発明の精神と範囲を逸脱することなく、より大きいあるいはより小さいLE相互クロスバー・ネットワークを採用し得ることが理解できよう。図示された実施形態図に関して、4aに示すように、LE相互クロスバー・ネットワーク104は、4つのサブネットワーク220を含む。最初の2つのサブネットワークであるサブネット0とサブネット1とは、72の信号経路として使用され、一方、残る2つのサブネットワークであるサブネット2とサブネット3とは、64の信号経路として使用される。」(段落【0021】)

「各サブネットワーク220は、第一ステージにおける、9又は8

の 8—8 クロスバー 2 2 0，第二ステージにおける，9—2 0 又は 8—2 0 のクロスバー 2 2 4 又は 2 2 6，第三ステージにおける，2 0 の 8—8 クロスバー 2 2 8 のいずれかを含む 3 ステージのクラウド（C l a u s）ネットワークである。各ステージは，周知の『バタフライ』方式で相互に結合される。」（段落【0 0 2 2】）

「更に詳細に L E 相互クロスバー・ネットワーク 1 0 4 を説明するために，前に挙げた参照文献として援用した米国特許第 5，5 7 4，3 8 8 号を参照する。

また，簡単に図 5 を参照するが，ここでは再構成集積回路を，他の再構成集積回路及び『ホスト』コンピュータ（図示せず）に相互接続するための再構成回路相互クロスバー・ネットワーク 1 1 4 a—1 1 4 b の一実施形態を示す。図に示すように，図の実施形態では，再構成回路相互クロスバー・ネットワーク・ステージ 0 1 1 4 a—1 1 4 b は，再構成集積回路の 6 4 の I/O 信号を，再構成集積回路を他の再構成集積回路及び『ホスト』コンピュータに相互接続するクラウド・ネットワークの次のステージに結合するための 4 組の 1 6—1 6 クロスバー 2 3 0 を含む。クロスバー・ネットワーク・1 1 4 a—1 1 4 b を更に説明するために，また前に挙げた参照文献として援用した米国特許第 5，5 7 4，3 8 8 号を参照する。」（段落【0 0 2 3】）

「図 8 a は，全 L E 2 0 0 の追跡データの全走査を出力するための走査レジスタ 1 0 8 の一実施形態を示す。図 8 で示される一実施形態例によれば，走査レジスタ 1 0 8 には，8 つのフリップフロップの 1 6 セットと，8 つのマルチプレクサ 2 4 4（すなわち，1 2 8 の L E 2 0 0 が設けられている）の 1 5 セットがあり，マルチプレクサ 2 4 4 は，フリップフロップ 2 4 2 のセットの間に配置されている。フリップフロップ 2 4 2 第 0 セットは，8 つの L E 2 0 0 の第 1 群に結合

している。マルチプレクサ 2 4 4 第 0 セット 2 4 4 第 0 セット（判決注；ママ）は，フリップフロップ 2 4 2 第 0 セットと論理素子 2 0 0 との第 2 群に結合している。フリップフロップ 2 4 2 第 1 セットは，マルチプレクサ第 0 セットと結合しており，以下同様である。フリップフロップ 2 4 4（判決注；「2 4 2」は誤記）第 0 セットは，L E 2 0 0 の出力を順次受けては伝播する。マルチプレクサ 2 4 2 第 0 セットも，フリップフロップ 2 4 2 第 0 セットの出力又は 8 つの L E 2 0 0 の第 2 群の出力を連続的に提供する。フリップフロップ 2 4 2 第 1 セットは，マルチプレクサ 2 4 4 第 0 セットからの入力を，順次シーケンシャル的に伝搬する。フリップフロップ 2 4 2 のセットは，走査クロックに制御されるが，マルチプレクサ 2 4 4 のセットは，走査制御信号によって制御される。従って，（作動エミュレーション・クロックに比例して）適切に分割された周波数を持つ走査クロックを適用し，マルチプレクサ 2 4 4 のセットに適切な走査制御信号を選択的に適用することにより，クロック・サイクルにおける 1 2 8 全ての L E 2 0 0 のスナップショットを再構成可能回路 1 0 0 から順次，走査して得ることができる。」（段落【0 0 2 6】）

「図 8 b に目を向け，本発明の教示に基づき，部分走査レジスタ 1 3 5 及び動的再構成ネットワーク 1 3 7 の統合デバッグ機能体（判決注；ママ）を更に詳細に説明する。図 8 b に示すように，動的再構成ネットワーク 1 3 7 は，複数の L E 2 0 0 と結合した複数の 4：1 マルチプレクサ 5 0 2 を含む。図示した一実施形態例によれば，動的再構成ネットワーク 1 3 7 は，1 2 8 の L E 2 0 0 出力に結合した 3 2 の 4：1 マルチプレクサを含む。従って，動的再構成ネットワーク 1 3 7 によって，ユーザーは，最大 3 2 までの L E 2 0 0 状態値の選択サブセットを部分走査レジスタ 1 3 5 に再構成可能に経路指定するこ

とができる。」（段落【００２７】）

「本発明の一実施形態によれば，部分走査レジスタ１３５は，８つのフリップフロップ５６２の４セットと，フリップフロップ５６２のセットの間に８つのマルチプレクサ５６４の３セットを含む。図１の一実施形態例に示すように，部分走査レジスタ１３５は，動的再構成ネットワーク１３７からの入力を受けて走査（判決注；「操作」は誤記）バス１３９に出す。特に，全走査レジスタ１０８とは異なり，部分走査レジスタ１３５は，選択したＬＥ２００のサブセット（例えば４分の１）の状態値を走査バス１３９に出力する。全走査レジスタ１０８と部分走査レジスタ１３５とが出力として走査バス１３９を分かち合う範囲で，走査コントロール１４２及び走査クロック１４０が，どちらの走査（判決注；「操作」は誤記）レジスタを活動状態にするかを選択的に制御する。特に，図示した一実施形態例によれば，ＬＥアレイ１０２内のユーザー選択のＬＥ２００を部分走査できるようにするためには，ユーザーは，走査コントロール１４２及び走査クロック１４０で部分走査レジスタ１３５を活動状態にするが，ＬＥアレイ１０２内のＬＥ２００全てを全走査できるようにするには，走査コントロール１４２及び走査クロック１４０信号で全走査レジスタ１０８を活動状態にする。しかし，当業者であれば，どちらの活動された走査（判決注；「操作」は誤記）レジスタを採用するかを決定する代替的な方法を認識できるであろう。例えば，本発明の代替的一実施形態において，走査レジスタ１０８と部分走査レジスタ１３５のどちらかは，単に走査クロック１４０の各々を希望のレジスタ，すなわち全走査レジスタ１０８又は部分走査レジスタ１３５に適用することで選択される。かくして本発明はその精神と範囲とを逸脱することなく，このような変形例を推測できる。」（段落【００２８】）

「このように、当業者は動的再構成ネットワーク 1 3 7 及び部分走査レジスタ 1 3 5 が再構成回路 1 0 0 に新しいレベルの自由度を与え、ユーザーが負荷の多い再構成及び従来技術に固有の回路設計マッピングソフトの再コンパイルを必要とせずに、所与のクロック・サイクルに選択した L E のサブセットを動的に再構成して観察することを可能にするのである。更に全ての L E の状態値における完全なセットを観察する必要があるときには、再構成回路 1 0 0 は革新的な全走査レジスタを与えられるのである。本発明によれば、統合デバッグ機能を備えた再構成集積回路が得られるので、エミュレーションシステムのユーザーは、あるクロック・サイクルには、L E アレイ 1 0 2 の L E のサブセットを観察することを選択することもでき、他のクロック・サイクルには、L E アレイ 1 0 2 を構成する全ての L E の状態値をも全走査して観察することも選択できる。」（段落【0 0 2 9】）

「図 9 を参照すれば、トリガ入力を出力するためのトリガ回路素子 1 1 0 の一実施形態例のブロック図が示されている。示されるように図の実施形態では、トリガ回路素子 1 1 0 は、各コンパレータ・レジスタ回路 2 6 0 から各々 1 つ、4 つのトリガ出力を生成する 4 つのコンパレータ・レジスタ回路 2 6 0 を含んでいる。各コンパレータ・レジスタ回路 2 6 0 は、信号パターンを記憶するパターン・レジスタ 2 6 2 と、L E からの出力とパターン・レジスタ 2 6 2 の記憶されている内容とを比較する相等性コンパレータ 2 6 4 とを含んでいる。一実施形態では、信号パターンは、L E あたり 2 ビットから成り、ハイ、ロー、及びコード化不要の値を採ることができる。記憶パターンが検出されると、常に、再構成回路 1 0 0 外のトリガへの入力が生じられる。換言すれば、図示した一実施形態では、4 つの L E 内部状態事象が同時にモニターできる。」（段落【0 0 3 0】）

「図 1 0 は，本発明の一実施形態による，本発明の教示を組み込んだエミュレーションシステム 1 0 0 0 の例のブロック図である。図 1 1 のエミュレーションシステムの図示した例によれば，エミュレータ 1 0 6 0 と結合して通信できるホストシステム 1 0 2 0 を含むエミュレーションシステム 1 0 0 0 が示される。図示されるように，エミュレータ 1 0 6 0 は，エミュレーションアレイ・相互接続ネットワーク 1 0 8 0，構成回路 1 2 2 0，及びホストインターフェイス 1 2 4 0 を含んでおり，図のように通信できるように結合している。本発明の教示に従えば，エミュレーションアレイ・相互接続ネットワーク 1 0 8 0 は，本発明の動的再構成集積回路 1 2 2 0 a—1 2 0 0 n を含んでおり，回路設計を組み立てる前に特定の回路設計をエミュレートして『実現する』ようプログラムできるように構成された複数の L E 含んでいる（判決注；ママ）。更に詳細に説明すれば，革新的な動的再構成集積回路 1 2 2 0 a—1 2 0 0 n によって，選択 L E の状態値のサブセット，前述の時間のかかる再コンパイル法，もしくは従来技術に典型的な従来技術の走査レジスタからの全走査出力を選択的に出力する経路選定ネットワークを，エミュレーションシステムのユーザーが，部分走査レジスタ経由で制御することが可能になる。従って，エミュレーションシステム 1 0 0 のように，本発明の革新的な特徴を組み込んだエミュレーションシステムを使えば，設計マッピングプログラムのように，複雑な回路設計ではしばしば何日もかかる方法で回路を変えたり，再コンパイルする方法を使ったりせず，このエミュレーションシステムのユーザーは，エミュレータ内の可視点を動的に変えることが可能になる。」（段落【0 0 3 1】）

イ 図面の簡単な説明

【図 1】本発明の再構成集積回路の主要機能ブロックを示す。

【図 2】 図 1 の L E アレイの一実施形態を図示し、かつ機能強化された L E の一実施形態を示す。

【図 4 a】 図 1 の L E 相互クロスバー・ネットワークの一実施形態を示す。

【図 5】 再構成回路相互クロスバー・ネットワーク・ステージ 0 の一実施形態を示す。

【図 8 a】 図 1 の集積回路で用いるのに適した全走査レジスタの一実施形態を示す。

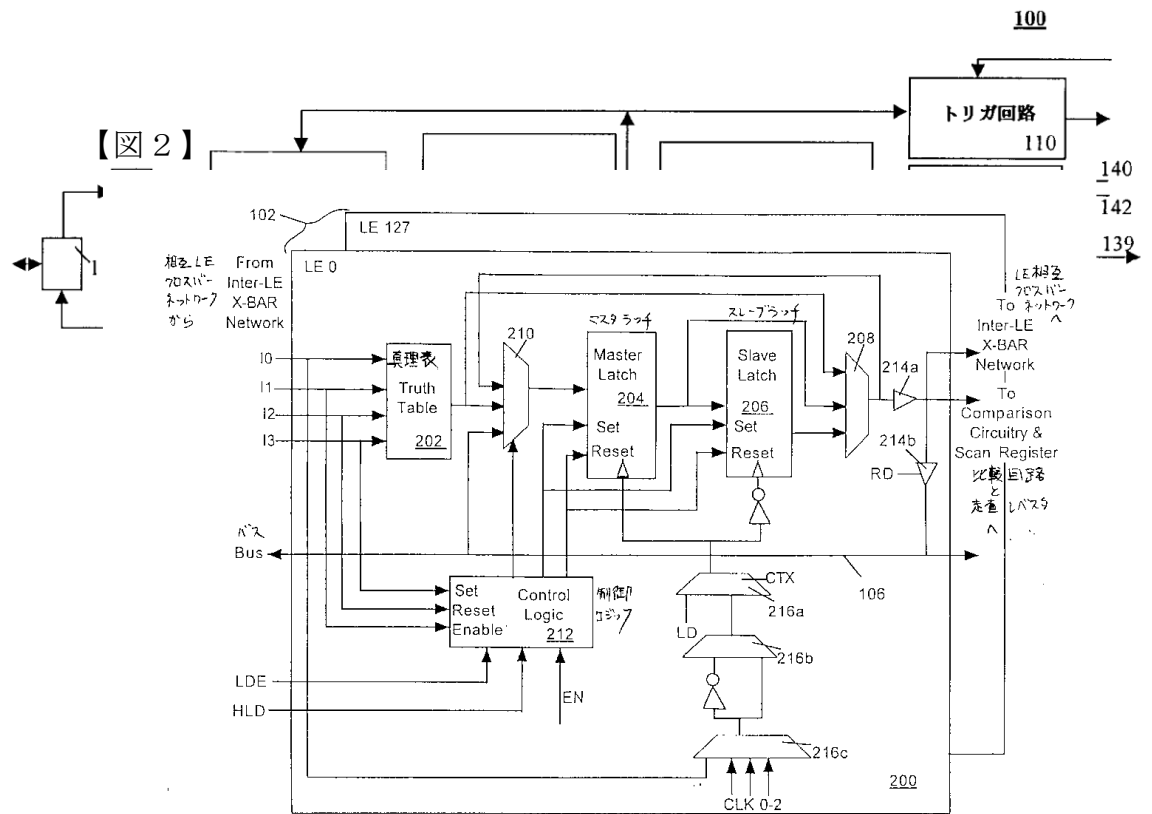
【図 8 b】 本発明の一実施形態による、図 1 の集積回路で用いるのに適した、本発明の教示による、例示的な動的再構成集積回路及び部分走査レジスタのブロック図である。

【図 9】 図 1 の集積回路で用いるのに適したトリガ回路の一実施形態を示す。

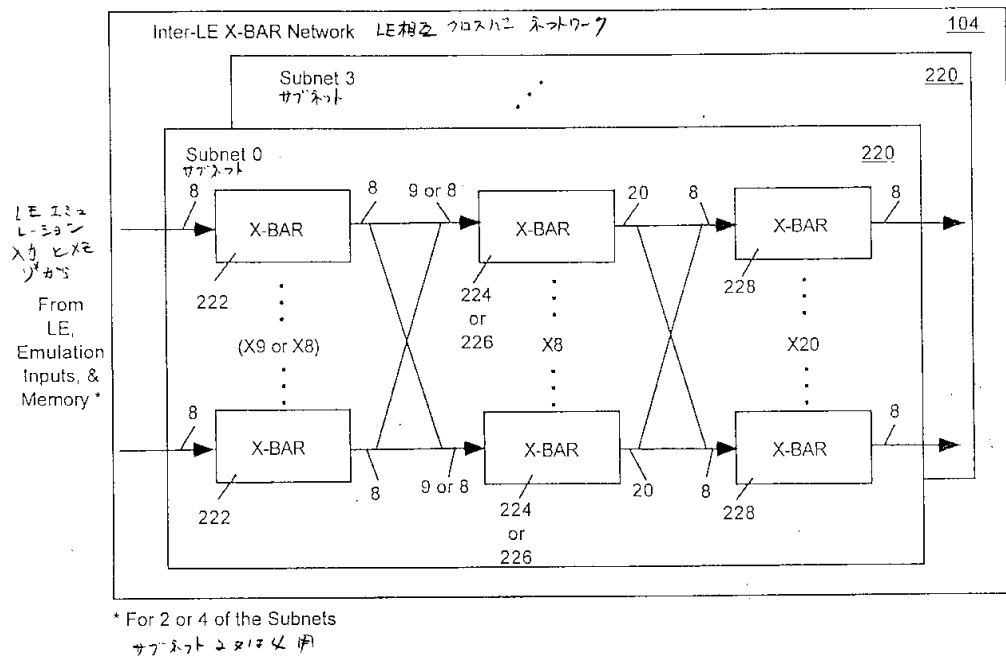
【図 1 0】 本発明の教示を組み込み、本発明の一実施形態によるエミュレーションシステム例のブロック図である。

ウ 図面

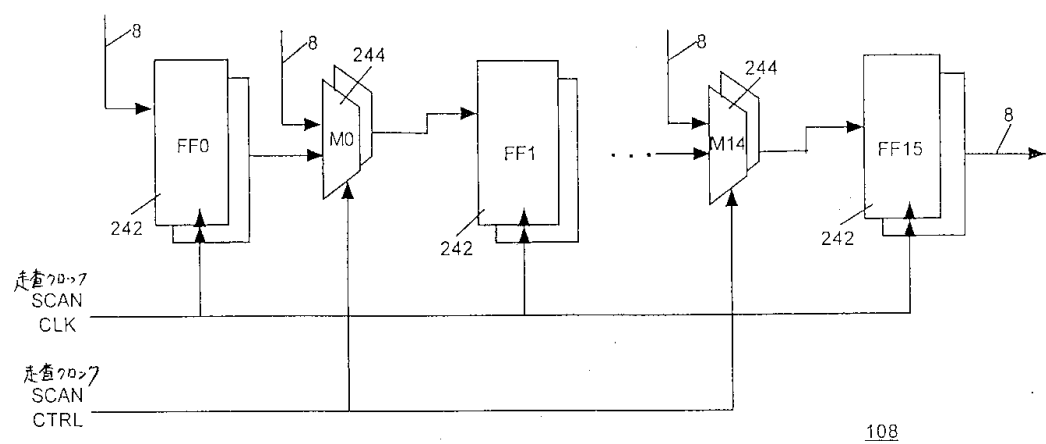
【図 1】



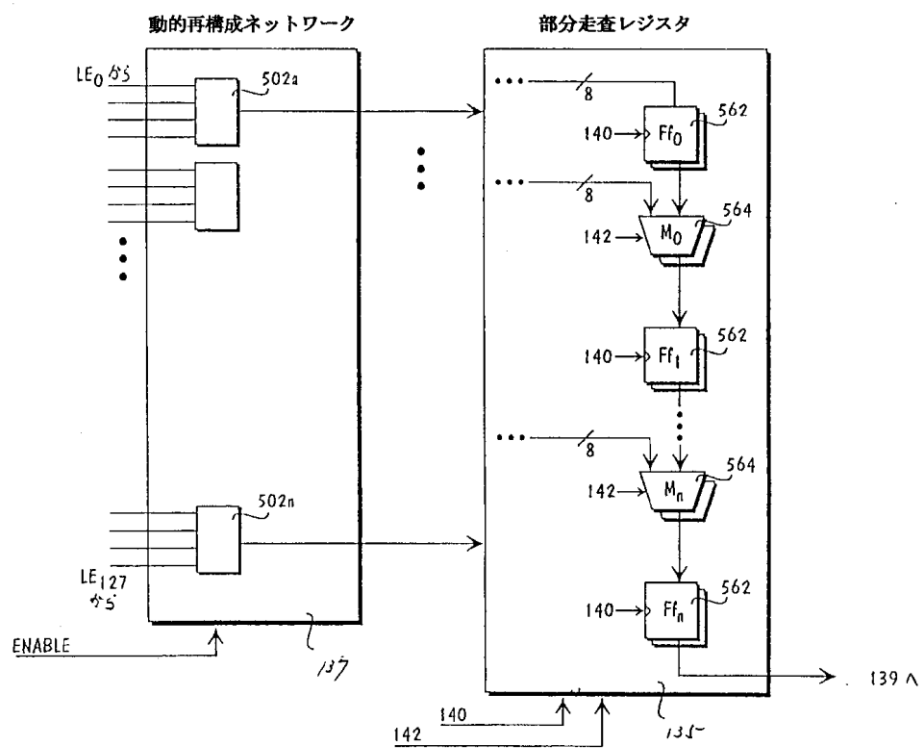
【図 4 a】



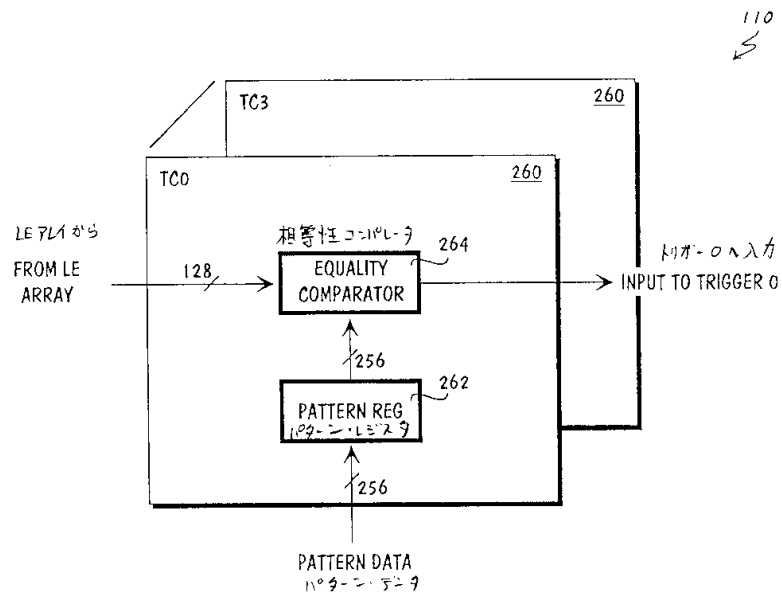
【図 5】



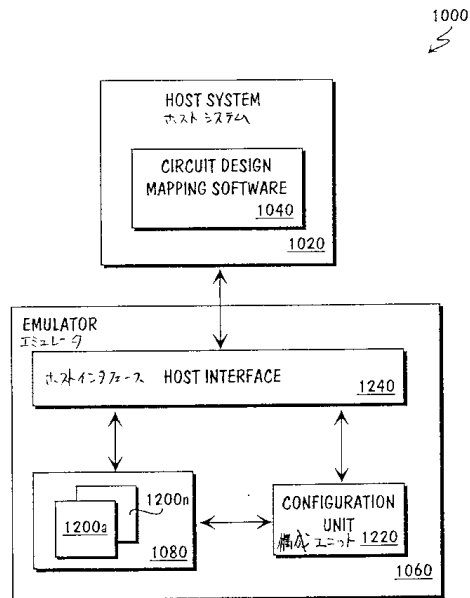
【図 8 b】



【図 9】



【図 10】



(2) 前記第 2， 2 (3) 及び上記 (1) の記載によれば， 本件各発明は， 開発， 設計した集積回路の動作を実証するため， 当該回路と等価な回路を再構成可能な集積回路上に模擬的に再現（エミュレート）し， 外部から試験的な信号を入力して回路を動作させ， 出力信号の状態を調べることを通じて回路に不具合がないかの検証をすることが行われるものであるが（段落【0003】）， 従来の再構成可能な集積回路においては， 再構成可能な集積回路中の節々の点である各ノードの信号の状態が直接的に観察できないものであり， その観察のためにはプログラムの再コンパイルが必要なことや， 信号の取り出しが入出力ポート（I/O）を占有して行われることなどにより， 本来の動作が妨げられ， 監視追跡時間が増大するといった問題があった（段落【0003】， 【0004】）ところ， その課題を解決するため， 集積回路設計の回路素子をエミュレートするための複数の論理素子を備えるとともに， 再構成可能なネットワーク及び部分走査レジスタを設け， 再構成可能なネットワークにより複数の論理素子の全部のうちの一部を部

分集合として選択した上で、当該部分集合を部分走査レジスタに再構成可能に接続するようにし、エミュレーション・クロックの１クロック・サイクル単位で複数の論理素子の信号状態値を捉えることができるようにした発明である、と認められる。

(3) 構成要件１Ｄ，５Ｆ，７Ｅ及び７Ｆにおける「部分走査レジスタ」の意義

構成要件１Ｄ，５Ｆ，７Ｅ及び７Ｆには、それぞれ走査バスに信号状態値を出力する「部分走査レジスタ」との記載があるところ、本件各発明の請求項には「部分走査レジスタ」と対比すべきそれ以外のレジスタについての記載はなく、本件明細書等の発明の詳細な説明にも、「部分走査レジスタ」ないし「走査レジスタ」についての定義はない。加えて、「部分走査レジスタ」の意味を技術常識に照らし明らかにする証拠もない。

本件明細書等には、前記(1)のとおり、「分離した部分走査レジスタ１３５と（徹底的）走査レジスタ１０８とを採用する代わりに、再構成回路１１００は、徹底的走査モードで全追跡／ノードの出力を、又は部分走査モードで、追跡／ノードの選択されたサブセットの出力を、走査レジスタ１１０８に選択的に供給するマルチプレクサ１１０６を使用する。換言すれば、走査レジスタ１１０８は、図１の走査レジスタ１０８として全体を使用することも、図１の部分走査レジスタ１３５として部分的に使用することもできる。」（段落【００１３】）、「部分走査レジスタ１３５は、動的再構成ネットワーク１３７からの入力を受けて走査（判決注；「操作」は誤記）バス１３９に出す。特に、全走査レジスタ１０８とは異なり、部分走査レジスタ１３５は、選択したＬＥ２００のサブセット（例えば４分の１）の状態値を走査バス１３９に出力する。」（段落【００２８】）との記載があり、これらによれば、本件各発明の「部分走査レジスタ」は、走査レジスタないし全走査レジスタの機能ないし構成を縮小したものであ

ると認められるが、いかなる意味でそれらを縮小等するものであるかは明らかではない。そして、構成要件 1 E, 5 G 及び 7 G において部分走査レジスタは選択された論理素子の部分集合のみに接続されるものであり、構成要件 1 D, 5 F 及び 7 E において部分走査レジスタは信号状態値の記録を走査バスに出力するものとされていること、前記(1)のとおり、「発明の要旨」である段落【0005】において、「部分走査レジスタは、L E の選択された 1 つに再構成可能に結合され、使用可能とされた場合には、オペレーティング・クロックの特定クロック・サイクルにおいて、選択された L E によりエミュレートされた信号状態値回路素子の記録を捉えて走査バスに出力するよう作動し、そこにおいて、部分走査レジスタは、オペレーティング・クロックに適切に比例した走査クロックの印加により使用可能とされる。」との記載があることからすると、部分走査レジスタは、選択された論理素子の部分集合にのみ接続され、オペレーティング・クロックに適切に比例した走査クロックが印加されることにより使用可能とされるものであることが認められる。

そこで、部分走査レジスタに対しオペレーティング・クロックに適切に比例した走査クロックが印加されることの技術的意義につき本件明細書等の記載に基づき検討すると、まず、本件発明 1 の集積回路は、集積回路設計の回路素子をエミュレートするように再構成可能であり（構成要件 1 A）、各々が複数の出力（【図 2】では外へ向かう矢印）を有する複数の論理素子（【図 2】では L E 0 ～ L E 1 2 7）であって（構成要件 1 B）、上記論理素子に対応して与えられる複数の入力信号（【図 2】では I 0 ～ I 3 等）に応答して複数の出力信号を生成するように作動する複数の論理素子と（構成要件 1 C）、選択された（【図 8 b】では 4 : 1 マルチプレクサ 5 0 2 によって選択される）論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値（【図 2】ではバッファ 2 1 4 a の

出力) の記録をエミュレーション・クロックの1クロック・サイクルにおいて捉え(【図2】のLE0～LE127では、エミュレーション・クロックCLK0-2又は構造化エミュレーション・クロックの1サイクルごとに信号を出力するものであり、その際に走査クロックが適用され、その結果、論理素子の出力を1クロック・サイクルにおいて捉えることができる)、走査バスに出力(【図1】、【図8b】では139)する部分走査レジスタ(【図1】、【図8b】では135)と(構成要件1D)、上記エミュレーション・クロックの1クロック・サイクルにおいて、上記部分走査レジスタを上記選択された論理素子の部分集合のみに再構成可能に接続する、上記複数の論理素子と上記部分走査レジスタに結合した再構成可能なネットワーク(【図1】、【図8b】では137)とを含むことを特徴とする(構成要件1E)、エミュレーションシステムに使用される集積回路(構成要件1F)をいうものである。

そうすると、本件発明1の構成要件には「エミュレーション・クロック」及びその「1クロック・サイクル」以外には、部分走査レジスタに印可すべきクロック(これが必要なことは、発明の要旨を記載した段落【0005】の記載から明らかである。)については何らの記載もないところ、構成要件1Dにおける「選択された論理素子の部分集合によってエミュレートされた回路素子の複数の信号状態値の記録」を、「エミュレーション・クロックの1クロック・サイクルにおいて」、「捉え」てこれを「走査バスに出力する」ためには、「オペレーティング・クロックに適切に比例した走査クロック」(段落【0005】)ないし「(作動エミュレーション・クロックに比例して)適切に分割された周波数を持つ走査クロック」(段落【0026】)が印可されることが必要である。

この解釈は、原告が、構成要件1Dは、部分走査レジスタをして漏れなく信号状態値を捉え走査バスに出力するように走査クロックを制御するこ

とについて、本件明細書等の段落【0005】で「部分走査レジスタは、L Eの選択された1つに再構成可能に結合され、使用可能とされた場合には、オペレーティング・クロックの特定クロック・サイクルにおいて、選択されたL Eによりエミュレートされた信号状態値回路素子の記録を捉えて走査バスに出力するよう作動し、そこにおいて、部分走査レジスタは、オペレーティング・クロックに適切に比例した走査クロックの印加により使用可能とされる。」と説明されているとする主張（原告第15準備書面13頁。なお、下線は原告代理人が付加）とも整合するものである。また、「論理素子の信号状態値は、エミュレーション・クロックの1クロック・サイクルごとに遷移する」ところ（原告第16準備書面13頁）、1クロック・サイクルにおける信号状態値の記録を捉えて出力する構成要件1Dの部分走査レジスタや請求項2の全走査レジスタは、信号状態値の記録を捉えてから出力するまでの期間が限定されていなかったとしても、エミュレーション・クロックが変化する速度（周波数）及びタイミングに適合して動作するように走査クロックによって制御されるべきことが明らかであるから、上記解釈は、本件明細書等には（請求項2の）「信号状態値の記録を上記エミュレーション・クロックの1クロック・サイクルにおいて捉え・・・出力する」に対応する実施例の説明として「クロック・サイクルにおける・・・L E 200のスナップショットを・・・得る」（段落【0026】）との記載があり、電算用語としての「スナップショット」（snapshot）は、所与のタイミングにおけるデータ内容を意味するところ、上記段落【0026】の「クロック・サイクルにおける・・・L Eのスナップショットを・・・得る」は、要するに1クロック・サイクルにおける論理素子の信号状態値の記録を捉えて出力することを説明したものであり、かかる本件明細書等の記載内容に照らせば、構成要件1Dや請求項2における「信号状態値の記録を・・・1クロック・サイクルにおいて捉え・・・

・出力する」という文言は1クロック・サイクルにおける信号状態値の記録を捉えて出力することを表現したものであるとの主張（原告第16準備書面17頁）とも整合するものである。

加えて、上記解釈は、前記第2、2(4)エ(i)記載のとおり、第2次補正と同日の平成14年7月2日付け意見書（甲58の4、乙18）における、原告の「請求項1～4及び8に係る発明は、集積回路において、部分走査レジスタと、論理素子の部分集合のみを上記部分走査レジスタに再構成可能に接続する再構成可能なネットワークを含むことを特徴の一つとしています。・・・これら部分走査レジスタ及び再構成可能なネットワークにより、走査レジスタ108と同様に、『（作動エミュレーション・クロックに比例して）適切に分割された周波数を持つ走査クロックを適用（【0026】）』することにより、・・・，所与のクロック・サイクルに選択したLEのサブセットを動的に再構成して観察することを可能に』（【0029】）するものです。すなわち、エミュレーション・クロックを適切に分周した走査（判決注；「操作」は誤記）クロックを部分走査レジスタに与えることにより、エミュレーション・クロックのそのクロック・サイクルにおいて、再構成可能なネットワークにより選択された論理素子の部分集合の信号状態値を、走査バスに出力するものであります。」とする内容とも整合するものである。

そうすると、本件発明1の部分走査レジスタは、エミュレーション・クロック（構成要件1D。オペレーティング・クロックないし作動エミュレーション・クロックも同旨）に対して適切に比例した走査クロックを印加することにより使用可能とされるものであるところ、上記のとおり、走査クロックが適用される部分走査レジスタが、エミュレーション・クロックの1クロック・サイクル単位の信号状態値を受信して（捉えて）走査バスへ出力すること、適切に比例ないし分割された周波数とされていること

（上記のとおり原告の意見書には「分周」するとの記載もある。）等からすれば、エミュレーション・クロックと走査クロックを比較してエミュレーション・クロックの周波数が高い態様や、両者の周波数が同一である態様は除かれることとなるから、エミュレーション・クロックの周波数と走査クロックの周波数との関係の意味するところは、結局、走査クロックの周波数をエミュレーション・クロックの周波数に比して高くすることであると解される。

そして、この走査クロックの周波数をエミュレーション・クロックの周波数に比して高くすることについては、信号出力線の数に信号入力線の数よりも少ないという走査レジスタ及び部分走査レジスタの構造にも基づくものであり、これと異なる解釈を採用すべき根拠は、本件明細書等からは何ら見出すことはできない。

すなわち、本件明細書等の段落【００２６】及び【図８a】の記載によれば、走査レジスタ１０８は、１２８本の信号入力線に対して８本の信号出力線を持つことが明らかであるところ、「８つのフリップフロップの１６セット」（段落【００２６】）の各々が、「走査クロック１４０の立ち上りエッジに同期して、その入力端子に供給されている信号状態値の記録をロードして出力端子から出力開始する」（原告第１６準備書面１９ないし２０頁）ものであるとすると、走査レジスタ１０８の出力側に設けられたフリップフロップ２４２第１５セット（ＦＦ１５）は、走査クロックの１クロック・サイクル当たり高々８つの信号を出力可能とするものにすぎず、エミュレーション・クロックの１クロック・サイクルにおける最大１２８個の信号状態値の記録を失うことなく捉えて出力するためには、走査クロックの周波数をエミュレーション・クロックの周波数に対して高くする必要があることが明らかである。

また、部分走査レジスタ１３５に含まれるフリップフロップが有する出

力信号線の本数については、本件明細書等の段落【0027】及び【図8b】には明記されていないものの、【図1】には、部分走査レジスタ135に対しても、走査レジスタと同様に「走査クロック140」及び「走査コントロール142」（段落【0028】）を印可することが図示されており、また、原告も、前記第2、2(4)エ(i)記載のとおり、意見書（平成14年7月2日付け、甲58の4、乙18）において、「・・・詳細な説明では、『走査レジスタ』108の場合について、『適切に分割された周波数を持つ走査クロックの適用』（【0026】）と記載しており、請求項7における部分走査レジスタの場合もこれと同様です。・・・」としているとおり、部分走査レジスタの出力信号線の本数は信号入力線の本数（32本）よりも少なく、それゆえ、走査クロックの周波数をエミュレーション・クロックの周波数に対して高くする必要があるものと認められる。

なお、本件明細書等の開示された実施例とは異なり、並列入力ー並列出力タイプの（走査）レジスタにおいて、これを駆動（走査）するクロックの周波数をエミュレーション・クロックの周波数に比して高くした場合、処理の高速化といったような一般的な効果は得られるものの、それは本件各発明の技術的特徴の一つである「部分走査レジスタ」によるものとはいえないというべきである。すなわち、既に検討したとおり、本件発明1の「部分走査レジスタ」は、エミュレーション・クロックに対して適切に比例した走査クロックの印加により使用可能とされる点に技術的特徴があるものと認められるところ、並列入力ー直列出力タイプの部分走査レジスタにおける「適切に比例した」状態とは、エミュレーション・クロックと走査クロックの周波数比が例えば1：n（ここでnは部分走査レジスタ内のフリップフロップセットの数）であることを意味する点については、原告が、「以下では、エミュレーション・クロックと走査クロック140との周波数比が1：4であり・・・場合を例に、上図1に示した部分走査レジ

スタの一実施例について、その動作例を説明する。・・・なお、1：4という周波数比は、エミュレーション・クロックの1クロック・サイクルにおける選択された論理素子に係る信号状態値の記録を、失うことなく部分走査レジスタが捉えて出力する（すなわち『クロック・サイクルにおけるLE200のスナップショットを・・・得る』）ことを可能とする、『適切に分割された』（本件特許明細書の段落【0026】）周波数比の一例である。」（原告第16準備書面20ないし21頁）と主張し、被告が、「・・・部分走査レジスタ内のフリップフロップが4個よりも多いn個の場合、部分走査レジスタが信号状態値の記録を失うことなく捉えて出力するためには、走査クロックに対するエミュレーション・クロックの周期（1クロック・サイクルの時間）の比が、少なくとも1：nでなければならない。」（被告第15準備書面27ないし28頁）と主張しているところであり、「適切に比例した」状態は、部分走査レジスタの構造的特徴と密接に関連しているものといえる。

これに対して、並列入力ー並列出力タイプの（走査）レジスタにおける「適切に比例した」状態が、どのような周波数比を意味するのかについて、原告は何ら主張・立証しておらず、また、本件明細書等にも何らの記載がない。

以上によると、本件各発明の「部分走査レジスタ」は、部分走査レジスタをして信号状態値を漏れなく捉え走査バスに出力するように走査クロックを制御するため、その信号出力線が信号入力線よりも少ないことに起因して、走査クロックの周波数をエミュレーション・クロックの周波数よりも高くして、これを印可するものをいうと解される。

そうすると、いわゆる並列入力ー並列出力タイプのレジスタは、信号入力線と信号出力線の本数が等しいことから、構成要件1D、5F、7E及び7Fにいう「部分走査レジスタ」には当たらないといえることができる。

(4) フレキシブルプローブの実施態様ⅠないしⅢについて

ア ●（省略）●

イ ●（省略）●

ウ ●（省略）●

2 争点1(1)エ（「再構成可能なネットワーク」〔構成要件1 E， 5 G， 5 H及び7 G〕の充足性）について

(1) ダイナミックプローブについて

構成要件1 E， 5 G， 5 H及び7 Gにおける「再構成可能なネットワーク」とは，部分走査レジスタが選択された論理素子の部分集合のみに再構成可能に接続する，複数の論理素子と部分走査レジスタに結合したものであるとされているところ，前記第2， 2(6)イのとおり，被告各製品のダイナミックプローブにおけるコンフィギュレーションメモリは，全ての論理素子の状態が格納されるものであるから，論理素子の全てと接続されていることとなり，「選択された論理素子の部分集合のみに再構成可能に接続する」ものではない。

そうすると，被告各製品のダイナミックプローブは，構成要件1 E， 5 G， 5 H及び7 Gを充足しない。

(2) フレキシブルプローブの実施態様Ⅰについて

フレキシブルプローブの実施態様Ⅰについては，前記1(4)アのとおり，構成要件1 D， 5 F， 7 E及び7 Fを充足しないものであるが，さらに構成要件1 E， 5 G， 5 H及び7 Gの充足性についても検討する。

●（省略）●

したがって，原告の上記主張は採用することができない。

3 争点(2)（構成要件1 Dの「部分走査レジスタ」につき，被告各製品につい

ての均等侵害の成否) について

原告は、本件各発明の「部分走査レジスタ」の構成が限定的に解される場合でも、そのような部分走査レジスタを、被告各製品の並列入力ー並列出力タイプのレジスタへ置換した構成は均等侵害に当たる旨主張するので、以下検討する。

- (1) 明細書の特許請求の範囲に記載された構成中に他人が製造等をする製品又は用いる方法と異なる部分が存する場合であっても、上記部分が特許発明の本質的部分ではなく、上記部分を上記製品等におけるものと置き換えても特許発明の目的を達することができ同一の作用効果を奏するものであって、上記のように置き換えることに当該発明の属する技術の分野における通常の知識を有する者が上記製品等の製造等の時点において容易に想到することができたものであり、上記製品等が特許発明の特許出願時における公知技術と同一又は上記の者がこれから上記出願時に容易に推考できたものではなく、かつ、上記製品等が特許出願手続において特許請求の範囲から意識的に除外されたものに当たるなどの特段の事情もないときは、上記製品等は、特許請求の範囲に記載された構成と均等なものとして、特許発明の技術的範囲に属するものと解するべきである(最高裁判所平成6年(オ)第1083号・平成10年2月24日第三小法廷判決・民集52巻1号113頁参照)。

そして、上記「特許発明の本質的部分」とは、特許請求の範囲に記載された構成のうち、当該特許発明特有の解決手段を基礎付ける技術的思想の中核をなす特徴的部分を指すというべきである。

- (2) 前記1(2)で検討したとおり、本件各発明は、開発、設計した集積回路の動作を実証するため、当該回路と等価な回路を再構成可能な集積回路上

に模擬的に再現（エミュレート）し，外部から試験的な信号を入力して回路を動作させ，出力信号の状態を調べることを通じて回路に不具合がないか否かの検証をすることが行われるものであるが（段落【０００３】），従来の再構成可能な集積回路においては，再構成可能な集積回路中の節々の点である各ノードの信号の状態が直接的に観察できないものであり，その観察のためにはプログラムの再コンパイルが必要なことや，信号の取り出しが入出力ポート（Ｉ／Ｏ）を占有して行われることなどにより，本来の動作が妨げられ，監視追跡時間が増大するといった問題があったところ（段落【０００３】，【０００４】），その課題を解決するため，集積回路設計の回路素子をエミュレートするための複数の論理素子を備えるとともに，再構成可能なネットワーク及び部分走査レジスタを設け，再構成可能なネットワークにより複数の論理素子の全部のうちの一部を部分集合として選択した上で，当該部分集合を部分走査レジスタに再構成可能に接続するようにし，エミュレーション・クロックの１クロック・サイクル単位で複数の論理素子の信号状態値を捉えることができるようにしたものである。

そして，本件明細書等には，発明の「背景情報」として，「この『隠された』ノードにおける信号の状態を観察可能にするためには，・・・検査システム，例えば ロジック・アナライザによって観察可能（追跡可能）なポート／ノードに信号を持込むために，通常，多数のＦＰＧＡのＩ／Ｏが占有される。」（段落【０００３】）との記載があり，この記載は，信号を観察するために必要な信号を送り込み，また所望の信号を外部へ取り出すために，入力（Ｉｎｐｕｔ）端子と，出力（Ｏｕｔｐｕｔ）端子を多数占有しなければならないが，これは「集積回路」においては好ましくな

いことを述べるものと解されるところ，直列出力タイプのレジスタにおいては出力線が少数で済むことから信号読み出しのための出力線を減らす効果があるのに対し，並列出力タイプのレジスタにおいては出力線が多数必要となることから，直列出力タイプであるか，あるいは並列出力タイプであるかにより両者の作用効果は異なるものと認められる。そして，並列出力タイプのレジスタにおいても，例えばマルチプレクサを設けることによって最終的な信号出力線の数減らすことは可能であるものの，その場合には，直列出力タイプの走査レジスタに比べて，回路規模が増大したり，マルチプレクサの制御が複雑化したりすることによって，本件各発明の解決課題に反することになる。

すなわち，本件各発明においては，全走査レジスタではなく，選択された論理素子の部分集合のみに接続される部分走査レジスタを構成要件として規定していること，また，本件明細書等には，「経路選定すべき付加的信号により，信号経路選定の輻輳が増加される。・・・時間に鋭敏なアプリケーションに関しては，・・・『隠されたノード』上の信号が，正しい時刻に読み取られたか否かを知ることは困難である。」（段落【０００３】）などの背景的な問題点を指摘した上で，「必要とされるものは，一旦隠されたノードに容易にアクセスできる・・・再構成集積回路である。」

（段落【０００４】）と記載されていることなどを考慮すれば，本件各発明においては，簡単確実に制御可能である小規模な走査レジスタによって，従来技術における問題点を克服することをも解決課題としていると解され，この観点において，レジスタにおける直列出力タイプと並列出力タイプとでは，作用効果も異なるものである。

上記によれば，本件各発明における「部分走査レジスタ」は，全走査レ

レジスタや一般的なレジスタとは文言上区別されるものであり、FPGAにおける多数のI/Oの占有、監視追跡時間の増大、複雑な制御といった従来技術の課題と関連し、信号出力線の数が信号入力線の数よりも少ないという構造に基づき、エミュレーション・クロックの周波数に適切に比例し、あるいは分割され、エミュレーション・クロックよりも高い周波数を有する走査クロックの印加によって使用可能となる点に技術的特徴を有するものであって、本件各発明の課題を解決するために不可欠の部分であるということができる。

そうすると、本件各発明における「部分走査レジスタ」において、これが信号出力線の数が信号入力線の数よりも少ないタイプのレジスタである点は、本件各発明特有の解決手段を基礎付ける技術的思想の中核をなす特徴的部分であると認められるところ、被告各製品はこれと異なる並列入力ー並列出力タイプのレジスタであるから、本件各発明とは特許発明の本質的部分において相違するから、均等侵害に当たるとすることはできない。

- (3) この点に関して原告は、部分走査レジスタを具体的にどのように構成するかは当業者にとって自明であり、その構成は本件各発明の本質的部分たり得ない旨主張する。

しかし、本件特許の出願人である原告において、特許請求の範囲に用いる用語として、汎用的なレジスタではなく、「部分走査レジスタ」という限定的な用語を選択したものであるから、何らかの特徴的構成を備えたレジスタに限定する意図をもって特許請求の範囲を決定したものと解されるところ、「部分走査レジスタ」の定義は、本件明細書等には記載されておらず、しかもその技術的意義ないしこれに関する技術常識を示す証拠も何ら提出されていないから、部分走査レジスタを具体的にどのように構成す

るかは当業者にとって自明であるということとはできないし、上記(2)で検討した結果によれば、「部分走査レジスタ」の構成が、本件各発明の本質的部分たり得ないとするとはできない。

したがって、原告の上記主張は採用することができない。

4 争点(3) (被告各製品は本件発明 3, 4 及び 6 の技術的範囲に属するか) について

本件発明 3, 4 及び 6 は、いずれも本件発明 1 及び 5 所定の構成要件を付加したものであるが、被告各製品は、上記 1 ないし 3 で検討のとおり、本件発明 1 及び 5 の構成要件を充足しないから、本件発明 3, 4 及び 6 の技術的範囲にも属しない。

5 争点(5) (間接侵害の成否) について

原告は、本件発明 5 及び 6 に関し、被告各製品は、少なくとも本件発明 5 または 6 に係るエミュレーションシステムの「生産にのみ用いる物」に当たるから、被告各製品を譲渡等する行為については特許法 101 条 1 号の間接侵害が成立する旨主張する。

原告の主張は必ずしも判然とはしないが、これを善解すれば、本件発明 5 及び 6 はいずれも物である「エミュレーションシステム」(構成要件 5 I, 6 B) に関する発明であるところ、エミュレータ(エミュレーションに使用される集積回路である F P G A を含む物)である被告各製品は、エミュレーションシステムの生産にのみ用いられる物となる場合があるものとして、その譲渡等は間接侵害に当たる旨主張するものと解される。

しかし、上記 1 ないし 4 で検討したとおり、被告各製品は、本件各特許発明にいう「部分走査レジスタ」及び「再構成可能なネットワーク」を備えないから、構成要件 5 F ないし H を充足せず、構成要件 1 D (「部分走査レジスタ」につき) に関しての均等侵害も成立しないことから、構成要件 6 B を充足する

こともない。そうすると，被告各製品につき本件発明 5 及び 6 の間接侵害が成立する余地はない。

したがって，原告の間接侵害の主張には理由がないものというべきである。

6 結論

以上のとおりであるから，その余の点について判断するまでもなく，原告の請求はいずれも理由がないから，これを棄却することとし，主文のとおり判決する。

東京地方裁判所民事第 40 部

裁判長裁判官

東 海 林 保

裁判官

今 井 弘 晃

裁判官足立拓人は転補のため署名押印することができない。

裁判長裁判官

東 海 林 保

(別紙)

物 件 目 録

下記の製品名のエミュレータ。

記

1. 製品名「Z e B u - S e r v e r」
2. 製品名「Z e B u - X X L」
3. 製品名「Z e B u - P e r s o n a l」
4. 製品名「Z e B u - U F」
5. 製品名「Z e B u - X L」
6. 製品名「Z e B u - B l a d e 2」

(別紙)

被告各製品の構成及び動作の説明書

第1 被告各製品の構成及び一般的機能の説明

1 別紙Aについて

(1) 概略

● (省略) ●

(2) 論理状態素子セット (甲63の2第98項)

● (省略) ●

2 別紙Bについて (甲63の2第107及び第108項)

別紙Bは、上記別紙Aに示された回路を、より大きなスケールで、簡略化して示すものである。別紙Bにおける構成要素のうち別紙Aに示されたものと同一の構成要素については、別紙Aにおいて用いられたものと同一の参照符号を付している。

● (省略) ●

3 別紙Cについて (甲63の2第109ないし第111項)

● (省略)

第2 被告各製品の動作

● (省略) ●

別紙AないしD－Ⅲ

● (省略) ●

本件特許公報省略