

平成 19 年 9 月 26 日判決言渡

平成 19 年 (行ケ) 第 10044 号 審決取消請求事件

平成 19 年 7 月 25 日口頭弁論終結

| 判 | | 決 | |
|---------------|---|--------------------------------------|---------|
| 原 | 告 | 株式会社半導体エネルギー研究所 | |
| 訴訟代理人弁護士 | | 永 | 島 孝 明 |
| 同 | | 安 | 國 忠 彦 |
| 同 | | 明 | 石 幸 二 郎 |
| 同 | | 古 | 城 春 実 |
| 同 | | 栗 田 口 | 太 郎 |
| 同 | | 内 | 田 公 志 |
| 同 | | 鮫 | 島 正 洋 |
| 訴訟代理人弁理士 | | 磯 | 田 志 郎 |
| 被 | 告 | 特許庁長官 肥 塚 雅 博 | |
| 指 定 代 理 人 | | 稲 | 積 義 登 |
| 同 | | 向 | 後 晋 一 |
| 同 | | 小 | 池 正 彦 |
| 同 | | 大 | 場 義 則 |
| 被 告 補 助 参 加 人 | | チー メイ オプトエレクトロニクス コ ー ポ レ ー シ ョ ン | |
| 訴訟代理人弁護士 | | 大 | 野 聖 二 |
| 同 | | 市 | 橋 智 峰 |
| 同 | | 佐 | 藤 公 亮 |
| 訴訟代理人弁理士 | | 片 | 山 健 一 |
| 主 | | 文 | |

- 1 原告の請求を棄却する。

2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第 1 請 求

特許庁が訂正 2 0 0 6 - 3 9 1 4 1 号事件について平成 1 8 年 1 2 月 2 6 日にした審決を取り消す。

第 2 争いのない事実

1 特許庁における手続の経緯

(1) 原告は、平成 3 年 3 月 2 5 日に出願した特願平 3 - 8 4 6 5 3 号(以下「原出願」という。)の一部を分割して、平成 1 1 年 1 2 月 2 7 日に新たな特許出願とした特願平 1 1 - 3 7 1 6 4 1 号の一部を更に分割して、平成 1 2 年 8 月 7 日に、発明の名称を「アクティブマトリクス型表示装置」とする新たな特許出願(特願 2 0 0 0 - 2 3 8 6 1 6 号)とした特許第 3 2 4 1 7 0 8 号の特許(平成 1 3 年 1 0 月 1 9 日設定登録。以下「本件特許」という。登録時の請求項の数は 1 7 である。)の特許権者である。

(2) 被告補助参加人は、平成 1 7 年 4 月 2 5 日、本件特許の請求項 1 及び 6 に係る発明についての特許を無効とすることについて、訴外バイ・デザイン株式会社は、同年 6 月 2 4 日、本件特許の請求項 1 ないし 1 7 に係る発明についての特許を無効とすることについて、それぞれ審判を請求し、これらの請求は、それぞれ無効 2 0 0 5 - 8 0 1 3 1 号事件及び無効 2 0 0 5 - 8 0 1 9 3 号事件として特許庁に係属した。

原告は、両事件の審理の過程において、平成 1 8 年 1 月 1 9 日、本件特許に係る明細書の特許請求の範囲の記載等を訂正する請求をした。

特許庁は、審理の結果、平成 1 8 年 5 月 2 3 日、無効 2 0 0 5 - 8 0 1 9 3 号事件につき、「訂正を認める。特許第 3 2 4 1 7 0 8 号の請求項 1 ないし 1 7 に係る発明についての特許を無効とする。」との審決をした(なお、無効 2 0 0 5 - 8 0 1 3 1 号事件については、特許庁になお係属中である。)

原告は、上記審決中、「特許第3241708号の請求項1ないし17に係る発明についての特許を無効とする。」との部分を不服として、同年6月29日、その取消を求める訴訟を提起し、現在当庁に係属中である（平成18年（行ケ）第10298号）。

- (3) 原告は、平成18年8月30日、本件特許に係る明細書を訂正（以下、この訂正を「本件訂正」といい、本件訂正後の本件特許に係る明細書及び図面を「本件明細書」という。なお、本件訂正により、請求項1ないし4の記載が訂正され、請求項5ないし10が削除され、請求項11及び12が、請求項5及び6に項番変更されるとともに、その記載が訂正され、請求項13が削除され、請求項14ないし17が、請求項7ないし10に項番変更されるとともに、その記載が訂正されている。）することについて審判を請求し、この請求は、訂正2006-39141号事件として特許庁に係属した。

特許庁は、審理の結果、「本件審判の請求は、成り立たない。」との審決をし（以下「審決」という。）、平成19年1月10日、その謄本を原告に送達した。

2 特許請求の範囲

本件明細書の特許請求の範囲の請求項1ないし10の各記載は、次のとおりである（以下、これらの請求項に係る発明を項番に対応して、「本件訂正発明1」などといい、これらをまとめて「本件訂正発明」という。）。

「【請求項1】

表示部及び保護回路を有するアクティブマトリクス型表示装置であって、
前記表示部は、画素電極と、前記画素電極に電氣的に接続された駆動装置と、前記駆動装置に電氣的に接続された信号線とを有し、
前記保護回路は、薄膜トランジスタを有し、
該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタ

タのゲートがITO膜を介して電氣的に接続されるとともに、前記ITO膜を通じて前記信号線からの電圧が印加され、

該薄膜トランジスタのソース及びドレインの他方は、基準の電圧の配線に電氣的に接続され、

前記ITO膜と前記表示部の前記画素電極とは、同一の材料でなることを特徴とするアクティブマトリクス型表示装置。

【請求項2】

表示部及び保護回路を有するアクティブマトリクス型表示装置であって、
前記表示部は、画素電極と、前記画素電極に電氣的に接続された駆動装置と、前記駆動装置に電氣的に接続された信号線とを有し、

前記保護回路は、薄膜トランジスタを有し、

該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲート及び前記表示部が、ITO膜を介して電氣的に接続されるとともに、前記ITO膜を通じて前記信号線からの電圧が印加され、

該薄膜トランジスタのソース及びドレインの他方は、基準の電圧の配線に電氣的に接続され、

前記ITO膜と前記表示部の前記画素電極とは、同一の材料でなることを特徴とするアクティブマトリクス型表示装置。

【請求項3】

表示部及び保護回路を有するアクティブマトリクス型表示装置であって、
前記表示部は、画素電極と、前記画素電極に電氣的に接続された駆動装置と、前記駆動装置に電氣的に接続された走査線とを有し、

前記保護回路は、薄膜トランジスタを有し、

該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲート及び前記表示部の前記走査線が、ITO膜を介して電氣的に接続されるとともに、前記ITO膜を通じて前記走査線からの電圧が印加され、

該薄膜トランジスタのソース及びドレインの他方は、基準の電圧の配線に電氣的に接続され、

前記ITO膜と前記表示部の前記画素電極とは、同一の材料でなることを特徴とするアクティブマトリクス型表示装置。

【請求項4】

表示部及び保護回路を有するアクティブマトリクス型表示装置であって、
前記表示部は、画素電極と、前記画素電極に電氣的に接続された駆動装置と、前記駆動装置に電氣的に接続されたデータ線とを有し、

前記保護回路は、薄膜トランジスタを有し、

該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲート及び前記表示部の前記データ線が、ITO膜を介して電氣的に接続されるとともに、前記ITO膜を通じて前記データ線からの電圧が印加され、

該薄膜トランジスタのソース及びドレインの他方は、基準の電圧の配線に電氣的に接続され、

前記ITO膜と前記表示部の前記画素電極とは、同一の材料でなることを特徴とするアクティブマトリクス型表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、前記基準の電圧の配線は、固定電圧の配線であることを特徴とするアクティブマトリクス型表示装置。

【請求項6】

請求項1乃至請求項4のいずれか一において、前記基準の電圧の配線は、接地電圧の配線であることを特徴とするアクティブマトリクス型表示装置。

【請求項7】

請求項1乃至請求項6のいずれか一において、前記アクティブマトリクス型表示装置は、アクティブマトリクス型の液晶ディスプレイであることを特

徴とするアクティブマトリクス型表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれかーにおいて、前記アクティブマトリクス型表示装置は、電気的な信号によって光学特性を制御できる材料を用いた表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載のアクティブマトリクス型表示装置を用いたことを特徴とする投写型装置。

【請求項 10】

請求項 1 乃至請求項 8 のいずれかーに記載のアクティブマトリクス型表示装置を用いたことを特徴とするプロジェクター。」

3 審決の理由

別紙審決書写しのとおりである。要するに、本件訂正発明 1 ないし 10 は、下記(1)ないし(3)のいずれの理由からも、特許出願の際独立して特許を受けることができないから、本件訂正は特許法 126 条 5 項の規定に適合しない、というものである。

(1) 特許法 126 条 5 項違反（その 1）

本件訂正発明 1 ないし 10 は、原出願の出願日（以下「本件出願日」という。）前に頒布された刊行物である特開昭 63 - 10558 号公報（以下「刊行物 1」という。甲 1）記載の発明（以下「引用発明」という。）及び周知の技術事項に基づいて当業者が容易に発明することができたものであって、特許法 29 条 2 項の規定により、特許出願の際独立して特許を受けることができない（以下「理由(1)」という。）。

審決は、引用発明を下記アのとおり、本件訂正発明 1 と引用発明との一致点・相違点を下記イ、ウのとおり、それぞれ認定して、上記の判断をした。

ア 引用発明

「走査線 X と信号線 Y との間にマトリックス状に接続されている薄膜トランジスタ T F T と表示素子 L C を有する液晶表示装置 L C D のパネル P N L と、各信号線 Y にドレイン電極及びゲート電極が電氣的に接続されるとともにソース電極がアースライン E に電氣的に接続された第 1 の保護用薄膜トランジスタ T F T 1 と、各走査線 X にドレイン電極及びゲート電極が電氣的に接続されるとともにソース電極がアースライン E に電氣的に接続された第 2 の保護用薄膜トランジスタ T F T 2 を有するフラットディスプレイ。」の発明。

イ 一致点

「表示部及び保護回路を有するアクティブマトリクス型表示装置であって、前記表示部は、画素電極と、前記画素電極に電氣的に接続された駆動装置と、前記駆動装置に電氣的に接続された信号線とを有し、前記保護回路は、薄膜トランジスタを有し、該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲートが電氣的に接続されるとともに、前記信号線からの電圧が印加され、該薄膜トランジスタのソース及びドレインの他方は、基準の電圧の配線に電氣的に接続されるアクティブマトリクス型表示装置。」の発明である点。

ウ 相違点

本件訂正発明 1 は、薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲートが I T O 膜を介して電氣的に接続されるとともに、前記 I T O 膜を通じて前記信号線からの電圧が印加され、前記 I T O 膜と前記表示部の前記画素電極とは、同一の材料でなるとされているのに対し、引用発明はこのような構成となっていない点。

(2) 特許法 1 2 6 条 5 項違反（その 2）

本件訂正発明 1 ないし 1 0 は、本件明細書の発明の詳細な説明に記載されておらず、本件明細書の特許請求の範囲の記載が平成 6 年法律第 1 1 6 号に

よる改正前の特許法 36 条 5 項 1 号(以下,単に「特許法旧 36 条 5 項 1 号」という。)に規定する要件を満たしていないので,特許出願の際独立して特許を受けることができない(以下「理由(2)」という。)

(3) 特許法 126 条 5 項違反(その 3)

本件訂正発明 1 ないし 10 は,これらの発明における保護回路がその機能を果たすための技術事項が,本件明細書の発明の詳細な説明において,当業者が容易にその実施をすることができる程度に記載されているとはいえず,発明の詳細な説明の記載が平成 6 年法律第 116 号による改正前の特許法 36 条 4 項(以下,単に「特許法旧 36 条 4 項」という。)に規定する要件を満たしていないので,特許出願の際独立して特許を受けることができない(以下「理由(3)」という。)

第 3 取消事由に係る原告の主張

審決は,以下のとおり,理由(1)ないし(3)に係るいずれの認定判断にも誤りがあるから,違法として取り消されるべきである。

1 取消事由 1 (理由(1)に係る認定判断の誤り)

審決は,理由(1)において,本件訂正発明 1 と引用発明との相違点に関し,静電気等の過電圧をバイパスする保護用トランジスタにおいて,当該保護用トランジスタに過大な電流が流れることを防止するために,信号線と保護用トランジスタの間に制限抵抗要素を設けることが周知であると認定した上,引用発明において,制限抵抗を設けることは当業者が容易に想到し得るものであるとし, 液晶表示装置の画素電極として用いられる ITO 膜の抵抗率が,クロムやアルミニウムの抵抗率に比べれば桁違いに大きいこと,アクティブ・マトリックス方式のフラットディスプレイにおいて画素電極に用いられる ITO を配線材料として使用することが,いずれも周知であると認定した上,引用発明において,制限抵抗要素を設ける際に,制限抵抗要素を構成する抵抗材料として画素電極と同一材料の ITO 膜を採用することも当業者が容易になし得ると判

断し、本件訂正発明 2 ないし 10 についても、同様の認定判断をした。

しかし、審決の上記認定判断は、以下のとおり、誤りである。

(1) 周知技術の認定の誤り

ア 制限抵抗要素について

審決は、周知技術を示す文献として、特開昭 61 - 53761 号公報（甲 2）及び特開平 2 - 273971 号公報（甲 3）を例示し、静電気等の過電圧をバイパスする保護用トランジスタにおいて、当該保護用トランジスタに過大な電流が流れることを防止するために、信号線と保護用トランジスタの間に制限抵抗要素を設けることが周知である旨認定した。

しかし、甲 2 及び甲 3 は、いずれも本件訂正発明 1 及び引用発明の属するアクティブマトリクス型表示装置の技術分野を開示するものではないから、審決の上記認定は誤りである。

甲 2 は、半導体基板に形成される内部回路を保護するために半導体基板に MOSFET を形成しており、半導体基板に形成される半導体装置（集積回路）に関するものであり、甲 3 は、金属珪化物で表面が被覆された活性領域に特有の問題を解決するためのものであり、集積回路をそなえた半導体を有する半導体デバイス、特に金属珪化物で表面が被覆された活性領域を有する半導体デバイスに関するものである。これに対し、本件訂正発明 1 及び引用発明は、薄膜トランジスタ形成技術によって絶縁基板上に形成された薄膜トランジスタ（TFT）を用いた表示部及び保護回路を有するアクティブマトリクス型表示装置に関するものであり、その属する技術分野が、甲 2 及び甲 3 に開示されている各技術の属する技術分野とは異なる。

イ ITO について

審決は、周知技術を示す文献として、特開昭 62 - 209514 号（甲 5）を例示して、アクティブ・マトリックス方式のフラットディスプレイ

において画素電極に用いられるITOを配線材料として使用することが周知である旨認定した。

しかし、本件出願日当時、アクティブマトリクス型表示装置の技術分野において、ITO膜は透明度が高いという光学的特性を有するものの、導電性に関しては、これより金属材料の方が優れていることが周知であったから、単なる導電材料として使用する場合は、ITO膜でなく金属材料が用いられ、金属材料が使用できない特殊な理由がある場合に、ITO膜が用いられていたものであり、審決の上記認定は正確でない。

甲5においても、配線としては、金属材料の方がITOよりもシート抵抗が小さく優れているが、工程数の増加によるコストアップを防ぐため、やむを得ず、金属材料ではなくシート抵抗の大きいITOを利用していたことが開示されている（1頁右下欄末行～2頁左上欄12行）。

また、甲5では、ITOのシート抵抗が金属材料と比較して大きいため、よりシート抵抗の低いゲート線材料と2層にすることによって、シート抵抗を小さくしていた。

このように、本件出願日当時、アクティブマトリクス型表示装置の技術分野においては、ITOのシート抵抗が金属材料と比較して大きいことが、問題点ないし課題として認識されていた。

(2) 容易想到性の判断の誤り

ア 制限抵抗を設けることについて

前記(1)アのとおり、制限抵抗要素を設けることが周知であるとの審決の認定は誤りであるから、これを前提としてされた、引用発明において制限抵抗を設けることは当業者が容易に想到し得るものであるとの審決の判断も誤りである。

また、引用発明では、保護用薄膜トランジスタは表示部の薄膜トランジスタと比較して低インピーダンス化されているところ、制限抵抗を接続す

ると保護用薄膜トランジスタを含む回路のインピーダンスが高まることになるから、制限抵抗を設けることは引用発明の目的と相反する。

さらに、甲２は、寄生MOSFET自体の抵抗成分（ R_w ）を増加させるものであるから、低インピーダンス化されている引用発明の薄膜トランジスタに対し、甲２の技術を適用することは容易ではなく、甲３は金属珪化物で表面が被覆された活性領域に特有の問題を解決するためのものであるから、このような活性領域を利用していない引用発明に対し、甲３の技術を適用することも容易ではない。

イ 画素電極と同一材料のITO膜を採用することについて

(ア) 上記アのとおり、引用発明において制限抵抗を設けることは当業者が容易に想到し得るとの審決の判断は誤りであるから、この判断を前提としてされた、引用発明において、制限抵抗要素を設ける際に、制限抵抗要素を構成する抵抗材料として画素電極と同一材料のITO膜を採用することも当業者が容易になし得るとの審決の判断も誤りである。

(イ) 前記(1)イのとおり、本件出願日当時、配線等には一般に金属材料が用いられ、ITO膜が利用されたのは、金属材料が使用できない特殊な理由がある場合に限られていたのであるから、引用発明の保護用薄膜トランジスタのゲートとドレインとの金属材料による接続について、あえてITO膜を適用する契機や動機付けはない。

(ウ) 仮に引用発明において、甲２及び甲３に記載された技術を適用したとしても、当業者が相違点に係る本件訂正発明１の構成に想到することは容易ではない。

甲２及び甲３には、ITO膜に関する記載はなく、ITO膜を抵抗材料として利用することは開示・示唆されていないし、ITO膜のシート抵抗が金属材料と比較して高いことが周知であったとしても、前記(1)イのとおり、アクティブマトリクス型表示装置の分野において、ITO膜

の高いシート抵抗は問題点ないし課題として認識されており，これを積極的に利用して抵抗材料とすることに想到することは，困難である。

そして，本件訂正発明１は，相違点に係る構成を有することにより，保護回路の薄膜トランジスタを保護し，過大な電圧を速やかに取り除くことができ，表示部の薄膜トランジスタ（駆動装置）の作製と同時に作製することができるという引用発明から予測できない顕著な効果を奏する。

(3) 小括

以上のとおり，本件訂正発明１は，引用発明から容易に想到できるものではなく，また，同様の理由により，本件訂正発明２～１０も引用発明から容易に想到できるものではないというべきであるから，理由(1)に係る審決の認定判断は誤りである。

2 取消事由２（理由(2)に係る認定判断の誤り）

審決は，理由(2)において，本件訂正発明１は，本件明細書の発明の詳細な説明に記載されているといえないから，本件明細書の特許請求の範囲の記載が特許法旧３６条５項１号に規定する要件を満たしていないと認定判断し，本件訂正発明２ないし１０についても，同様の認定判断をした。

しかし，審決の上記認定判断は，以下のとおり，誤りである。

(1) 審決は，本件訂正発明１は，そのITO膜と信号線の間に抵抗要素がないか，あっても，前記ITO膜より抵抗値が小さいものであると考えられるとした上で，薄膜トランジスタのソース及びドレインの一方と該薄膜トランジスタのゲートを電氣的に接続するITO膜がその抵抗によって薄膜トランジスタに印加される過大な電圧を緩和するような発明（すなわち，前記ITO膜が直接信号線に接続される発明や非常に小さい抵抗を介して接続される発明）は，本件明細書の発明の詳細な説明に記載されているといえないと認定判断した。

しかし、審決の上記認定判断は、以下のとおり、誤りである。

ア 本件訂正発明 1 では、以下のとおり、「該薄膜トランジスタのソース及びドレインの一方には、該薄膜トランジスタのゲートが I T O 膜を介して電氣的に接続されるとともに、前記 I T O 膜を通じて前記信号線からの電圧が印加され」ることにより、たとえ I T O 膜と信号線との間に抵抗値の大きな抵抗要素が存在したとしても、薄膜トランジスタに印加される過大な電圧を I T O 膜によって緩和することができるから、審決の前記 の認定判断は誤りである。

本件明細書の図 6 (A) では、信号線 A と薄膜トランジスタのソース又はドレインとの間に I T O 膜 (R 2) が挿入されており、さらに I T O 膜 (R 2) から信号線 A までの間に他の抵抗要素 R 1 が挿入されている。信号線 A から印加された過大な電圧は、R 1 の抵抗成分によって電圧降下し、さらに I T O 膜 (R 2) の抵抗成分によって電圧降下して薄膜トランジスタのソース又はドレインに印加される。換言すれば、I T O 膜 (R 2) が存在しなければ、R 1 と R 2 の間の点 (ゲイトに伸びる線が分岐している点。以下「C 点」という。) の電圧がそのまま薄膜トランジスタのソース又はドレインに印加されるが、I T O 膜 (R 2) を設けることにより、C 点の電圧が I T O 膜 (R 2) によって電圧降下され、薄膜トランジスタのソース又はドレインに印加される。したがって、I T O 膜 (R 2) と信号線 A との間に抵抗値の大きな抵抗要素 R 1 が存在したとしても、薄膜トランジスタのソース又はドレインに印加される過大な電圧は、R 1 による緩和に加えて、必ず I T O 膜 (R 2) によって緩和される。

イ 本件訂正発明 1 は、以下のとおり、本件明細書の発明の詳細な説明に記載されているから、審決の前記 の認定判断は誤りである。

すなわち、本件明細書の発明の詳細な説明には、問題点として、ソース・ドレイン間に過大な電圧がかかると薄膜トランジスタが破壊されること

が開示され（段落【０００８】）、抵抗 R_1 及び R_2 （ITO膜の抵抗）を選択することによって、Nチャネル型薄膜トランジスタのゲート電圧および、ソース・ドレイン間の電圧を適当な値となるように設計することが記載されている（段落【００１７】）。そして、図６（Ａ）には、回路構成が示されている。

図６（Ａ）の回路において、信号線Ａから印加された過大な電圧が、 R_1 の抵抗成分によって降下し、さらに R_2 の抵抗成分によって電圧降下して薄膜トランジスタに印加されることは、当業者であれば、当然に理解する。加えて、本件明細書の発明の詳細な説明には、酸化錫・インジウム（ITO）が「抵抗性材料」であり、抵抗 R_2 として機能する配線であることが明記されている（段落【００３８】）。なお、薄膜トランジスタのソース・ドレイン間の電位差 V を小さくすることにより、ソース・ドレイン間に発生するジュール熱を減らすことができること、及びジュール熱によって薄膜トランジスタの特性が劣化することは周知であったから、抵抗 R_2 を設けることによって保護回路の薄膜トランジスタのソース・ドレイン間の電位差 V を小さくすることによって、ジュール熱を減らすことができ、保護回路の薄膜トランジスタを保護する効果が得られることも、本件明細書の発明の詳細な説明の記載から当業者が容易に理解することができる。

したがって、本件明細書の発明の詳細な説明には、信号線と薄膜トランジスタのソース又はドレインとの間にITO膜を設けることによって、薄膜トランジスタのソース又はドレインに印加される電圧を低減させる発明が開示されている。

- (2) 審決は、本件明細書の段落【０００７】、【０００８】及び【００１７】について、保護回路の保護及びジュール熱による素子の破壊について記載するものではないとし、また、段落【００２４】について、保護用薄膜トランジスタを保護することを記載するものの、 R_2 の電圧降下分により保護用薄膜

トランジスタをジュール熱から保護することについて記載するものではないと認定判断した。

しかし、以下のとおり、審決の上記認定判断は誤りである。

段落【０００７】及び【０００８】には、「表示部の薄膜トランジスタ」ではなく、単に「薄膜トランジスタ」と記載されており、その記載内容も、過大な電圧によって薄膜トランジスタに不良が発生するという問題点を示すものであって、表示部の薄膜トランジスタのみでなく、過大な電圧が印加される薄膜トランジスタ全般に当てはまる。

また、段落【０００９】にも、「表示部の薄膜トランジスタ」ではなく、単に「薄膜トランジスタ」と記載されており、同段落における薄膜トランジスタの保護とは、表示部の薄膜トランジスタを保護することのみでなく、（保護回路に薄膜トランジスタを設けた場合に）保護回路に設けられた薄膜トランジスタを保護することをも含むことは、当業者であれば、当然に理解する。なお、段落【００２４】の記載からも、保護回路の薄膜トランジスタを保護するという目的を読み取ることができる。

そうすると、薄膜トランジスタのゲート電極に過大な電圧が印加されることを問題視する段落【０００７】に接した当業者は、保護回路の薄膜トランジスタにおいても、ソース・ドレイン間に過大な電圧が印加されることが問題になると理解する。

以上を前提として、段落【００１７】の記載及び図６（Ａ）の回路構成をみれば、抵抗Ｒ１は、保護回路の薄膜トランジスタのゲート電極に印加される電圧を低減する効果及び保護回路の薄膜トランジスタのソース又はドレインに印加される電圧を低減する効果を有し、また、抵抗Ｒ２は、保護回路の薄膜トランジスタのソース又はドレインに印加される電圧を低減する効果を有することを理解することができる。

(3) 小括

以上のとおり、本件訂正発明１は、本件明細書の発明の詳細な説明に記載されており、また、同様の理由により、本件訂正発明２～１０も本件明細書の発明の詳細な説明に記載されているというべきであるから、理由(2)に係る審決の認定判断は誤りである。

3 取消事由３（理由(3)に係る認定判断の誤り）

審決は、理由(3)において、本件訂正発明１ないし１０は、これらの発明における保護回路がその機能を果たすための技術事項が、本件明細書の発明の詳細な説明において、当業者が容易にその実施をすることができる程度に記載されているとはいえず、発明の詳細な説明の記載が特許法旧３６条４項に規定する要件を満たしていないとの認定判断をした。

しかし、審決の上記認定判断は、以下のとおり、誤りである。

- (1) 本件訂正発明１の保護回路は、薄膜トランジスタを有しており、薄膜トランジスタのソース又はドレインの一方には、ゲートがITO膜を介して接続されるとともに、ITO膜を通じて信号線からの電圧が印加され、該薄膜トランジスタのソース及びドレインの他方には、基準の電圧の配線が電氣的に接続されている。このため、本件訂正発明１は、静電気等による過大な電圧が信号線に印加されても、保護回路を通じて過大な電圧を基準電圧の配線にバイパスして取り除くことができ、過大な電圧によって表示部の薄膜トランジスタが損傷されることを防止することができる。

また、本件明細書の発明の詳細な説明には、実施例２として、画素電極として形成されるITO膜の一部を保護回路のゲートとソース及びドレインの一方との接続に利用する態様が開示されており（段落【００６９】～【００７１】）、当業者が本件訂正発明１のアクティブマトリクス型表示装置を製造できるように記載されていることは明らかである。

なお、実際に保護回路を設計する場合は、薄膜トランジスタの特性、実施される表示装置の仕様（画素のサイズ及び画素数）等を考慮して、表示部が

破壊されないよう保護回路全体の抵抗が設計され、抵抗として機能するITO膜の抵抗は、その保護回路全体の抵抗の範囲内で保護回路の薄膜トランジスタの保護効果と過大な電圧を速やかに除去する効果のバランス等を考慮して決定される。

- (2) ア 審決は、本件明細書の段落【0017】の「一方、A点における電位が+50V以下であれば薄膜トランジスタは高い抵抗として機能し、電圧はあまり低下しない。したがって、正常な信号電圧はバイパスされない。」との記載について、A点に40Vの電圧が印加されると薄膜トランジスタが導通するはずであるから、正常な信号電圧はバイパスされないことを可能とする理由が不明である旨指摘する。

しかし、段落【0017】には、「薄膜トランジスタが導通しない」とは記載されておらず、「電圧はあまり低下しない」との記載が示唆するように、薄膜トランジスタが導通することを前提としている。そして、薄膜トランジスタが導通しても、抵抗R1によって電圧降下された電圧が薄膜トランジスタのゲートに印加されるため、薄膜トランジスタのソース・ドレイン間を流れる電流を小さくすることができ、結果として、薄膜トランジスタの抵抗を高くすることができる。

段落【0017】は、抵抗R1及びR2を設けた保護回路の効果について説明するものであるから、比較の対象としては、むしろ抵抗R1及びR2を設けなかった場合におけるA、B間の抵抗と比較すべきである。抵抗R1及びR2を設けなかった場合、A点の電位が40Vであったとしても、保護回路の薄膜トランジスタのゲートにはしきい値(5V)をはるかに上回る電圧が印加され、抵抗R1及びR2を設けた場合よりも薄膜トランジスタの抵抗は小さくなり、A、B間の抵抗は小さくなるのである。このように、保護回路に抵抗R1及びR2を設けることにより、正常な駆動電圧がバイパスされる量を低減させることができるのである。

イ 審決は、段落【００１７】の「同じ効果を奏する保護回路は薄膜トランジスタを利用しても作製することが可能である。」という記載に依拠して、本件訂正発明１のように薄膜トランジスタを用いた保護回路は、図９（Ａ）のツェナーダイオードＤ１と同様の機能を果たすべく、Ａ点における電位が＋５０Ｖ以上の時には、薄膜トランジスタが動作して、図６（Ａ）のＡ、Ｂ間の抵抗は、ほぼ、 $R_1 + R_2$ 程度の低い抵抗となり、Ａ点における電位が＋５０Ｖ以下の時には、Ａ、Ｂ間の抵抗は、 $R_1 + R_2$ に比べれば極めて高い抵抗とならなければならないものであると認められるとし、図６（Ａ）に示される回路では、Ａ点における電位が＋５０Ｖより小さい電位の時にも、そのＡ、Ｂ間の抵抗は、 $R_1 + R_2$ 程度の大きさであり、「高い抵抗」であるとはいえないから、本件訂正発明１のように薄膜トランジスタを用いた保護回路について、これが保護回路として機能するための事項が記載されているとはいえない、と結論付けているが、これは本件明細書の記載を誤解したものである。

段落【００１７】の「同じ効果を有する保護回路は薄膜トランジスタを利用しても作製することが可能である。」という記載における「同じ効果」とは、その文脈上、段落【００１０】の保護回路は正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせるという効果を指すことは明らかである。

さらに、表示部への過大な電圧をバイパスするという、本件明細書に開示された保護回路の基本的な目的からして、段落【００１０】の「正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる」との記載が、正常な駆動電圧は表示部に通過させるが、過大な電圧は表示部に通過させず、適切にバイパスさせることを意味することも明らかである。

(3) 小括

以上のとおり，本件訂正発明１ないし１０は，これらの発明における保護回路がその機能を果たすための技術事項が，本件明細書の発明の詳細な説明において，当業者が容易にその実施をすることができる程度に記載されているというべきであるから，理由(3)に係る審決の認定判断は誤りである。

第４ 取消事由に係る被告の反論

審決の認定判断に誤りはなく，原告主張の取消事由はいずれも理由がない。

１ 取消事由１（理由(1)に係る認定判断の誤り）について

原告は，引用発明に甲２の技術を適用したとしても，相違点に係る本件訂正発明１の構成を想到することは容易でない旨主張する。

しかし，原告の主張は，以下のとおり理由がない。

すなわち，甲２には，スイッチング素子である寄生ＭＯＳＦＥＴの両端に直列抵抗が接続されること（４頁右下欄２０行～５頁左上欄３行）及び抵抗Ｒ_Wが寄生ＭＯＳＦＥＴ２０と入力ボンデングパッド（ゲート）の間に設けられること（第４図）が記載されており，このような回路構成によりＦＥＴを保護するという技術を，引用発明に適用すれば，相違点に係る本件訂正発明１の構成に想到することになる。なお，引用発明において保護用薄膜トランジスタが低インピーダンス化されていることは，保護用抵抗を直列に設けることの阻害要因となるものではない。

また，原告主張の本件訂正発明１の効果は，当業者であれば予測可能なものである。すなわち，保護回路の薄膜トランジスタの保護は，甲２及び甲３に記載されている保護技術から，過大電圧の速やかな除去は，ＩＴＯの有する抵抗値の程度が周知であることから，保護回路の作成容易性は，例えば甲５に記載されているように，配線をＩＴＯで作成する場合にこれを画素電極と同時に作成することが周知であることから，いずれも予測可能である。なお，引用発明も，甲２及び甲３に記載された技術も，半導体装置を静電気から保護する入力保護回路に関するものであり，この意味において技術分野が異なるものではない。

い。したがって、甲 2、甲 3 の技術を引用発明に適用することができないということはない。

2 取消事由 2（理由(2)に係る認定判断の誤り）について

原告は、本件明細書の段落【0007】及び【0008】には、「表示部の薄膜トランジスタ」という記載は存在しないから、その記載内容は「表示部の薄膜トランジスタ」に限られず、また、段落【0009】の記載から、保護回路に設けられた薄膜トランジスタを保護することも含むことは、当業者であれば、当然に理解するなど主張する。

しかし、原告の主張は、以下のとおり理由がない。

すなわち、段落【0007】の「これらの回路に共通の問題点は各駆動回路と薄膜トランジスタとの間にサージ（静電気）電圧が発生した場合に、薄膜トランジスタを保護するための回路が設けられていないことである。」との記載における「これらの回路」とは、その直前の段落【0003】～【0006】の記載に係る図 1～図 4 記載の回路を指し、これらは薄膜トランジスタを保護するための回路が設けられていないことに照らせば、段落【0007】の記載における「薄膜トランジスタ」とは、表示部の薄膜トランジスタを意味し、同様に、段落【0008】の記載における「薄膜トランジスタ」も、表示部の薄膜トランジスタを意味すると理解される。

そして、段落【0009】の「薄膜トランジスタ」も、文脈から、段落【0007】及び【0008】と同様に、表示部の薄膜トランジスタを意味すると理解される。したがって、段落【0009】の「薄膜トランジスタを保護するための回路」とは、「表示部の薄膜トランジスタ」を保護する回路であって、「薄膜トランジスタを保護するための回路」の「薄膜トランジスタ」を保護する回路でないと合理的に理解される。

なお、段落【0017】では、図 6（A）の回路における R 1 及び R 2 は、除去すべき過大な電圧が A 点に印加されたときに、薄膜トランジスタが動作す

るよう、保護用薄膜トランジスタのゲート電極がそのしきい値電圧以上となるように設計する旨記載されており、保護用薄膜トランジスタの保護については記載されていない。また、段落【0024】では、保護用薄膜トランジスタの保護について言及されているが、R1とR2の接続点の電位、すなわちゲート電圧を許容値以下にすることによって、薄膜トランジスタを保護することが記載されているにとどまり、R2の電圧降下による保護やジュール熱からの保護は記載されていない。

このように、本件明細書は、薄膜トランジスタの保護について、薄膜トランジスタのゲートとチャネル間が高電圧となることによるゲート絶縁膜の破壊を課題として記載しているが、ジュール熱による破壊について記載していない。

3 取消事由3（理由(3)に係る認定判断の誤り）について

(1) 原告は、本件明細書の段落【0017】の「同じ効果」との記載は、ツェナーダイオードD1と同様の機能を意味するものではない旨主張する。

しかし、原告の上記主張は理由がない。

すなわち、段落【0010】には、「正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる必要がある。」と記載され、この機能を実現するものとして、段落【0011】～【0016】にダイオードを用いた保護回路が記載されている。そして、これらは、A点の電位が過大であるかどうかに応じて、ダイオードが「極めて高い抵抗」又は「低い抵抗」として機能することにより、A点の電位を通過させ、あるいは、接地電位にバイパスさせるものである。そうすると、段落【0017】における「同じ効果を有する保護回路は薄膜トランジスタを利用しても作成することが可能である。」との記載によって、図6（A）において、A点の電位が過大であるかどうかに応じて、A点とB点の間の抵抗が「極めて高い抵抗」又は「低い抵抗」となることにより、「正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる」ことを説明しているものと理解される。

しかるに、A 点の電位が、例えば 50 V と 40 V において、それぞれの抵抗値が $11R_2$ と $11 \cdot 4 \left(11 + 3/7 \right) R_2$ では、到底、「正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる」という機能を果たすに足りるだけの抵抗値の差は認められない。

(2) また、原告は、本件訂正発明 1 の保護回路は、静電気による過大な電圧が信号線に印加されても、保護回路を通じて過大な電圧を基準の電圧に配線にバイパスして取り除くことができ、また、正常な駆動（信号）電圧は、電源から大量の電流が供給されるので、表示部の薄膜トランジスタに供給することができると主張する。

しかし、原告の上記主張も以下のとおり理由がない。

すなわち、正常な駆動（信号）電圧は電源から大量の電流が供給されることを理由として、本件の保護回路が機能するとの点は、本件明細書に記載されていない。そもそも、正常な駆動（信号）電圧は電源から大量の電流が供給されることを理由として、本件の保護回路が機能するのであれば、本件明細書の図 6（A）の A 点と B 点の間は、単に抵抗で接続されていれば足りるのであって、ここに薄膜トランジスタを介在させる技術的意味はない。したがって、段落【0017】の「同じ効果を有する保護回路は薄膜トランジスタを利用しても作成することが可能である。」との記載は、図 6（A）において、A 点の電位が過大であるかどうかに応じて、A 点と B 点の間の抵抗が「極めて高い抵抗」又は「低い抵抗」となることにより、「正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる」ことを説明している記載であると理解すべきである。

第 5 当裁判所の判断

当裁判所は、本件訂正発明 1 ないし 10 は、これらの発明における保護回路に係る課題解決のための技術事項が、本件明細書の発明の詳細な説明において、当業者が容易にその実施をすることができる程度に記載されているとはいえ

ず、発明の詳細な説明の記載が特許法旧 36 条 4 項に規定する要件を満たしていないと判断する。その理由は、以下のとおりである。

1 取消事由 3（理由(3)に係る認定判断の誤り）について

本件訂正発明 1～4 には「保護回路は、薄膜トランジスタを有し」との構成が記載され、また、本件訂正発明 5～6 は本件訂正発明 1～4 を、本件訂正発明 7～8 は本件訂正発明 1～6 を、本件訂正発明 9～10 は本件訂正発明 1～8 を、それぞれ引用していることに照らせば、本件訂正発明 1～10 はいずれも、薄膜トランジスタを用いた保護回路に係る発明である点で共通する。

そして、本件明細書の発明の詳細な説明欄には、後記のとおり、薄膜トランジスタを用いた保護回路について従来生じていた課題を解決するための具体的な技術手段として、「R1 と R2 の抵抗値を選択して薄膜トランジスタのソース・ドレイン間の電圧とゲート電極の電圧を適正な値に設定することにより、正常な駆動電圧は表示装置に通過させるが、過大な電圧は通過させず、適切にバイパスさせる」とする技術事項が、本件訂正発明 1～10 のすべてに共通するものとして記載されている。

そうすると、本件においては、本件明細書の発明の詳細な説明欄の記載に、上記の「R1 と R2 の抵抗値を選択して・・・正常な駆動電圧は表示装置に通過させるが、過大な電圧は通過させず、適切にバイパスさせる」との技術事項が、当業者にとって、発明を実施できる程度に、説明されているといえるか否かが検討の対象となる。

(1) 本件明細書（甲 7 の 2）の発明の詳細な説明の記載

ア 発明が解決しようとする課題等

(ア) 本件明細書の発明の詳細な説明には、産業上の利用分野、従来の技術、発明が解決しようとする課題について、次の記載がある。

「【0001】

【産業上の利用分野】

本発明は、画素の存在する部分に薄膜トランジスタが存在し、これら薄膜トランジスタが画素の駆動装置として機能する表示装置、およびこのような形態の表示装置を利用した各種装置に関する。

【 0 0 0 2 】

【従来の技術】

上記に列挙した表示装置は各画素ごとに薄膜トランジスタ等の駆動装置が存在し、画素を制御するという、いわゆるアクティブマトリックス方式を採用している。各画素に割り当てられる薄膜トランジスタの数は図1に示されるものでは1個であり、また図2ないし図4に示されるものでは、2個もしくは必要によってはそれ以上の数の薄膜トランジスタが使用される。また、方式によっては、複数の画素を1つもしくはそれ以上の数の薄膜トランジスタが使用される場合もある。いずれの場合でも、各画素は縦方向と横方向に複数の信号線を配置し、これらの交点に液晶素子のごとき電気光学素子を配置し、薄膜トランジスタによって、縦横の信号線によって送られたデータをもとに電気光学素子を制御する。」

「【 0 0 0 7 】

これらの回路に共通の問題点は各駆動回路と薄膜トランジスタの間にサージ（静電気）電圧が発生した場合に、薄膜トランジスタを保護する為の回路が設けられていないことである。特に、薄膜トランジスタのゲイト電極に高い電圧が加わると、ゲイト絶縁膜が破壊され、素子として機能しなくなる。

【 0 0 0 8 】

また、薄膜トランジスタのソース・ドレイン間に過大な電圧がかかることによって、それはゲイト電極とチャネル形成領域との間の電圧が大きくなり、間接的にゲイト絶縁膜の破壊につながるため、薄膜トラン

ジスタは大きなダメージを受け、場合によっては破壊に到る。このような過大な電圧の源泉としては何らかの理由によって生じた静電気が主な理由であり、電流量自体は決して大きくないことがほとんどであり、過大な電圧が発生した場合には速やかに取り除くことが望まれる。

【 0 0 0 9 】

【発明が解決しようとする課題】

本発明は薄膜トランジスタを保護するための回路を適切な位置に適切な作製方法によって設け、薄膜トランジスタを保護し、上記表示素子の信頼性、寿命を高めることを目的とする。」

(イ) 上記(ア)の記載によれば、本件明細書の発明の詳細な説明では、画素を構成する電気光学素子（例えば、液晶素子）を薄膜トランジスタにより制御するアクティブマトリクス型表示装置では、静電気等により表示部の薄膜トランジスタのゲート電極に高い電圧がかかった場合や、薄膜トランジスタのソース・ゲート間に過大な電圧がかかってゲート電極とチャネル形成領域との間の電圧が大きくなった場合に、ゲート絶縁膜が破壊され、素子として機能しなくなるという問題があったので、本件訂正発明は、発生した過大な電圧を速やかに取り除く回路を適切な位置に設けることによって、表示部の薄膜トランジスタを破壊から保護するようにしたもの、とされていることが理解できる。

イ 課題を解決するための手段

(ア) 本件明細書の発明の詳細な説明には、発明の課題を解決しようとする手段について、次の記載がある。

「【 0 0 1 0 】

【課題を解決しようとする手段】

薄膜トランジスタの保護回路は、装置の表示部分の周辺に設けられることが望まれ、また、表示部分の薄膜トランジスタの作製と同時に作製

されることが望まれる。さらに、正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる必要がある。薄膜トランジスタにおいて過大な電圧とは通常、ゲイト電圧のしきい値電圧の10倍程度であり、50V以上を指すが、この値は薄膜トランジスタの構造によって大きく変化する。一方、通常の駆動電圧は、大きくてもゲイト電圧のしきい値電圧の数倍であり、大抵の場合、10～40Vであるが、この値も薄膜トランジスタの構造によって大きく変化する。

【0011】

以上のような条件を満たすために、本発明では、図5に示すように、表示素子部とその周辺の駆動回路部に保護回路を設ける。保護回路としては、例えば、図8および図9に示されるダイオードの持つツェナー特性を利用して回路を用いることができる。」

「【0017】

同じ効果を有する保護回路は薄膜トランジスタを利用しても作製することが可能である。その例を図6および図7に示す。図6(A)は、正の過大電圧がかかったときにのみ動作して過大電圧をバイパスする回路である。抵抗R1およびR2を選択することによって、Nチャネル型薄膜トランジスタのゲイト電圧および、ソース・ドレイン間の電圧を適当な値となるように設計する。例えば、 $R1/R2 = 10$ とすれば、図中のA点における電位が(B点における電位を基準として)+50Vであるときに、ゲイトの電位を+5Vとすることができる。そして、この薄膜トランジスタのしきい値電圧が+5Vならば、この薄膜トランジスタは動作し、ソース・ドレイン間に電流が流れる。A点における電位が+50V以上であれば、ゲイト電極の電位は+5V以上であるので、薄膜トランジスタは動作して、過大な電圧を除去する効果を示す。ここで、薄膜トランジスタとして、Pチャネル型トランジスタとすれば、負の過

大電圧がかかった場合にのみ動作する。一方，A点における電位が+50V以下であれば，薄膜トランジスタは高い抵抗として機能し，電圧はあまり低下しない。したがって，正常な信号電圧はバイパスされない。」

「【0021】

図6は，Nチャネル型薄膜トランジスタもしくはPチャネル型薄膜トランジスタのどちらか一方を使用して構成された保護回路に関するものであった。Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタを両方とも用いることによっても図7に示すように保護回路を構成することができる。図7（A）を用いて，この方法による保護回路の基本動作を説明する。

【0022】

図6で示したものと同様に，適切な抵抗 R_1 ， R_2 を選択することによって，ソース・ドレイン間の電圧とゲイト電極の電位を適切な値にすることができる。例えば， $R_1 / R_2 = 10$ とすることによって，A点における電位が，B点を基準としたときに+50であったとすると，薄膜トランジスタのゲイト電極の電圧はいずれも+5Vとである。そして，薄膜トランジスタのうち，Nチャネル薄膜トランジスタであるT1のみがバイパスとして機能する。

【0023】

逆に，A点の電位が-50Vであった場合には，両薄膜トランジスタのゲイト電極の電位は-5Vであるが，このときにはPチャネル型薄膜トランジスタであるT2のみがバイパスとして機能する。図7（B）は，以上の回路を組み合わせたものである。

【0024】

このような方式を採用する場合には，保護回路で使用される薄膜トランジスタの耐圧が保護回路の耐圧を決定する。薄膜トランジスタにおい

て、ゲート電極とソース電極との電圧の許容値が50Vであれば、以上の回路は±500Vまでの電圧に対して耐えることができ、かつ、保護回路として機能する。もちろん、抵抗の値を選択することによってこの値を変えることは容易にできる。」

(イ) 上記(ア)の記載によれば、本件明細書の発明の詳細な説明では、保護回路は、装置の表示部分の周辺に設けられること及び表示部分の薄膜トランジスタの作製と同時に形成されることが望まれること、保護回路は、正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる必要があること、薄膜トランジスタにおいて過大な電圧とは通常、ゲート電圧のしきい値電圧の10倍程度であり、50V以上を指すが、この値は薄膜トランジスタの構造によって大きく変化すること、上記のような効果を有する保護回路は、ダイオードの持つツェナー特性を利用しても、薄膜トランジスタを利用しても構成することができ、図6の回路構成の場合、R1とR2の抵抗値を選択して、Nチャネル型薄膜トランジスタのゲート電圧及びソース・ドレイン間の電圧を適当な値となるように設計することにより、保護回路が構成できること、保護回路は、図7のように、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタを両方とも用いることによっても構成でき、図6の保護回路と同様、適切な抵抗R1、R2を選択することによって、ソース・ドレイン間の電圧とゲート電極の電位を適切な値に設定できることなどが、説明されているといえることができる。

ウ 保護回路の構成

(ア) 本件明細書の発明の詳細な説明欄には、保護回路を構成する抵抗R1及びR2と薄膜トランジスタ並びに回路の動作に関する説明として、次の記載がある。

「【0025】

図6および図7ではソース・ドレイン間の抵抗については何ら記述がないが、この値を考慮することはソース・ドレイン間の電圧を決定する上で重要である。一般的な薄膜型トランジスタにおける値としては、例えば、チャネル長が $10\ \mu\text{m}$ 、チャネル幅が $10\ \mu\text{m}$ のNチャネル型薄膜トランジスタで $10^8 \sim 10^{11}$ が得られている。この値はかなり大きいように思えるが、抵抗率 $10^6 \cdot \text{cm}$ の高抵抗多結晶シリコン、あるいはアモルファス（セミアモルファス）シリコンを用いて、長さ $10\ \mu\text{m}$ 、幅 $1\ \mu\text{m}$ 、厚さ $0.1\ \mu\text{m}$ の線状体の抵抗は 10^{12} となり、上記の薄膜トランジスタの抵抗はほとんど無視できる。」

(イ) 上記記載によれば、保護回路の設計に当たって、薄膜トランジスタのソース・ドレイン間の抵抗値を考慮することが、ソース・ドレイン間に印加される電圧を決定する上で重要であるとしつつも、実際には、薄膜トランジスタのソース・ドレイン間の抵抗値 $10^8 \sim 10^{11}$ と比べて、抵抗 R_1 と R_2 の値を 10^{12} 程度とすることができるため、薄膜トランジスタのソース・ドレイン間の抵抗値は無視できるとの説明がされている。なお、段落【0017】、【0022】では、薄膜トランジスタのゲートに印加される電圧は、 R_1 と R_2 の抵抗値の比で決まると説明されているが、その理由は、段落【0025】の記載により、 R_1 と R_2 の抵抗値が薄膜トランジスタのソース・ドレイン間の抵抗値よりも桁違いに大きく、後者は無視できるためであると理解できる。

(2) 判断

本件明細書の発明の詳細な説明欄の記載によれば「 R_1 と R_2 の抵抗値を選択して・・・正常な駆動電圧は表示装置に通過させるが、過大な電圧は通過させず、適切にバイパスさせ」て、アクティブマトリクス型表示装置の表示部を静電気等の高電圧による破壊から保護するという本件訂正発明の課題を解決する手段が、具体的に説明されているとはいえないと解される。

その理由は、次のとおりである。

ア すなわち、本件明細書の発明の詳細な説明には、薄膜トランジスタを用いた保護回路が、保護回路として機能するためには、正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせるものでなければならない、本件明細書の説明では、図6、図7に示した回路構成において、 R_1 と R_2 の抵抗値を選択して薄膜トランジスタのソース・ドレイン間の電圧とゲート電極の電圧を適正な値に設定することにより、このような動作が可能とされている、その理由は、 R_1 と R_2 の抵抗値が薄膜トランジスタのソース・ドレイン間の抵抗値よりも桁違いに大きく、後者の抵抗が無視できるため、 R_1 と R_2 の抵抗値の比で薄膜トランジスタのゲートに印加される電圧が決まるためであるという事項が記載されている。

しかし、薄膜トランジスタのソース・ドレインの抵抗を無視できるということは、薄膜トランジスタのゲートに電圧を印加して、これをオン・オフ状態を切り替えたとしても、 R_1 及び R_2 を含めた保護回路全体の抵抗値はほとんど変化しないことを意味する。そうすると、本件明細書の発明の詳細な説明の記載事項によれば、アクティブマトリクス型表示装置の表示部にかかる過大な電圧を速やかに取り除くという本件訂正発明の目的を達成できないことは、明らかである。

イ これに対し、原告は、以下のとおり主張する。

まず、原告は、抵抗として機能するITO膜の抵抗は、保護回路全体の抵抗の範囲内で保護回路の薄膜トランジスタの保護効果と過大な電圧を速やかに除去する効果のバランス等を考慮して決定されるのであり、本件明細書の発明の詳細な説明には、当業者が容易にその実施をすることができる程度に、本件訂正発明の目的、構成及び効果が記載されている旨主張する。しかし、本件明細書の発明の詳細な説明には、前記検討したほかには、

保護回路を設計するために必要な具体的な指針や実施例の説明がなく，これに接した当業者が，原告主張のような一般論のみに基づいて，前記の機能を有する保護回路を容易に設計できるとも認められない。

また，原告は，本件明細書の段落【００６９】～【００７１】には，実施例２として，画素電極として形成されるITO膜の一部を保護回路のゲートとソース及びドレインの一方との接続に利用する態様が開示されており，当業者が本件訂正発明のアクティブマトリクス型表示装置を製造できるように記載されていることは明らかであるとも主張する。しかし，実施例２は，ITO等の透明導電性材料の皮膜をスパッタ法により形成後，パターニングを行って，表示部の画素電極と，表示部の周辺領域に設けられる保護回路の抵抗として機能する配線とを形成することを説明しているにすぎず，このようにして形成されたものが保護回路に必要とされる上記の機能を有することを裏付けるものではない。

ウ 原告の提出したシミュレーション結果について

(ア) シミュレーション報告書（甲１７）

上記シミュレーション報告書は，保護回路の R_1 ， R_2 の抵抗値を $10^2 \sim 10^5$ に設定しているが，本件明細書の段落【００２５】の説明では， R_1 ， R_2 の大きさは 10^{12} 程度とされており，7桁も値が異なる点，薄膜トランジスタのソース・ドレイン間の抵抗が無視できず， R_1 と R_2 の抵抗値の比だけでは薄膜トランジスタのゲートに印加される電圧は決まらないことを示しているが，これは，薄膜トランジスタのソース・ドレイン間の抵抗は無視でき，ゲートに印加される電圧が R_1 と R_2 の抵抗値の比で決まるという本件明細書の段落【００１７】の説明と整合しない点，仮定したパラメータの下での保護回路の電気的特性を示したにすぎず，これがアクティブマトリクス型表示装置の表示部の保護回路として機能するかどうかについて検討されていない点，

などにおいて，原告の主張を裏付けるものとはいえない。

のみならず，同シミュレーションの結果は，シミュレーションで仮定したパラメータの下では， R_1 と R_2 の抵抗値の比だけでは薄膜トランジスタを動作させる電圧が決まらないばかりか，薄膜トランジスタのソース・ドレイン間の動作抵抗自体がゲートに印加する電圧に依存して大きく変動し，逐一シミュレーションをしない限り，保護回路として機能するか否かを確認できないことを示すものであり，かえって，本件明細書の記載に基づいては，保護回路を設計できないことを示すものといえる。

(イ) 追加シミュレーション報告書（甲１８）

追加シミュレーション報告書は，人体の静電気により高電圧が印加されるとの前提で， R_1 と R_2 の抵抗値を変化させた場合の保護回路の時間応答特性（過渡現象）を評価したものであるが，そもそも，保護回路の時間応答特性の問題は，本件明細書に記載も示唆もされていない点，

甲１９の１７４頁に記載されているように，人体モデルは，一般に， 100 pF の容量と 1.5×10^3 の抵抗との直列回路で表現されるが，追加シミュレーションでは，人体モデルを，抵抗を無視して 100 pF の容量のみで表現しており，妥当なものとはいえない点，本件明細書の段落【００１０】の記載によれば，過大な電圧とされる値は，薄膜トランジスタの構造によって大きく変化するとされているにもかかわらず，追加シミュレーションでは，過大な電圧の下限値を 50 V に設定している点，さらに，甲１８の図４から，電圧が 500 V から 50 V まで降下するまでの時間が R_1 の値に依存することが理解できるところ，下限値が，例えば， 40 V と仮定して図４を参照すると， R_1 が 10^5 の場合，電圧降下に要する時間は，図４に表示された時間範囲に収まらないほど大きくなる点，などにおいて原告の主張を裏付けるものと

はいえない。

のみならず，追加シミュレーションの結果は，保護回路の時間応答特性が，素子のパラメータの値や電圧の設定値によって大きく変動することを示しており，かえって，本件明細書の記載に基づいては，保護回路を設計できないことを示すものといえる。

(3) 小括

その他，原告は理由(3)に係る審決の認定判断につき縷々主張するが，いずれも理由がない。

以上のとおりであるから，理由(3)に係る審決の認定判断は，これを是認することができる。原告主張の取消事由 3 は理由がない。

2 結論

上記検討したところによれば，「本件審判の請求は，成り立たない。」とした審決の結論は，理由(1)及び(2)に係る審決の認定判断の当否を検討するまでもなく，これを是認することができる。よって，原告主張の取消事由 1（理由(1)に係る認定判断の誤り）及び取消事由 2（理由(2)に係る認定判断の誤り）について検討するまでもなく，原告の本訴請求は理由がないから，これを棄却することとし，主文のとおり判決する。

知的財産高等裁判所第 3 部

裁判長裁判官 飯 村 敏 明

裁判官 大 鷹 一 郎

裁判官 嶋 末 和 秀