

平成13年（行ケ）第448号 補正の却下の決定取消請求事件  
[平成15年1月30日判決言渡, 同月16日口頭弁論終結]

判 決

原 告 モトローラ インコーポレイテッド  
訴訟代理人弁理士 大貫進介  
被 告 特許庁長官 太田信一郎  
指定代理人 堀田和義, 西川正俊, 小林信雄, 林 栄二, 高橋泰史

主 文

原告の請求を棄却する。  
訴訟費用は原告の負担とする。  
この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 原告の求めた裁判

特許庁が不服2000-7949号事件について平成13年5月29日にした補正の却下の決定を取り消す。

第2 事案の概要

本件は、平成5年法律第26号の施行前に特許出願をした原告が、拒絶査定を受け、これを不服として請求した審判事件の係属中に、手続補正をしたところ、補正を却下する決定がされたため、この決定の取消しを求めて出訴した事案である。

1 前提となる事実等

(1) 特許庁における手続の経緯

(1-1) 本願発明

出願人 モトローラ インコーポレイテッド (原告)  
発明の名称 「時間重複メモリ・アクセスを有するランダムにアクセス可能なメモリ」  
出願番号 平成4年特許願第151202号  
出願日 平成4年5月20日 (優先権主張日1991年5月20日)

(1-2) 本件手続

拒絶査定日 平成12年2月21日  
審判請求日 平成12年5月29日 (不服2000-7949号)  
手続補正書提出 平成12年6月28日  
補正却下決定 平成13年5月29日 (出訴の附加期間90日)  
決定謄本送達日 平成13年6月12日 (原告に対し)

(2) 本願発明の要旨

(2-1) 出願当初の【請求項1】

「入力アドレスを受け取るアドレス・ポート；  
データを通信するデータ・ポート；  
メモリ記憶素子(46)のアレイ；および  
メモリ記憶素子のアレイに結合され、アドレス情報と、入力アドレスに応答して入力データまたは出力データのいずれかとを記憶する記憶手段(50)；  
によって構成されるそれぞれ独立してアドレスすることが可能な複数の記憶バンクであって；  
前記記憶バンク(34, 52)は単一の集積回路内に実現され、前記複数の記憶バンクは複数の多重重複期間内にアクセスされることを特徴とする時間重複メモリ・アクセスを有するランダムにアクセス可能なメモリ(28)。」

(2-2) 平成12年6月28日付け手続補正に係る【請求項1】

「集積回路内のメモリ(28)にアクセスする方法であって；  
第1メモリ動作を実行するための第1命令を受信する段階であり、該第1命令は第1メモリ位置を指定するところの段階；  
第1命令をデコードして、複数のメモリバンクのうち第1メモリ動作の実行中にアクセスすべき第1メモリバンク(34)を指定する段階；  
前記第1メモリバンク内の第1ラッチ回路(42)内に第1アドレス値をストアする段階であり、該第1アドレス値が前記第1メモリバンク内の第1メモリ位置に対応するところの段階；

前記第1メモリバンク内の第2ラッチ回路(37)内に第1制御値をストアする段階であり、該第1制御値が、読み出しメモリ動作および書き込みメモリ動作のうち実行すべきメモリ動作のタイプを指定するところの段階；

第2メモリ動作を実行するための第2命令を受信する段階であり、該第2命令はアクセスすべき第2メモリ位置を指定するところの段階；

第2命令をデコードして、複数のメモリバンクのうち第2メモリ動作の実行中にアクセスすべき第2メモリバンク(54)(判決注：(52)の誤記と認める。)を指定する段階；

前記第2メモリバンク内の第1ラッチ回路内に第2アドレス値をストアする段階であり、該第2アドレス値が前記第2メモリバンク内の第2メモリ位置に対応するところの段階；

前記第2メモリバンク内の第2ラッチ回路内に第2制御値をストアする段階であり、該第2制御値が、実行すべきメモリ動作の前記タイプを指定するところの段階；および

前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階；  
から成る方法。」

### (3) 決定の理由

本件決定の理由は、【別紙】「補正の却下の決定の理由」に記載のとおりである。

要するに、本件手続補正は、特許請求の範囲を変更するものであって、当初明細書等に記載した事項の範囲内においてするものではないから、他の補正内容について検討するまでもなく、明細書の要旨を変更するものとして、却下すべきである、というものである。

## 2 争点(決定取消事由)

平成12年6月28日付け手続補正(本件手続補正、甲3)に係る補正事項が、願書に添付した明細書及び図面(当初明細書等、甲2)に記載がないものを含み、本件手続補正が明細書の要旨の変更当たる旨をいう決定の判断の可否。

### (1) 原告の主張の要点

(1-1) 補正の却下の決定(甲1)は、平成12年6月28日付け手続補正書(甲3)による本願特許請求の範囲のうち請求項1にある「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」(以下、「本件補正事項」という。)という構成が、当初明細書等(甲2)に記載されていないと判断したが、この判断は誤りである。よって、補正の却下の決定は、違法であって取り消されるべきである。

(1-2) 本件補正事項のうち、「第1メモリバンク内での第1メモリ動作」は、補正の却下の決定でも指摘されているように、当初明細書等の【図5】(甲2、以下、単に「【図5】」という。)に示す実施例の「読み込みA」に対応する。【図5】において、「読み込みA」は3か所存在するが、一番下にある「読み込みA」に対応する。また、本件補正事項のうち、「第2メモリバンク内での第2メモリ動作」は、同決定でも指摘されているように、【図5】に示す実施例の「書き込みB」に対応する。【図5】において、「書き込みB」は2か所存在するが、下の方にある「書き込みB」に対応する。

【図5】に明示されているように、メモリバンク34内での「読み込みA」の動作とメモリバンク52内での「書き込みB」の動作は、第3クロック及び第4クロックにおいて重複的に同時に実行されている。したがって、本件補正事項は、当初明細書等に記載されている。

(1-3) 被告は、本件補正事項である「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」を、「メモリ・デバイスが、前記第1メモリバンク内での第1メモリ動作と、第2メモリバンク内での第2メモリ内での第2メモリ動作を、同じ時刻(クロック・サイクル)で開始すること」と解釈しているが、誤りである。

被告は、特許請求の範囲には「同じ時刻で開始する」という記載がないにもかかわらず、根拠なくそのように解釈している。

(1-4) 被告は、ことさら「段階」という語に固執して主張している。しか

し、我が国の特許出願実務においては、実施例中では「段階」の語を使わず方法の発明を記載する請求項中では各要素を「段階」という語で締めくくることが昔から頻繁になされていることであり、締めくくりを意味する「段階」や「工程」などの語に特別な意味はない。まして、特許請求の範囲第1項に「段階」の語があるから「同時に実行」を「同時に開始」と解釈しなければならないとする理由はない。

(2) 被告の主張の要点

(2-1) 原告は、「【図5】に明示されているように、メモリバンク34内での「読み込みA」の動作とメモリバンク52内での「書き込みB」の動作は、第3クロック及び第4クロックにおいて重複的に同時に実行されている。」という理由から、「本件補正事項は、当初明細書等に記載されている。」と主張するが、以下の(A)、(B)の点で失当である。

(A) 本件補正事項は、「メモリ・デバイスが、前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を、重複期間に同時に実行すること」のほかに、【図5】に記載されている第1メモリバンク内での第1メモリ動作の開始時刻と第2メモリバンク内での第2メモリ動作の開始時刻とをずらすものとは異なる「メモリ・デバイスが、前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を、同じ時刻(クロック・サイクル)で開始すること」という当初明細書等に記載された範囲外の技術的事項が特許請求の範囲に含まれるようにしたものである点。

(B) 本件の当初明細書等には、第1メモリバンク内での第1メモリ動作を実行するための一連の処理(第2クロック・サイクルから第4クロック・サイクルまで)と第2メモリバンク内での第2メモリ動作を実行するための一連の処理(第3クロック・サイクルから第5クロック・サイクルまで)とを、一部の期間(第3クロック・サイクル及び第4クロック・サイクル)で、重複させることが記載されているだけである。

しかし、本件補正事項は、第1メモリ動作に関連した

「第1メモリ動作を実行するための第1命令を受信する段階であり、該第1命令は第1メモリ位置を指定するところの段階；第1命令をデコードして、複数のメモリバンクのうち第1メモリ動作の実行中にアクセスすべき第1メモリバンク(34)を指定する段階；前記第1メモリバンク内の第1ラッチ回路(42)内に第1アドレス値をストアする段階であり、該第1アドレス値が前記第1メモリバンク内の第1メモリ位置に対応するところの段階；前記第1メモリバンク内の第2ラッチ回路(37)内に第1制御値をストアする段階であり、該第1制御値が、読み出しメモリ動作および書き込みメモリ動作のうち実行すべきメモリ動作のタイプを指定するところの段階；」と、

第2メモリ動作に関連した

「第2メモリ動作を実行するための第2命令を受信する段階であり、該第2命令はアクセスすべき第2メモリ位置を指定するところの段階；第2命令をデコードして、複数のメモリバンクのうち第2メモリ動作の実行中にアクセスすべき第2メモリバンク(54)(判決注：(52)の誤記と認める。)を指定する段階；前記第2メモリバンク内の第1ラッチ回路内に第2アドレス値をストアする段階であり、該第2アドレス値が前記第2メモリバンク内の第2メモリ位置に対応するところの段階；前記第2メモリバンク内の第2ラッチ回路内に第2制御値をストアする段階であり、該第2制御値が、実行すべきメモリ動作の前記タイプを指定するところの段階；」

とを、それぞれ記載した上で、さらに

「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」

をこれらとは別の段階として記載することによって、

「当初明細書等にはそれぞれ一連の処理として記載されていた第1メモリ動作、第2のメモリ動作とを、異なった段階の処理として扱うこと」

という当初明細書等に記載された範囲外の技術的事項が特許請求の範囲に含まれるようにした結果、第1メモリバンク内での第1メモリ動作を実行するための第1段階の処理を開始する時刻(第2クロック・サイクル)と第2メモリバンク内での第2メモリ動作を実行するための第1段階の処理を開始する時刻(第3クロック・サイクル)が異なっているにもかかわらず、第1メモリバンク内での第1メモリ動作を実行するための第2段階の処理と第2メモリバンク内での第2メモリ動作を実行するための第

2段階の処理を同時に開始することができるという、当初明細書等の記載からは予測し得ない構成が含まれることになった点。

(2-2) 原告の(1-3)の主張は、被告の主張を誤って解釈している。

被告は、「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」という構成には、第1メモリバンク内での第1メモリ動作と、第2メモリバンク内での第2メモリ動作を、開始時刻をずらして重複期間に同時に実行するものだけでなく、開始時刻を揃えて重複的に同時に実行するものが含まれ、これが、当初明細書等に記載した事項の範囲内でないことを問題にしているのである。

当初明細書等には、「同時に実行する」という直接の記載はない。【図5】では、「重複的に実行する期間がある」ということにすぎず、これと、本件補正事項でいう「同時に実行する」ということとは、同じ技術的内容を示すものとはいえない。

本件補正事項の「同時に実行する」ということには、「重複的に実行する期間がある」場合のみならず、「同時に開始して実行する」場合が含まれることとなる。

(2-3) 当初明細書等の中では、「段階」という用語が、第1メモリ動作のメモリ・アクセス時に第1メモリ動作を実行するための信号値をラッチ回路に書き込み、このあと、アドレス・ポートに接続された信号線を第2のメモリ・アクセス動作のために使用ができるようにするといった特別な意味をもつ技術用語として使われているのであるから、当初明細書等の記載を無視した原告の(1-4)の主張は誤りである。

### 第3 当裁判所の判断

1 原告は、【図5】に明示されているように、メモリバンク34内での「読み込みA」の動作とメモリバンク52内での「書き込みB」の動作は、第3クロック及び第4クロックにおいて重複的に同時に実行されており、本件補正事項は、当初明細書等に記載されているのであって、これを記載されていないとした本件補正の却下の決定の判断は誤りである旨主張する。

この点に関する本件補正の却下の決定は、「当初の明細書等には、『第1メモリバンク内での第1メモリ動作』と『第2メモリバンク内での第2メモリ動作』を時間をずらしてパイプライン的に実行することは記載されているものの、『前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階』は記載されておらず、また、当初明細書等の記載から見て自明な事項でもない。」というものである。

2 そこで、以下、検討する。

(1) 当初明細書等(甲2)の記載のうち、原告が援用する【図5】をみると、メモリバンク34内でのメモリ動作である「読み込みA」の動作とメモリバンク52内でのメモリ動作である「書き込みB」の動作とは、第2クロックにおいて重複的に実行されてはいないが、第3クロック及び第4クロックにおいて重複的に実行されていることが記載されていることが明らかである。よって、当初明細書等に記載された「読み込みA」の動作と「書き込みB」の動作とは、第3クロック及び第4クロック期間において、同時実行状態であるといえる。

しかしながら、当初明細書等(甲2)の全体を精査しても、複数のメモリ動作を実行するに際し、複数のメモリ動作の開始の時刻を同じクロックのタイミングにおいて重複的に実行することは、何ら記載されておらず、示唆もされていない。よって、集積回路内のメモリにアクセスする方法であって、複数のメモリ動作を開始の時刻を同じにして実行する発明は、当初明細書等に記載されていないものと認められる。

そこで、本件補正事項を検討すると、「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」は、文言どおり解釈すると、「前記第1メモリバンク内での第1メモリ動作」と、「前記第2メモリバンク内での第2メモリ動作」とを「同じ時に実行」する「段階」であるが、動作を同時に実行する期間については、何ら特定はされていない。よって、本件補正事項は、上記両メモリ動作の開始を同じ時刻に実行することをも含む意味を有するものと解さざるを得ない。

以上によれば、本件補正事項は、当初明細書等に記載されていない事項を含むものといわざるを得ず、当初明細書等に記載した事項の範囲内の補正には当たらず、

本件手続補正は、明細書の要旨を変更するものである。したがって、本件補正の却下の決定は、適法であって、これを違法であるとする原告の主張は、採用することができない。

(2) 原告は、被告が、本件補正事項である「前記第1メモリバンク内での第1メモリ動作と、前記第2メモリバンク内での第2メモリ動作を同時に実行する段階」を、「メモリ・デバイスが、前記第1メモリバンク内での第1メモリ動作と、第2メモリバンク内での第2メモリ内での第2メモリ動作を、同じ時刻(クロック・サイクル)で開始すること」と解釈しているが、誤りである旨を主張する。

しかしながら、当初明細書等(甲2)の段落【0008】に「標準のメモリ・デバイスでは、アクセス時間は、動作実行の開始から動作実行の終了までの時間として定義される。たとえば、標準メモリ・デバイスでの読み込み動作の場合、アクセス時間は、読み込み動作の実行が開始されてから、読み込み動作中に読み込まれたデータが次の動作に用いることができるようになるまでの時間として定義される。」と記載されているように、「メモリ動作を実行する」期間は、アクセス時間にわたっているところ、本件手続補正に係る特許請求の範囲において、同時に実行する期間がアクセス時間のどの期間であるかは、特定されておらず、また、実行を行わない期間も特定されていないから、本件補正事項に「同じ時刻(クロック・サイクル)で開始すること」をも含まれるとの被告の解釈に誤りはない。原告の主張は、採用の限りではない。

(3) 以上によれば、本件補正事項は当初明細書等に記載した事項の範囲内の補正に当たらないことが明らかであるから、「段階」という語の解釈等について検討するまでもなく、本件手続補正は、明細書の要旨を変更するものであるといわざるを得ない。

### 3 結論

以上のとおり、本件補正の却下の決定の取消事由に関する原告の主張は理由がなく、その他同決定を取り消すべき瑕疵は見当たらない。

よって、原告の請求は理由がないからこれを棄却することとし、主文のとおり判決する。

東京高等裁判所第18民事部

裁判官 塩 月 秀 平

裁判官 田 中 昌 利

裁判長裁判官永井紀昭は、転補につき、署名押印することができない。

裁判官 田 中 昌 利

### 【別紙】 補正の却下の決定の理由

不服2000-7949号、平成13年5月29日付け決定

(下記は、上記補正の却下の決定の理由部分について、文書の書式を変更したが、用字用語の点を含め、その内容をそのまま掲載したものである。)

### 理 由

1. 平成12年6月28日付けの手続補正の内容の1つは、

特許請求の範囲の請求項1を

「集積回路内のメモリ(28)にアクセスする方法であって：

第 1 メモリ動作を実行するための第 1 命令を受信する段階であり、該第 1 命令は第 1 メモリ位置を指定するところの段階；

．．．．．

第 2 メモリ動作を実行するための第 2 命令を受信する段階であり、該第 2 命令は第 2 メモリ位置を指定するところの段階；

．．．．．

および

前記第 1 メモリバンク内での第 1 メモリ動作と、前記第 2 メモリバンク内での第 2 メモリ動作を同時に実行する段階；

からなる方法。」

と変更するものである。

2. この手続補正には、特許請求の範囲の請求項 1 に

「前記第 1 メモリバンク内での第 1 メモリ動作と、前記第 2 メモリバンク内での第 2 メモリ動作を同時に実行する段階」という構成を追加する補正事項が含まれている。

3. そこで、上記補正事項について検討する。

(A) 願書に最初に添付された明細書又は図面（以下、「当初明細書等」という。）には、第 1 メモリバンク内での第 1 メモリ動作と第 2 メモリバンク内での第 2 メモリ動作との関係について、

「情報値 A の読み込み動作が実行されている間に、メモリ・バンク 5 2 に対する情報値 B の書き込み動作が平行に実行される。第 1 クロック・サイクル中に、情報値 A の読み込みに関する情報及び制御信号は、アドレス・ポートにより与えられ、システム 2 2 は、データ・イン・ポートに情報値 B も与える。第 2 クロック・サイクルでメモリ・デバイス 2 8 が情報値 A の読み込み動作に関する情報及び制御信号の処理を開始すると、データ処理システム 2 2 は、アドレス・ポートに情報値 B の書き込み動作に関する情報及び制御信号を与える。第 3 クロック・サイクルで、システム 2 2 は、メモリ・バンク 5 2 への書き込み動作を行うために必要な情報および制御信号の処理を開始する。ここでも、情報の処理の第 1 段階は、メモリ・バンク 5 2 に関する複数のラッチ回路（図示せず）に適当な信号値を記憶させることである。」（段落【0068】）

との記載がある。

(B) 該記載から、上記補正事項の「第 1 メモリバンク内での第 1 メモリ動作」は、第 1 クロック・サイクル中に、情報値 A の読み込みに関する情報及び制御信号が、アドレス・ポートにより与えられることによる開始するメモリ素子からの読み出し動作（第 5 図に「読み込み A」と記載されている部分）を意味し、また、「第 2 メモリバンク内での第 2 メモリ動作」は、第 2 クロック・サイクル中に、情報値 B の書き込みに関する情報及び制御信号が、アドレス・ポートにより与えられることによる開始するメモリ素子への書き込み動作（第 5 図に「書き込み B」と記載されている部分）を意味すると解される。

そうすると、当初の明細書等には、「第 1 メモリバンク内での第 1 メモリ動作」と「第 2 メモリバンク内での第 2 メモリ動作」を時間をずらしてパイプライン的に実行することは記載されているものの、「前記第 1 メモリバンク内での第 1 メモリ動作と、前記第 2 メモリバンク内での第 2 メモリ動作を同時に実行する段階」は記載されておらず、また、当初明細書等の記載から見て自明な事項でもない。

(C) なお、当初明細書等には、第 1 クロック・サイクル中に、情報値 A の読み込みに関する情報及び制御信号をアドレス・ポートにより与えると同時に、データ・イン・ポートに情報値 B も与える旨記載されているが、データ・イン・ポートに情報値 B を与えただけでは、メモリ素子への書き込み動作が開始しないことは、当初明細書等の記載から明らかである。

4. 以上より、この手続補正は、特許請求の範囲を変更するものであって、当初明細書等に記載した事項の範囲内においてするものではないから、他の補正内容について検討するまでもなく、明細書の要旨を変更するものである。

したがって、この手続補正は、特許法第 159 条第 1 項で準用する同法第 53 条

第 1 項の規定により却下すべきものである。  
平成 1 3 年 5 月 2 9 日