

平成 21 年 11 月 26 日判決言渡 同日原本領収 裁判所書記官

平成 21 年（ネ）第 10045 号 不当利得返還請求控訴事件（原審・東京地方裁判所平成 19 年（ワ）第 8426 号事件）

口頭弁論終結日 平成 21 年 10 月 8 日

判 決

控 訴 人 セイコーインスツル株式会社

同訴訟代理人弁護士 増 井 和 夫

橋 口 尚 幸

齋 藤 誠 二 郎

同 補 佐 人 弁 理 士 松 尾 憲 一 郎

鈴 木 光 彌

被 控 訴 人 日 本 サ ム ス ン 株 式 会 社

同訴訟代理人弁護士 田 中 昌 利

大 武 和 夫

小 原 淳 見

須 藤 希 祥

渡 邊 瑞

同 補 佐 人 弁 理 士 豊 岡 静 男

主 文

本件控訴を棄却する。

控訴費用は控訴人の負担とする。

事実及び理由

第 1 控訴の趣旨

1 原判決を取り消す。

2 被控訴人は、控訴人に対し、30 億円及びこれに対する平成 19 年 4 月 10 日から支払済みまで年 5 分の割合による金員を支払え。

3 訴訟費用は，1，2審を通じ，被控訴人の負担とする。

4 2項につき仮執行の宣言

## 第2 事案の概要

1 本件は，被控訴人が，原判決別紙物件目録記載の被控訴人製品（原判決にいう「被告製品」を「被控訴人製品」と読み替える。以下，略称は，特に断らない限り，原判決に従う。）を輸入・販売した行為について，控訴人が，被控訴人の上記行為は，控訴人が有した本件特許権（特許番号：第2027929号。発明の名称：薄膜トランジスタ装置。出願：昭和59年9月26日。登録：平成8年3月19日。存続期間満了日：平成16年9月26日）を侵害するものであったと主張し，民法703条に基づき，その主張に係る不当利得金103億円のうち30億円及びこれに対する訴状送達の日（平成19年4月10日）の翌日である平成19年4月10日から支払済みまで民法所定の年5分の割合による遅延損害金の支払を求める事案である。

2 原判決は，被控訴人の上記輸入・販売行為による本件特許権の侵害の成否について判断することなく，本件特許は，乙1及び乙2発明に基づいて当業者が容易に発明をすることができたものであり，特許無効審判により無効にされるべきものと認められるから，特許法104条の3により本件特許権を行使することができないものであったと判示して，控訴人の請求を棄却したため，控訴人がこれを不服として控訴した。

3 控訴人の本訴請求を判断する前提となる事実は，次のとおり付加訂正するほかは，原判決の事実及び理由の第2の1（原判決2頁12行～6頁9行）のとおりであるから，これを引用する。

(1) 原判決5頁24行の「6月1日」を「5月20日」と改める。

(2) 原判決6頁9行の次に，改行の上，以下を加える。

「(6) 本件訂正後の訂正

ア 上記のとおりで，控訴人からの本件特許権に係る各訂正審判の請求に基づき，平成17年5月20日（甲3）及び平成20年3月26日（甲11。本件訂正）に

それぞれ同請求が認められたが、さらに、控訴人は、本件特許権に係る無効審判（無効２００９－８０００８９号）手続において、平成２１年７月２１日付けで本件特許権に係る訂正請求（甲２４。以下、この訂正を「２１年訂正」という。）を行った。

２１年訂正に係る特許請求の請求項１の範囲は、別紙特許請求の範囲目録のとおりであって、下線部がその訂正部分である。なお、同請求項１に係る発明を「２１年訂正発明」といい、また、便宜上、その構成要件を、ＡないしＧ、Ｘ及びＨと分説し、その符号を付した構成要件をそれぞれ「構成要件Ａ」ないし「構成要件Ｇ」、「構成要件Ｘ」及び「構成要件Ｈ」という。

イ そして、控訴人は、当審において、２１年訂正によって本件特許は無効にされるべきものでないことが明確化したと主張する。」

#### ４ 本件訴訟の争点

本件訴訟の争点は、以下のとおりである。なお、以下においては、平成６年法律第１１６号による改正前の特許法３６条５項２号を「旧３６条５項２号」といい、同改正前の特許法の他の条項について同じようにいうとともに、原判決の引用部分もこのように読み替える。

##### (１) 充足論（被控訴人製品の輸入・販売が本件特許権を侵害するか）

ア 被控訴人製品は、「２端子薄膜半導体素子」を有しているか（構成要件Ｂ，Ｃ，Ｄ，Ｇの充足性に係る事項）

イ 「付加薄膜半導体における表面」の意味（構成要件Ｃの充足性に係る事項）

ウ 第１主電極延在部を有しない構成であっても、構成要件Ｅを充足するか

##### (２) 無効論（本件特許は特許無効審判により無効にされるべきものか）

ア 本件訂正の適否

(ア) 構成要件Ｃに係る訂正要件違反の有無

(イ) 構成要件Ｅに係る訂正要件違反の有無

ａ 順方向接続態様に限定したことについて

ｂ 「２端子素子」の解釈に影響を与えることについて

イ 本件発明に係る進歩性欠如の無効理由の有無

ウ 旧３６条５項２号違反の有無

エ ２１年訂正に係る事項

(ア) ２１年訂正の適否

(イ) ２１年訂正による無効理由の解消の有無

(ウ) 被控訴人製品は、２１年訂正発明の構成要件Ⅹを充足するか

(3) 損害論（被控訴人の不当利得の額）

### 第３ 当事者の主張

#### １ 原審における主張

原審における当事者の主張は、次のとおり訂正するほか、原判決の事実及び理由の第２の３（原判決６頁末行～８６頁末行）のとおりであるから、これを引用する。

(1) 原判決１３頁２３ないし２４行の「構成は、構成要件Ⅴを充足しないか」を「構成であっても、構成要件Ⅴを充足するか」に改める。

(2) 原判決１５頁１１行の「構成要件Ⅲについての訂正の違法性」を「構成要件Ⅲに係る訂正要件違反」に改める。

(3) 原判決２５頁２３行の「構成要件Ⅴについての訂正の違法」を「構成要件Ⅴに係る訂正要件違反」に改める。

(4) 原判決３０頁１３行の「構成要件Ⅴについての訂正の違法性」を「構成要件Ⅴに係る訂正要件違反」に改める。

#### ２ 当審における主張

〔控訴人の主張〕

(1) 原判決の本件発明に係る進歩性判断の当否（争点(2)イについて）

原判決は、乙１文献を主引例とし、乙２文献を副引例として、本件発明の進歩性を否定したが、次のとおり、原判決の判断は誤っており、本件発明の進歩性を否定することはできない。

#### ア 相違点 1 について

(ア) 原判決は、乙 1 発明の保護用トランジスタの電極が接続される対象をアースとする構成に換えて、乙 2 発明におけるように上記の接続対象を共通浮遊電極である配線 A とする構成とすることは、当業者が容易に推考できると解するのが相当であると判示したが、以下の(イ)ないし(エ)のとおり、同判示は誤っている。

(イ) 原判決は、乙 2 文献には保護回路を「フローティング電位である 1 つの共通の配線」に接続する発明が開示されていると認定したが、乙 2 文献に開示されている保護回路の構成は、基本的に、静電気を逃す先については接地端子とするものである。

静電気保護回路には、液晶パネルの組立工程における静電気対策と、組立後の液晶パネルの画像表示時における静電気保護の 2 つの役割がある。乙 2 文献の技術思想は、組立工程では半製品（TFT 素子及び配線はすべて完成している基板）を移動させるので、アースへの接続を維持するためには工夫を要するから、アース接続の手数を省くために、放電機能の低下は我慢してフローティング状態とするというものであって、組立完了後はアースへ接続するものである。

乙 2 文献の共通配線には、静電気を液晶パネル全体に分散させる技術思想はなく、有効に静電気を分散させる機能もない。そうであるから、組立工程での静電気対策を有効にするために、共通配線の容量を大きくして静電気を吸収させようとするものである。

(ウ) 一方、乙 1 文献は、静電気をアースへ放電する手段のみを記載している。アース接続の方が静電気を放電する効果が高いことから、放電機能の低い乙 2 文献の配線 A を使用する動機付けがあるとはいえない。

(エ) 原判決は、「TFT で構成されるアクティブマトリックスの製作途中においては、2 端子薄膜半導体素子...をアースに接続させずに、フローティングの状態とすれば、組立作業が容易となり、この点にも技術上の意義があるものと考えられる」とした上で、乙 1 文献の「こうして特に工程数を増やすことなく、保護トラン

ジスタをアレー中に作り込むことができ、アレーの各要素のゲート絶縁膜破損を防止することができ、T F Tを大規模に集積したT F Tアレーを歩留り良く製作することが可能になった」との記載を引用し、「乙1発明は、製作中のトランジスタ破損防止を目的としているから、当業者にとって、乙1発明のアースを、乙2文献で記載されているようにフローティングの状態である配線Aとすることの、動機付けが認められる」と判示した。

しかしながら、乙2文献の共通配線をフローティングで使用するという教示は、組立中にアースへ接続する手数を省いて組立工程を簡単にする代わりに、静電気に対する保護機能の低下は我慢するという意味であって、保護機能を十分にするためには、共通配線Aの容量を非常に大きくする必要がある。これに対し、乙1文献において、トランジスタの破損防止を目的として採用している手段は、画素用トランジスタの駆動を損なうことなく、確実に静電気をアースに放電させる保護用トランジスタの使用であって、乙1文献に記載の上記の「工程数を増やすことなく」とは、基板上にトランジスタや配線の回路を形成する段階での工程数の問題であり、その後の組立工程における工程数とは場面が異なる。

乙1文献と乙2文献を組み合わせ、共通配線を乙1文献に導入するとしても、少なくとも組立後には、必ず共通配線をアースに接続する構成しか考えられないはずである。

#### イ 相違点2について

(ア) 原判決は、乙1文献における「保護トランジスタの接続段数は必要に応じて増減すれば良い」などとの記載(2頁左下欄14行～右下欄11行)を引用し、「乙1発明において、設置すべきトランジスタの個数は、適宜増減できることが開示されているものと認められる。」とした上で、「乙1発明における、順方向接続態様で直列に接続した2個の保護用トランジスタを、順方向接続の1個の保護用トランジスタとすることは、当業者が適宜選択できる設計事項にすぎないというべきであり、相違点2に係る本件発明の構成は、当業者が容易に推考し得ることであ

る」と判示した。

(イ) しかしながら，乙1文献の上記記載は，画素用のトランジスタ ( $T_{r1}$ ) を十分に飽和電流まで駆動するには，ゲート電圧がしきい値である  $V_T$  の3倍まで上昇できるようにする必要があるので，保護トランジスタを3段接続すれば，画素用のトランジスタ ( $T_{r1}$ ) を十分に飽和電流まで駆動できることを基本の教示内容とし，2段接続では，ゲート電圧が  $V_T$  の2倍になるとそれ以上ゲート電圧は上がらないが，ゲート電極に過大な電圧が印加されることは防止できるとし，その上で「保護トランジスタの接続段数は必要に応じて増減すればよい」とするものである。

これによると，「接続段数は必要に応じて増減」との趣旨は， $T_{r1}$  を駆動可能であり，かつ，ゲート電極に過大な電圧がかからないとの2つの条件を満たす範囲で，増減することができるという意味であって，何の制限もなく，保護トランジスタの接続段数を好き勝手に増減することができるものではない。

(ウ) そして，乙1文献の装置において， $T_{r1}$  を十分に飽和電流まで駆動しようとすると，順方向の保護用トランジスタを3個必要とするのであって，2個では既に十分に飽和電流まで駆動することができない。保護トランジスタを1個にしたのでは，ゲート電圧のしきい値  $V_T$  において，電流はアースに流れ始めるから，それ以上の電圧を画素用トランジスタ  $T_{r1}$  のゲートにかけることができず， $T_{r1}$  を駆動することができないことは容易に理解される。乙1文献の教示内容は，最低限，順方向2段の保護用トランジスタを必要とするというものである。

これに対し，本件発明のように保護回路の接続先を共通浮遊電極にした場合には，保護回路に流れる電圧を低めに設定しても，共通浮遊電極の電位が上昇することで，保護回路への電流が停止して画素トランジスタ  $T_{r1}$  に電流が流れるようになることから，順方向接続の薄膜トランジスタ1個のみの保護回路としても，画素トランジスタ  $T_{r1}$  を飽和電流まで駆動するように回路を設計することも可能になる。本件発明は，「順方向接続1個の保護回路 + 共通浮遊電極への放電」という構成によ

って、保護回路に流れる電流の電圧を低めに設定するという、保護回路として優れた特性を実現しながら、通常動作時には画素 T F T に十分な駆動電圧を掛けることが可能となり、画素 T F T を十分に作動させることができるという、乙 1 及び乙 2 文献にはなかった優れた作用効果を実現したものである。

(エ) 原判決は、「保護用トランジスタのしきい値は、そのチャンネル長やチャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法等によって、調整が可能であり、保護用トランジスタを順方向接続態様にしたままで、その個数を 1 個に減じても、チャンネル長やチャンネル幅等を調整することにより、控訴人の指摘する上記問題点を回避することができるものと解され」と判示した。

しかしながら、薄膜トランジスタのしきい値は、チャンネル長やチャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法などによって調整可能であるが、一方、チャンネルの長さや幅を変動させる余地は少なく、それによるしきい値の調整幅は限られている。薄膜トランジスタのしきい値を最も効果的に変動させる手段は、ゲート電極と第 1 主電極、第 2 主電極の平面的重畳部分を設けるか、設けないかの区別であり、また、その設けない部分の距離を変えることであるが、本件発明は、2 端子薄膜半導体素子を、平面的重畳部分が存在するものに限定したので、平面的重畳部分をなくすことによる 1 個のトランジスタで 2 個分のトランジスタと同じしきい値を有するような保護用トランジスタを使用する態様は除かれており、乙 1 及び乙 2 文献に、トランジスタとして著しく特性の異なるものを混用するような考え方は開示されていない。原判決の上記認定は、当業者の技術常識に反する。

#### ウ 相違点 3 について

原判決は、相違点 3 に係る本件発明の構成は当業者が容易に推考し得ると判示したが、これは、乙 1 発明について、保護回路が接続される共通配線を設けることが容易に想到されるとの誤った判断を前提としたものである。

乙 2 文献には、共通配線 A の作成方法は記載されておらず、また、乙 2 発明では、組立工程中は、共通配線 A がアースに代替し得るだけの静電気吸収能力を実現する



容量を有することが想定されているのであるから，保護回路が薄膜トランジスタの電極である薄膜のいずれかと同時形成される（厚さもトランジスタの電極と同じになる）ことは考え難い。薄膜トランジスタなどの製造において工程を増やさないようにする技術思想が公知であったとしても，本件の問題は，共通配線 A が，ソース電極などと同時形成可能なものか否かが不明な点にある。

原判決は，乙 8 文献を引用して短絡部材が電極線と同時形成されているというが，乙 8 発明では，短絡部材は大きな容量を必要とせず，適切でない。

(2) 21 年訂正の適否（争点(2)エ(ア)について）

21 年訂正は，静電気が「2 端子薄膜半導体素子を介して共通浮遊電極に，さらに他の 2 端子薄膜半導体素子を介して他の複数の外部取り出し端子に放電される」という分散放電の技術思想を構成要件 X として付け加え，この点が必須要件であることを明確化したものであって，適法に行われたものである。

(3) 21 年訂正による無効理由の解消の有無（争点(2)エ(イ)について）

ア 21 年訂正による分散放電の技術思想に係る構成要件の付加

21 年訂正により，21 年訂正発明に係る請求項 1 には，「1 つの外部取出し端子に印加された静電気は，2 端子薄膜半導体素子を介して前記共通浮遊電極に，さらに他の 2 端子薄膜半導体素子を介して他の複数の外部取り出し端子に放電されること」との構成要件（構成要件 X）が付加されることになる。

イ 21 年訂正発明と乙 1 及び乙 2 発明との対比等

(ア) 乙 1 及び乙 2 発明においては，21 年訂正発明における分散放電の技術思想は，まったく開示されておらず，想定もされていない。乙 1 文献に保護回路の実施例として開示されている第 1 ないし第 3，第 5 図では，いずれも保護回路は接地されており，分散放電を考慮する余地はなく，また，乙 2 文献についても，静電気は，配線 A を接地することで，アースに流す構成となっており，分散放電の技術思想は開示されていない。

(イ) 原判決は，仮に本件発明の構成でも分散放電を実現できる程度のものと解

した場合、乙１発明の２個の保護用トランジスタを順方向接続とした保護回路であっても、静電気が共通浮遊電極を介して他のラインに流れることはあり得るのであって、この保護回路による分散放電と本件発明の構成による分散放電の差は程度の差にすぎないと判示した。

しかしながら、乙１発明の２個の保護用トランジスタが共通配線に順方向接続された保護回路においては、分散放電が生じるためには、逆方向接続の保護用トランジスタ２段分の電圧が必要となる。乙１発明の技術思想は、保護回路は、偶発的に発生する「最低のゲート耐圧」の素子を保護することが必要であるから、液晶パネルとして使用する際に画像表示のための電流が漏洩しない範囲で、保護回路の導通性はできるだけ低い電圧で生ずることが好ましいとするものである。そして、乙１文献の実施例１では、順方向の保護用トランジスタを２段直列に使用する態様と、３段直列に使用する態様を開示しており、順方向２段の保護用トランジスタ回路は、画像表示のための電流をアースに漏洩させないために、最低限必要な電圧を得るための構成であるといえることができる。そうすると、乙１発明の順方向２段の保護トランジスタを共通配線に接続した場合、共通配線に静電気が流入するために順方向２段分の電圧を要し、そして、共通配線からの静電気の分散のためには、２段の保護トランジスタがいずれも逆方向接続になるので、逆方向２段分の電圧を要することになる。乙１文献の意図するように、最低ゲート耐圧の素子を保護することが保護回路の役割である以上、静電気分散のための電圧が、更に高くなるのでは、もはや有効な保護回路とはいえない。

(ウ) 原判決は、乙８文献にも、すべての行電極線と列電極線を基板周辺で短絡する構成により、すべての行電極線と列電極線を同電位として静電気に強くする構成が開示されており、マトリックスアレー作成時に静電気による絶縁破壊を防止するために、１つの端子に印加された静電気を他の端子に放電するという分散放電の思想自体は、本件特許出願時に公知であったと判示する。

しかしながら、乙８発明は、基板の組立過程においてのみ静電気保護の役に立つ

構成であり、この短絡接続は、組立てが終わった段階で「個々に切りはなす」のであって、以後はこの構成では静電気保護を行うことはできない。これに対し、本件発明の保護回路は、基板上の画素マトリックスが完成して製品として販売され使用された後にも、静電気保護回路として役に立つ構成であり、保護回路としての機能と画素マトリックスの作動とが両立する構成なのであって、乙 8 発明は、本件特許発明のように、画素マトリックスの作動と保護回路の作用効果とを両立させる構成における静電気の分散放電について、何らの示唆を与えるものでもない。

(エ) 原判決は、「本件発明は、第 1 主電極延在部を備える構成となっていない以上、分散放電の効果も、分散放電が可能という程度にすぎず、この程度のものであれば、当業者は、保護用トランジスタの接続先を共通浮遊電極とする構成を採用することで、実現できると予測するものと解される」と判示した。

しかしながら、第 1 主電極延在部を備える 2 端子薄膜半導体素子は、双方向に順方向接続の保護用トランジスタとして機能するから、21 年訂正発明における好ましい実施態様であるものの、21 年訂正発明は、第 1 主電極延在部を備えない実施態様であっても、従来技術の逆方向接続 1 段の保護用トランジスタを使用して、アースに放電する場合に要する電圧とほとんど変わらない電圧により、共通浮遊電極を介して他の外部取り出し端子に分散放電を行い得るのに対し、公知技術の組合せでは、その 2 倍の電圧を要することになるから、21 年訂正発明は顕著な作用効果を有することになる。

ウ なお、構成要件 X の内容は、21 年訂正前の本件発明においても必然的に果たされる事項であって、請求項に記載されるまでもなく、原判決においても本件発明の作用効果として正しく考慮されるべきであったのに、原判決はこれを認められないと誤った判断をしたことから、控訴人は、21 年訂正を行ったものであり、少なくとも、21 年訂正によって、原判決が指摘する無効理由は解消された。

(4) 被控訴人製品は、21 年訂正発明の構成要件 X を充足するか（争点(2)エ(ウ)について）

ア 被控訴人製品は、原判決別紙物件目録記載のとおりのものであるところ、構成要件Xは、21年訂正による訂正前の本件発明の構成によって達成される機能を記載したものであって、被控訴人製品が、その他の構成要件AないしHを充足することは、原審における主張のとおりである。

その上で、21年訂正は、特許請求の範囲の減縮を目的として、別紙特許請求の範囲目録のとおり訂正したものであって、その結果、21年訂正発明は、構成要件AないしG、X及びHから成ることになる。21年訂正において付加された構成要件Xの内容は、控訴人が、原審において、本件発明の特徴的作用効果として主張してきたものであり、21年訂正によって、構成要件Xの内容が必須要件であることにつき明確となった。

イ そして、構成要件Xは、分散放電の作用効果の存在を意味するところ、被控訴人製品においては、外部取り出し端子と共通浮遊電極の間に、順方向接続の保護用TF T素子を設けた上で、さらに、逆方向接続の保護用TF T素子を設けているが、この態様は、21年訂正後の本件特許に係る明細書（甲24添付の訂正明細書のとおり）の第7図(a)（図面については甲2のとおり）などの回路構成と電氣的に等価であり、双方向に順方向接続の電圧で静電気が流れるようにしたものである。

ウ したがって、被控訴人製品は、21年訂正発明の好ましい実施態様と同じ態様で、分散放電をすることができ、構成要件Xを充足する。

〔被控訴人の主張〕

(1) 原判決の本件発明に係る進歩性判断の当否（争点(2)イについて）

ア 相違点1について

(ア) 控訴人は、乙2発明について、当業者であれば、組立完了後も、配線Aを接地せずにフローティングの状態のままとする構成を維持することを容易に想到できるとした原判決の判断は、乙2文献から当業者が理解し得る技術内容を誤っていると主張する。

しかしながら、乙2文献（2頁右下欄16行～3頁左上欄12行）には、「アク

ティブマトリックスが組立工程の途上にある時は、配線 A はフローティングとなっている」と記載されている。そして、フローティング状態の配線 A において、静電気による素子の破壊を防止する十分な効果があることは、続いて、「配線 A の容量は大きい方が静電気による破壊防止の効果が大きい。具体的には、配線 A の配線巾を大きくしたり、第 2 図に示した配線 A はアクティブマトリックスの外周 1 / 2 に配線されているが、全外周に配線することなどにより、配線 A の面積をより大きくするとよい」と記載されていることから明らかである。

(イ) また、控訴人は、原判決が、乙 1 発明は製作中のトランジスタ破損防止を目的としていることから、当業者にとって、乙 1 発明のアースを、乙 2 文献で記載されているようにフローティングの状態である配線 A とすることの動機付けが認められると判示したことを非難する。

しかしながら、乙 1 発明と乙 2 発明とは、いずれも、T F T で構成されるマトリックス駆動液晶表示装置において、絶縁基板上に形成される T F T を静電気から保護するために、T F T のゲート配線と他の端子との間に保護用トランジスタを接続するというものであって、技術分野及び解決すべき課題が共通している。また、乙 2 文献における「アクティブマトリックスが組立工程の途上にある時は、配線 A はフローティングになっている」との記載は、控訴人が主張するような「組立中にアースへ接続する手数を省いて組立工程を簡単にする代わり、静電気に対する保護機能の低下は我慢する」という意味ではなく、アクティブマトリックスの組立工程の途上においては、アースに接続するのではなく、フローティングにすることによって、組立作業が容易となるなどの技術上のメリットがあり、全体として好ましいということを意味しているものである。そして、乙 1 発明は、正に「製作中」のトランジスタの破損防止を目的としたものであるから、当業者にとって、乙 1 発明のアースを乙 2 文献に記載されているフローティングの状態である配線 A とすることの動機付けは十分に認められるものといえることができる。さらに、乙 3, 9 文献及び特開昭 5 9 - 1 6 6 9 8 4 号公報 (乙 1 0) の記載によると、製造工程中の T F T

を静電気による破壊から防止するのは周知の課題であった。

そうすると、乙1発明においても、上記周知の課題を解決しようとすることは、当業者が当然に想到することであるから、乙2発明の接続対象を共通浮遊電極である配線Aとする構成を適用することは、当業者が容易に推考できるものである。

#### イ 相違点2について

(ア) 控訴人は、乙1文献における「保護トランジスタの接続段数は必要に応じて増減すれば良い」との記載は、 $T_{r1}$ を駆動可能であり、かつ、ゲート電極に過大な電圧がかからないとの2つの条件を満たす範囲で増減することができるという意味であって、乙1発明の装置において、「 $T_{r1}$ を十分に飽和電流まで駆動」しようとするれば、順方向の保護用トランジスタを3個必要とするのであり、保護トランジスタを1個にしたのでは、ゲート電圧のしきい値 $V_T$ において電流がアースに流れ始めるから、それ以上の電圧を画素用トランジスタ $T_{r1}$ のゲートにかけることができず、 $T_{r1}$ を駆動することができないと主張する。また、控訴人は、2端子薄膜半導体素子のしきい値は、チャンネル長、チャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法等によっても調整が可能であって、保護用トランジスタを順方向接続態様にしたままで、その個数を1個に減じて、チャンネル長やチャンネル幅等を調整することによって控訴人の指摘する問題点を回避することができるとの原判決の判示は、当業者の技術常識に反しているものであって、チャンネルの長さや幅の変動による薄膜トランジスタのしきい値の調整幅は限られており、また、本件発明では、2端子薄膜半導体素子を、平面的重畳部分が存在するものに限定したため、平面的重畳部分をなくすことによるしきい値の調整をすることができないから、乙1の教示は、保護用トランジスタの数によって装置の特性を制御する技術思想に限られていると主張する。

しかしながら、2端子薄膜半導体素子のしきい値は、チャンネル長、チャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法等によって調整できるものであるところ、本件明細書（甲10添付の訂正明細書）の記載によると、チャンネル長

及びチャンネル幅を変動させることによって、しきい値もかなり変更することができるものと解され、乙1文献において開示されているものが、保護用トランジスタの数によって装置の特性を制御する技術思想に限られているとの控訴人の主張は採用することができない。

(イ) 控訴人は、本件発明のように保護回路の接続先を共通浮遊電極にした場合は、保護回路に流れる電圧を低めに設定しても、共通浮遊電極の電位が上昇することで保護回路への電流が停止して、画素トランジスタ $T_{r1}$ に電流が流れるようになるため、順方向接続の薄膜トランジスタ1個のみの保護回路としても、画素トランジスタ $T_{r1}$ を飽和電流まで駆動するよう回路を設計することも可能となると主張する。

しかしながら、本件明細書にはそのような記載は一切なく、かえって、本件明細書(3頁8～12, 20～21行, 4頁27行～5頁1行, 21行～6頁1行)によると、2端子薄膜半導体素子のしきい値は、内部のTF T動作に影響を与えないようにするため、TF T装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れるように、チャンネル長やチャンネル幅の調整、オフセット領域の設定、 $V_{TH}$ の選択をすることなどが記載されており、また、第2主電極を共通浮遊電極に接続する逆方向接続が好ましく、特に、本件発明のような2端子素子を外部取り出し端子と共通浮遊電極に入れたものでは、外部取り出し電極側から共通浮遊電極側へ流れるしきい値電圧よりも、逆方向のしきい値電圧の方が低いものとするを推奨しているものと解される。

一方、乙1文献(2頁左下欄14行～右下欄11行)によると、信号処理用の主トランジスタ $T_{r1}$ を、半導体装置が十分に機能するように飽和電流まで駆動するには、 $3V_T$ のゲート電圧が必要である場合、保護トランジスタを3段に接続すれば、 $T_{r1}$ を十分に飽和電流まで駆動でき、かつ、飽和電流を与えるゲート電圧以上の電圧に対しては $T_{r1}$ を保護できること、乙2文献(2頁右下欄6～16行, 3頁左上欄13行～右上欄3行)によると、正常なX、Yの電位に対し、アクティ

ブマトリックスを構成するトランジスタを十分に動作させるために、2 個の MOS 型トランジスタのうち 1 つは必ず OFF となるが、それ以上の電圧の静電気が印加されれば、ブレイクダウンにより配線 A に流し、アクティブマトリックスを構成するトランジスタを保護することがそれぞれ記載されている。また、TF T を十分に駆動するために、保護トランジスタのしきい値電圧を TF T の動作電圧より高く、TF T の破壊電圧より低い電圧とするということは、乙 1 及び乙 2 発明においても開示されているところである。

さらに、仮に、本件発明について、静電気の印加された外部取り出し端子の電圧が内部の薄膜トランジスタのしきい値電圧と同程度の低い電圧のときに、2 端子薄膜半導体素子が放電を開始することができ、駆動時においては、共通浮遊電極の電位上昇を利用して、2 端子薄膜半導体素子からの漏れ電流を減少させ、内部の薄膜トランジスタが正常な動作を行うことができるようにするものであるとしても、例えば、駆動電圧が  $3 V_{TH}$  の場合、2 端子薄膜半導体素子のしきい値電圧を  $V_{TH}$  と同程度に設定すると、当初は、電流が共通浮遊電極に流れ出して共通浮遊電極の電位が上昇するが、共通浮遊電極の電位が  $2 V_{TH}$  となり、外部取り出し端子と共通浮遊電極との電位差が  $V_{TH}$  以下となると、それ以降は漏れ電流が減少し、内部の薄膜トランジスタの動作に支障が生じないが、そのときには、結局、2 端子薄膜半導体素子に  $3 V_{TH}$  以上の駆動電圧が印加されなければ、2 端子薄膜半導体素子は導通しないこととなるものであるから、2 端子薄膜半導体素子のしきい値電圧を内部の薄膜トランジスタのしきい値電圧  $V_{TH}$  と同程度に設定した作用効果とは、駆動電圧を印加した当初に、共通浮遊電極の電位が所定の電位 ( $2 V_{TH}$ ) になるまで、共通浮遊電極に電流を漏れ続けさせるという効果にすぎないことになり、本件発明の上記作用にはさしたる技術的意義はないことになる。

#### ウ 相違点 3 について

控訴人は、相違点 3 に係る原判決の認定について、乙 1 文献において保護回路が接続される共通配線を設けることが容易に想到されとの誤った判断を前提とした



ものであると主張する。

しかしながら，乙１発明に，乙２に記載された保護トランジスタを共通浮遊電極に接続する技術を適用することが容易であることは上記のとおりであり，また，乙１文献（３頁左下欄１６行～右下欄５行）には，特に工程数を増やすことなく，保護トランジスタをアレー中に作り込むことができることが記載されている。さらに，ＴＦＴを静電気から保護するためのトランジスタやダイオードの作製において，工程数を増やさないようにすることは周知の課題であるということが出来る。

したがって，２端子薄膜半導体素子の一方の電極の接続先を共通浮遊電極とした場合，工程数を増やさないようにするために，ソース・ドレイン電極，ゲート電極やソースライン，ゲートラインなどと同時に共通浮遊電極を形成することは，当業者が当然に採用する技術的手段にすぎないというべきである。

(2) ２１年訂正の適否（争点(2)エ(ア)について）

ア ２１年訂正発明は，平成２０年２月６日付けで請求された本件訂正による本件発明に係る請求項１に構成要件Ｘが追加されたものであって，その他の構成要件ＡないしＨは，同請求項１と同じである。

そして，本件訂正に係る被控訴人の主張のとおり，構成要件Ｃについての訂正には，旧１２６条１項ただし書，２項及び３項違反の無効理由があり，構成要件Ｅについての訂正には，同条１項ただし書及び２項違反の無効理由がある。

したがって，２１年訂正についても同様の無効理由があることになる。

イ 本件発明に係る被控訴人の主張と同じく，２１年訂正発明についても，その特許請求の範囲の記載は旧３６条５項２号に違反するものであり，同法１２６条３項違反の無効理由がある。

(3) ２１年訂正による無効理由の解消の有無（争点(2)エ(イ)について）

ア ２１年訂正による分散放電の技術思想に係る構成要件の付加

構成要件Ｘは，作用効果を請求項に記載したにすぎず，例えば，分散放電を容易にする構成要件を追加したりするものではないから，構成要件Ｘの追加いかんにか

かわらず，２１年訂正発明は公知発明に基づいて容易に発明をすることができたものであって，本件発明の場合と結論に変わりはない。

２１年訂正発明において分散放電が実現されるには，外部取り出し端子から共通浮遊電極，共通浮遊電極から他の外部取り出し端子へと電流が流れるために，「順方向しきい値電圧＋逆方向しきい値電圧」が印加される必要があるところ，２１年訂正発明においても，第１主電極延在部を備える構成を加えたものではないから，分散放電が実現されやすい構成とはなっていないというほかない。したがって，２１年訂正発明（本件発明も同様である。以下同じ。）が実現し得る分散放電の効果とは，分散放電が可能であるという程度のものにすぎない。そして，この程度のものであれば，当業者は，通常，保護用トランジスタの接続先を共通浮遊電極とする構成を採用することにより，当然に，実現できると予測するものと解される。

イ ２１年訂正発明と乙１及び乙２発明との対比等

（ア） 乙２発明の保護用トランジスタであるＭＯＳ型トランジスタの接続先を共通浮遊電極である配線Ａとする構成を乙１発明に適用した構成（２個の保護用トランジスタが順方向接続態様によって直列に接続し，その接続先を共通浮遊電極とした構成）においても，入力端ａに生じた静電気等が共通浮遊電極を介して他のラインに流れることもあり得るところであり，このような構成によっても分散放電は可能となるものであって，かつ，この構成による分散放電と２１年訂正発明の構成によって実現できる分散放電との差は，程度の差にすぎないというべきである。したがって，乙２発明に記載されている「保護用トランジスタの接続先を共通浮遊電極とするという技術」を乙１発明に適用した場合の構成は，控訴人の主張に係る分散放電を可能とするという点で，２１年訂正発明の構成と実質的な差異はない。

（イ） また，乙８文献（２頁左下欄９～１７行）によると，マトリックスアレーの製作時，静電気による絶縁破壊を防止するために１つの端子に印加された静電気を他の端子に放電するという分散放電の思想が現れており，このような思想自体は，本件出願時に公知のものであったといえることができる。

(ウ) 以上によると，21年訂正発明において実現できる程度の分散放電の効果は，当業者が予測することのできない格別顕著な効果とは認められず，仮に，乙1及び乙2発明に共通浮遊電極を通じて他の外部取り出し端子に静電気を分散しやすいという分散放電の効果が明記されていないとしても，乙1発明に乙2発明を適用する動機付けは存在するものであって，21年訂正発明に進歩性が認められるものではない。

ウ 乙3発明を主引例とした場合における構成要件Xに係る主張

なお，被控訴人は，原審において，乙3発明を主引用例とした場合の本件発明の進歩性の欠如について主張したが，この点について，構成要件Xが追加された21年訂正発明との関係について補足すると，次のとおりである。

構成要件Xと対比すると，乙3文献には，「外部取出し端子に印加された静電気は，2端子薄膜半導体素子を介して共通GND電位（VSS）である電源配線又は正の電源配線（VDD）に，さらに他の2端子薄膜半導体素子を介して他の複数の外部取出し端子に放電されること」が開示されている。

したがって，21年訂正発明に係る構成要件Xとの関係での乙3発明との一致点及び相違点は，外部取出し端子に印加された静電気は，2端子薄膜半導体素子を介して配線に，さらに他の2端子薄膜半導体素子を介して他の複数の外部取出し端子に放電される点で一致し，配線が，21年訂正発明では，共通浮遊電極であるのに対し，乙3発明では，共通GND電位（VSS）である電源配線又は正の電源配線（VDD）である点で相違している。

この相違点は，2端子薄膜半導体素子が接続されている対象が，共通浮遊電極か，それとも，共通GND電位（VSS）である電源配線又は正の電源配線（VDD）であるかの相違であって，結局，21年訂正発明と乙1発明との相違点1と同じものとなる。

そして，上記のとおり，相違点1は，実質的な相違点でないか，又は当業者が何ら困難性なく推考し得る設計変更にすぎないものというべきである。

(4) 被控訴人製品は、21年訂正発明の構成要件Xを充足するか(争点(2)エ(ウ)について)

ア 構成要件Xは、作用効果を請求項に記載したにすぎず、例えば、分散放電を容易にする構成要件を追加したりするものではない。そして、被控訴人製品は、本件発明の技術的範囲に属さないものであるから、それを更に減縮したとする21年訂正発明については、より一層明白に、本件特許権に係る発明の技術的範囲に属さないものである。

イ 控訴人の主張によると、21年訂正発明の「2端子薄膜半導体素子」は、すべて順方向接続(付加ゲート電極の接続位置が外部取り出し端子側である接続)である。一方、被控訴人製品では、順方向接続となっている素子と逆方向接続(付加ゲート電極の接続位置が共通浮遊電極側である接続)となっている素子とが組み合わさっており、静電気は、順方向接続された素子を通して外部取り出し端子側から共通浮遊電極側に流れ、逆に、共通浮遊電極側から外部取り出し端子側へは、順方向接続された素子ではなく、逆方向接続された素子によって流れることになる。すなわち、被控訴人製品では、上記逆方向の流れの場合は、構成要件Eから除外された逆方向接続となっている素子が、流れのルートになる。そして、21年訂正発明と異なって、順方向、逆方向ともに、順方向接続の電圧で静電気が流れるように工夫されたものである。このように、被控訴人製品は、21年訂正発明とは技術的思想を異にしている。

ウ したがって、構成要件Xの「2端子薄膜半導体素子」は、順方向接続のものであるところ、被控訴人製品では、この「2端子薄膜半導体素子」に対応するものは、逆方向接続されたものであるから、構成要件Xに該当しない。

#### 第4 当裁判所の判断

##### 1 充足論の検討

控訴人は、被控訴人の被控訴人製品の輸入・販売によって本件特許権が侵害されたと主張するので、まず、この点について検討する。

(1) 争点(1)ア(被控訴人製品は、「2端子薄膜半導体素子」を有しているか)について

ア 「2端子薄膜半導体素子」の意味

(ア) 構成要件Bは、「前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその1箇所が、付加薄膜半導体からなる高圧保護用の2端子薄膜半導体素子に接続されており、」と規定する。しかし、構成要件Cにおいては、「付加ゲート電極」、「第1主電極」及び「第2主電極」という3つの電極を有することが規定されているところ、そもそも、トランジスタとは、少なくとも3つの外部からの電気接触が設けられているものであること(「マグローヒル科学技術用語大辞典 第1版」1005頁)からして、本件発明がトランジスタ装置の発明であるにもかかわらず、構成要件Bにおいて「2端子薄膜半導体素子」と規定した当該「2端子」の意味は一義的に明確ということができない。

(イ) そこで、本件明細書(甲10添付の訂正明細書)の発明の詳細な説明(なお、21年訂正においても、明細書の発明の詳細な説明の記載部分に変更はない。)を参酌すると、本件発明は、静電気等の高電圧に対し保護機能を有する薄膜トランジスタ装置TF Tに関するものであり(2頁1~2行)、従来技術では、Si基板に形成されたMOSトランジスタのゲート保護には、基板との間に保護ダイオードを挿入しており、この保護ダイオードには、ツェナーダイオードのように、MOSトランジスタの $V_{TH}$ (しきい値電圧)より高く、ゲート破壊電圧より低い電圧で降伏する特性をもたらししていたが、TF Tの場合にはPN接合ダイオードを作るのが困難であったり、そのために製造工程が増えるなどという難点があった(2頁3~13行)ところ、TF T製造工程と同時に製造可能な2端子素子で、保護すべき端子に接続できる構造を有するものを提供し(2頁18~20行)、外部取り出し端子と共通浮遊電極との間に非線形特性を有する2端子素子を挿入することによって、静電気は、2端子素子から共通浮遊電極、更に2端子素子を通して他の複数の端子に放電されるので、印加電圧を低くすることができるようになり(3頁1

3～20行),このようにして,TFT装置の実装工程における静電気破壊をなくし,最終的な歩留りを向上させコスト低減に役立つとともに,静電気対策のために特に製造工程の増加もないという効果を得ようとするもの(6頁23～27行)であることが記載されている。

以上の記載を参酌すると,本件発明における「2端子薄膜半導体素子」とは,従来技術である2端子の「保護ダイオード」に代置されるものであり,第1主電極と第2主電極との2端子間の電気的特性について,ダイオードと同様のしきい値電圧を持つ非線形特性を有するとの意味に解される。

(ウ) この点について,被控訴人は,本件発明における「2端子薄膜半導体素子」とは,ゲート電極をフローティング状態にして外部と接続させないか,ゲート電極とソース電極又はドレイン電極とをTFTの内部で短絡させることによって,トランジスタ構造の中から外へ接続されている出入口の数が2つであるものを意味し,ゲート電極が,ソース電極及びドレイン電極とは独立して外部と接触している構成のものは「2端子薄膜半導体素子」に含まれないと解すべきであると主張する。しかしながら,本件明細書の発明の詳細な説明においても,ゲート電極の接続態様について被控訴人主張のように限定する記載はなく,被控訴人の主張は採用することができない。

#### イ 被控訴人製品の「2端子薄膜半導体素子」

被控訴人製品に使用されている回路保護用TFT素子は,外部取り出し端子と共通浮遊電極との間に存在し,また,そのゲート電極は,第1主電極及び第2主電極と平面的に重畳するように設けられているもの(甲5の1～3)であって,これに接続されるソース電極とドレイン電極との間の電気的特性がしきい値電圧を持つ非線形特性を有する高電圧からの保護用のものと解することができる。

ウ 以上によると,被控訴人製品の上記イの特性は,本件発明の「2端子薄膜半導体素子」の上記ア(イ)の特性と同じであって,被控訴人製品は,「2端子薄膜半導体素子」の構成という点において,本件発明の構成要件B及びDを充足し,また,

構成要件Ｃのうち「２端子薄膜半導体素子」との部分をも充足するものといえることができる。

エ さらに、被控訴人製品は、上記のとおり本件発明の「２端子薄膜半導体素子」の構成を有するものであり、また、被控訴人製品に使用されている回路保護用ＴＦＴ素子のゲート電極及びゲート絶縁膜は、画素用ＴＦＴのゲート電極及びゲート絶縁膜と同時に形成されているもの（甲５の１～３）であるから、本件発明の構成要件Ｇも充足するものといわなければならない。

(2) 争点(1)イ（「付加薄膜半導体における表面」の意味）について

ア 本件発明の「付加薄膜半導体の表面」

構成要件Ｃは、「前記２端子薄膜半導体素子は、前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極と、前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第１主電極及び第２主電極を有し、前記絶縁基板上に形成されており、」と規定しているが、「付加薄膜半導体」の一方の面の「表面」に付加ゲート絶縁膜を介して付加ゲート電極を設け、また、この付加ゲート電極とは反対側の付加薄膜半導体の「表面」に第１主電極及び第２主電極を有すると規定していることによると、「付加薄膜半導体」の双方の面とも、「付加薄膜半導体における表面」と規定しているものと解することができる。

したがって、本件発明の構成要件Ｃは、ゲート電極が半導体薄膜の上側（基板と反対側）にあるスタガー型だけでなく、ゲート電極が半導体薄膜の下側（基板側）にある逆スタガー型も含むものといえることができるし、そもそも、本件明細書の発明の詳細な説明の〔実施例〕にも、逆スタガー型の第４ないし第６図（５頁２０行～６頁４行）及びスタガー型の第７図（６頁５～１８行）についての記載があるところである。

なお、「薄膜ハンドブック」（日本学術振興会薄膜第１３１委員会編集，昭和５８年１２月株式会社オーム社発行。甲２１。６２３頁左欄９～１４行）においても、「図(a)および(b)は、ゲート電極とソースおよびドレイン電極とが半導体薄膜の

同一表面上にあるので...図(c)および(d)では、ゲート電極とソースおよびドレイン電極とが異なる表面上にあるので...」とされ、半導体薄膜の両側について、いずれも「表面」という記載がされている。

#### イ 被控訴人製品の構成

これに対し、被控訴人製品が、絶縁基板上に、ゲート絶縁膜、ゲート電極、ソース電極（第1主電極）及びドレイン電極（第2主電極）を備えたものであって、逆スタガー型のものであることは、当事者間に争いがない。

そして、上記(1)のとおり、被控訴人製品も本件発明に係る「2端子薄膜半導体素子」を備えるものであり、また、上記アのとおり、構成要件Cについては、スタガー型だけでなく、逆スタガー型の構成も含むものである。

ウ 以上によると、被控訴人製品は、構成要件Cのうち「付加薄膜半導体の表面」との部分に充足し、上記(2)と併せ、構成要件Cを充足するものといえることができる。

(3) 争点(1)ウ（第1主電極延在部を有しない構成であっても、構成要件Eを充足するか）について

ア 被控訴人は、仮に、本件発明が「両方向に電流を流しやすい構造」を有するものとしても、それは、本件明細書に記載されている発明の詳細な説明の〔実施例〕の第6図及び第7図(a)のように、第1主電極延在部を設けることで「両方向に電流を流しやすい構造」となるのであって、被控訴人製品のように、第1主電極延在部を有せず、ゲート電極を順方向に接続した2端子薄膜半導体素子と逆方向に接続した2端子薄膜半導体素子の2個を並列につなぐ構成とするものは、構成要件Eを充足しないと主張する。

イ しかしながら、実施例の記載はともかく、構成要件Eそれ自体は、「前記付加ゲート電極及び前記第2主電極は前記外部取り出し端子に接続し、前記第1主電極は前記共通浮遊電極に接続しており、」とするにとどまるものであって、「第1主電極延在部」という要素を含まないものであるから、被控訴人の主張は、構成要



件充足の有無に係る主張としては失当というべきものであって、これを採用することができない。

ウ そして、上記(1)のとおり、被控訴人製品も本件発明に係る「２端子薄膜半導体素子」を備えるものであり、また、被控訴人製品に使用されている回路保護用ＴＦＴ素子のうち、原判決添付別紙物件目録の図１の下側の素子及び図２の下側２つの素子に対応する素子は、ゲート電極及びドレイン電極（第２主電極）が外部取り出し端子に接続し、ソース電極（第１主電極）が共通浮遊電極に接続するもの（甲５の１～３）であるから、被控訴人製品は、本件発明の構成要件Ｅを充足するものといわなければならない。

#### (4) 小括

以上のとおり、被控訴人製品は、本件発明の構成要件ＢないしＥ及びＧを充足し、また、被控訴人製品が本件発明の構成要件Ａ、Ｆ及びＨを充足することは当事者間に争いがないから、被控訴人製品は、本件発明の技術的範囲に属することになる。

### ２ 無効論の検討

被控訴人製品は、以上のとおり、本件発明の技術的範囲にも属するものと認められるので、被控訴人による被控訴人製品の輸入・販売行為は本件特許権を侵害するものといわなければならないが、被控訴人は、争点(2)アないしエのとおり、本件特許の無効をやる主張するので、本件特許が無効にされるべきものであるか否かについて、争点(2)イ（本件発明に係る進歩性欠如の無効理由の有無）から検討することとする。

#### (1) 争点(2)イ（本件発明に係る進歩性欠如の無効理由の有無）について

##### ア 本件発明の要旨

本件発明は、別紙特許請求の範囲目録記載の構成要件のうち、構成要件Ｘを除いたもの、すなわち、「絶縁基板上に少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、前記外部取り出し端子とこ

れに近接して設けられた共通浮遊電極との間には，少なくともその一か所が，付加薄膜半導体からなる高圧保護用の２端子薄膜半導体素子に接続されており，前記２端子薄膜半導体素子は，前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極と，前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第１主電極及び第２主電極を有し，前記絶縁基板上に形成されており，前記付加ゲート電極は，前記第１主電極及び第２主電極と平面的に重畳するように設けられており，前記付加ゲート電極及び前記第２主電極は前記外部取り出し端子に接続し，前記第１主電極は前記共通浮遊電極に接続しており，前記共通浮遊電極は，前記外部取り出し端子と同時に，または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されており，また，前記付加ゲート電極は前記ゲート電極と同時に形成されており，前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており，前記付加薄膜半導体は前記半導体薄膜と同時に形成されていることを特徴とする薄膜トランジスタ装置。」である。

#### イ 乙１発明の要旨

これに対し，乙１発明は，次のとおり付加するほか，原判決の事実及び理由の第３の１(１)(原判決８７頁６行～９３頁２０行)のとおりのものであるから，これを引用する。

すなわち，乙１発明は，ガラス基板である絶縁基板上にＴＦＴで構成されるマトリックス駆動液晶表示装置において，静電気等によって設計値以上の電圧が印加された場合にゲート絶縁膜の破壊を防ぐためのゲート保護用のＴＦＴを設け，信号処理用のＴＦＴとゲート保護用のＴＦＴとが同じ工程で作成することができるように簡便に一体化した構造としたもので，第３図では，しきい値電圧 $V_T$ の２倍まではゲート回路の入力インピーダンスは大きい，ゲート電圧 $2V_T$ 以上では，ゲート回路の入力インピーダンスが急激に減少するように，ゲート保護用ＴＦＴについては，複数個の入力端とアースとの間に，それぞれ順方向接続態様でトランジスタが直列に２個接続されているものである。

#### ウ 本件発明と乙１発明との対比

この点については、次のとおり付加するほか、原判決の事実及び理由の第３の１(２)(原判決９３頁２２行～９６頁２行)のとおりであるから、これを引用する。

なお、本件発明では、「前記付加ゲート電極は、前記第１主電極及び第２主電極と平面的に重畳するように設けられて」(構成要件Ｄ)いるのに対し、乙１発明では、「 $Tr_2$ のゲート電極４」は、「 $Tr_2$ のドレイン電極９」及び「 $Tr_2$ のソース電極かつ $Tr_3$ のドレイン電極である電極１０」と平面的に重畳するように設けられているので、「 $Tr_3$ のソース電極１１」とは平面的に重畳するように設けられていないという点が認められるが、これは、本件発明では２端子薄膜半導体素子が１つのトランジスタから成るのに対し、乙１発明では保護用の $Tr_2$ 、 $Tr_3$ という２つのトランジスタの直列配列から成ることによるものであって、この点は、相違点２に帰結するものということができる。

#### エ 乙２発明の要旨

乙２発明は、次のとおり付加するほか、原判決の事実及び理由の第３の１(３)(原判決９６頁４行～９８頁２４行)のとおりであるから、これを引用する。

すなわち、乙２文献には、絶縁基板上にＴＦＴなどで構成されるアクティブマトリックスにおいて、静電気などによるマトリックスを構成する素子の破壊を防止するための保護回路に関するもの(１頁右欄１１行～２頁左上欄９行)であるが、アクティブマトリックスの外側に配線Ａを設け、この配線ＡとＸライン及びＹラインそれぞれとの間に、Ｘ又はＹライン側からみて、順方向接続態様及び逆方向接続態様の順に直列に２個のＭＯＳ型トランジスタを接続すること(２頁左下欄３行～右下欄５行)によって、これらの２個のＭＯＳ型トランジスタが、Ｘライン又はＹラインに印加された静電気の正負に対応して、どちらか一方がＯＮし、他方がＯＦＦとなることになり、静電気が一定の電圧を超える場合、その静電気の一部がＯＦＦしたＭＯＳ型トランジスタのソースとドレインとの間のブレイクダウンによって配線Ａに流れることによって静電気によるＴＦＴの破壊が防止されること(２頁右下

欄 6 ～ 16 行) , アクティブマトリックスが組立工程の途上にある時は , 配線 A はフローティングとなっており , 静電気が配線 A に流れる割合は , 配線 A のフローティング電位と配線 A の容量によって決まり , 配線 A の容量が大きい方が静電気による破壊防止の効果が高く , そのためには , 配線 A の配線幅又は面積を大きくするとよいこと ( 2 頁右下欄 16 行 ～ 3 頁左上欄 7 行) , アクティブマトリックスが周辺回路などに接続されて組立てが完了した時は , 配線 A も GND 電位に接続するとよく , この場合は , 静電気だけでなく , 周辺回路を通して入力するサージに対しても保護回路として役立つこと ( 3 頁左上欄 7 ～ 12 行) との発明が開示されているものと認められる。

オ 本件発明の容易想到性

以上を前提に , 当業者が乙 1 及び乙 2 発明から本件発明の構成を容易に想到することができたか否かについて検討する。

(ア) 相違点 1 について

a この点に対する判断は , 次のとおり付加するほか , 原判決の事実及び理由の第 3 の 1 (3)イ(ア)ないし(ウ) ( 原判決 98 頁 26 行 ～ 103 頁 2 行) のとおりであるから , これを引用する。

b 控訴人は , 乙 2 文献に開示されている保護回路の構成は , 基本的に , 静電気を逃す先については接地端子とするものであり , 乙 2 文献の技術思想は , 組立工程ではアース接続の手間を省くために , 放電機能の低下は我慢してフローティング状態とするというものであって , 組立完了後はアースへ接続するものであると主張する。

しかしながら , 上記のとおり , 乙 2 発明について , 組立完了前は配線 A をフローティング状態とする構成が示されているばかりでなく , 乙 2 文献 ( 3 頁左上欄 7 ～ 12 行) においては , 「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は , 配線 A も GND 電位に接続するとよい。この場合は静電気だけでなく , 周辺回路を通して入力するサージに対しても本発明の保護回路は役立

つ。」と記載されているのであって、組立完了後に発生するサージからもＴＦＴを保護することも含めて考慮し、組立完了後の接地を奨励するにすぎないものであると解されるから、組立完了後は接地を不可欠の構成とするもの、すなわち、配線ＡをＧＮＤ電位に接続しなければならないものではなく、控訴人の主張を採用することはできない。

そして、本件明細書によると、「〔従来技術〕ＴＦＴは通常ガラス基板等の絶縁基板上に設けられるため、製造プロセス中や実装工程中の静電気で破壊しやすい問題を有していた。」（２頁３～５行）、「〔発明が解決しようとする問題点〕…本発明はＴＦＴ製造工程と同時に製造可能な２端子素子で、保護すべき端子に接続できる構造を提供し、上記の問題を解決するものである。」（２頁１４～２０行）、「〔発明の効果〕…本発明によればＴＦＴ装置の特に実装工程における静電気破壊をなくせるので最終的な歩留りが向上し、コスト低減に役立つ。また、静電気対策のために特に製造工程の増加がないことも他の利点である。」（６頁２３～２７行）と記載されているのであって、本件発明は、取り分けＴＦＴ装置の製造工程及び実装工程中の静電気による破壊を防止することを課題とするものであるということができる。これに対し、乙２発明も、この製造工程及び実装工程中の静電気破壊については、配線Ａをフローティング状態とするというものであって、本件発明も、乙１及び乙２発明も、その技術分野を同じくする発明であることからして、当業者であれば、乙２発明に基づき、乙１発明のように配線Ａを接地せず、本件発明のようにフローティング状態の構成とすることは容易に想到することができるものであったといわざるを得ない。

ｃ また、控訴人は、本件発明は、絶縁基板上の回路に発生した静電気を２端子薄膜半導体素子を介して基板上の他の配線及び素子に分散させることによって局所的に発生する高電圧を低下させ、ＴＦＴ素子の破壊を防止することを可能にしたものであるのに対し、乙２文献の共通配線では、静電気を液晶パネル全体に分散させる技術思想はなく、有効に静電気を分散させる機能もないのであって、乙２発明を

乙 1 発明に適用することはできないなどと主張する。そして、本件明細書の発明の詳細な説明には、「〔作用〕外部取り出し端子間、または外部取り出し端子と共通浮遊電極の間に非線形特性を有する 2 端子素子を挿入することにより、例えば 1 つの端子に静電気が印加されたとき 2 端子素子を通して他の端子にも静電気を分割し、実質的な印加電圧を低くする。共通浮遊電極を設けた場合には、静電気は 2 端子素子から共通浮遊電極さらに 2 端子素子を通して他の複数の端子に放電されるので、さらに印加電圧を低くすることができる。2 端子素子は、それ故 T F T 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。」( 3 頁 1 3 ~ 2 1 行 ) , 「第 6 図は、さらに第 5 図の例において遮光模を第 1 主電極延在部 2 7 として第 1 主電極 1 0 5 に接続した例で、両方向に電流を流しやすい構造を有している。」( 6 頁 2 ~ 4 行 ) との記載がある。

しかしながら、本件明細書に「以上の 2 端子素子は、内部の T F T 動作に影響を与えない様、チャンネル長、チャンネル幅、 $V_{TH}$  の選択がされるが、さらに付加ゲート電極と第 1 主電極の間、第 1 主電極延在部と第 2 主電極の間にオフセット領域を設定することも可能である。」( 3 頁 8 ~ 1 2 行 ) , 「2 端子素子は、それ故 T F T 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。」( 3 頁 2 0 ~ 2 1 行 ) , 「第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 1 2 と第 2 主電極 1 0 6 を短絡した例で、第 2 主電極 1 0 6 に電圧が印加されたとき T F T の  $V_{TH}$  とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには、T F T よりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。...第 5 図は、第 4 図の例において付加ゲート電極 1 2 と第 1 主電極 1 0 5 の間に平面的重畳をなくし、いわゆるオフセットを設け、見かけ上  $V_{TH}$  を高くした例である。」( 5 頁 2 1 行 ~ 6 頁 1 行 ) と記載されていることによると、2 端子薄膜半導体素子のしきい値については、チャンネル長、チャンネル幅の調整、オフセットの設置等によっても設定できるものとされているといえることができるから、控訴人の主張を採用することはできない。

そして、本件発明では、2端子薄膜半導体素子のゲート電極及び第2主電極は外部取り出し端子に、第1主電極は共通浮遊電極に接続する構成（構成要件E）が採られているところ、この2端子薄膜半導体素子が順方向接続態様で1個接続されているとの構成を前提に、1つの2端子薄膜半導体素子ごとにみても、電流は、外部取り出し端子から2端子薄膜半導体素子を介して共通浮遊電極の方向には流れやすいが、これと比べると、共通浮遊電極から2端子薄膜半導体素子を介して他の外部取り出し端子への方向には流れにくくなっているものと解される。他方、乙2発明における保護用トランジスタであるMOS型トランジスタの接続先を共通浮遊電極である配線Aとする構成を乙1発明に適用すると、保護用のTFETについて順方向接続態様でトランジスタ2個を直列に接続し、その接続先を共通浮遊電極とした構成となるが、この構成によると、入力端から保護用TFETを介して共通浮遊電極へ流れた電流が、さらに、他の保護用のTFETを介して他の入力端に流れることに関しては、本件発明と比べると、より電流が流れにくくなるものと解される。しかし、この点については、本件発明においても、外部取り出し端子から共通浮遊電極の方向へ電流が流れるのとは比して、共通浮遊電極から2端子薄膜半導体素子を介して他の外部取り出し端子の方向への電流が流れにくいものであることをかんがみると、電流の流れやすさ、流れにくさということについての程度問題にすぎないといえることができる。しかも、乙1文献（2頁右下欄13～16行）に、「第4図の特性から明らかなようにa・Si TFETはゲートに負電圧が印加された場合にも、p-チャンネル動作による電流を流し得る。」と、乙2文献（2頁右下欄11～16行）に、「各X乃至Yラインに新たに追加挿入された2個のMOS型トランジスタは、印加した静電気の正負に対応してどちらか一方がONし、他方はOFFとなる。静電気の一部はOFFしたMOS型トランジスタのソース・ドレイン間のブレイクダウンにより配線Aに流れる。」と記載されているように、乙1及び2発明のいずれの保護回路とも両方向に電流が流れ得ることが想定されているものであって、乙1発明の2端子薄膜半導体素子の一方の電極の接続先を乙2発明の構成の共

通浮遊電極とする構成とした場合には，入力端から２端子薄膜半導体素子を通して共通浮遊電極へ流れた静電気が，共通浮遊電極において一定電圧を超えると，さらに，他の複数の２端子薄膜半導体素子を逆方向に流れて放電の効果が生ずること，すなわち分散放電も当然に起こり得る技術的事項であるといえることができるから，本件発明における分散放電が，殊更の作用効果として発生しているというようなものではない。

d 以上を併せ考えると，本件発明の構成と乙１発明に乙２発明の共通浮遊電極を適用した構成との間では，いずれも当然の技術的事項として分散放電の現象が生ずるものであって，２端子薄膜半導体素子から共通浮遊電極に流れた静電気を分散放電によって他の２端子薄膜半導体素子に逃がす，その程度の差があるものにすぎないといわざるを得ない。

したがって，「分散放電」という見地からみて，乙２発明の保護用トランジスタの接続先を共通浮遊電極とする構成を乙１発明に適用した構成においても，分散放電の現象が生ずるものである以上，乙２発明の共有浮遊電極の構成を乙１発明に適用することを阻害する事情はなく，この構成をもって，本件発明が容易想到であるとした原判決の判断は相当であるといわなければならない。

e なお，乙８文献の技術思想に照らしてみると，その技術思想については原判決（１０５頁２３行～１０６頁７行）の認定するとおりであるから，これを引用するところ，乙８文献には，静電気によるマトリックスアレーの製造歩留り低下を防止するマトリックスアレー表示装置の製造方法に係るものとして，保護回路を介してのものではないが，静電気による絶縁破壊を防止するために，１つの端子に印加された静電気を他の端子に分散放電して実質的な印加電圧を低くすることが開示されているので，本件発明における分散放電の効果は，当業者が予測することのできたものといえるのであって，相違点１について，乙１発明に乙２発明の共通浮遊電極の構成を適用することは容易であったといわなければならない。

この点につき，控訴人は，乙８発明は基板の組立過程においてのみ静電気保護の



役に立つ構成であるとし、本件発明における静電気の分散放電について何らの示唆を与えないと主張するが、乙 8 発明が基板の組立工程においての静電気保護についての技術であることをもって、乙 8 発明が持つ静電気の分散放電についての技術的意義が本件発明における分散放電の技術と関連がなくなるというものではないから、控訴人の主張は採用し得ない。

(イ) 相違点 2 について

a この点に対する判断は、次のとおり付加するほか、原判決の事実及び理由の第 3 の 1 (3)ウ (原判決 107 頁 2 行～109 頁 14 行) のとおりであるから、これを引用する。

b 控訴人は、乙 1 文献における「保護トランジスタの接続段数は必要に応じて増減すれば良い」との記載の趣旨は、 $T_{r1}$  を駆動可能であり、かつ、ゲート電極に過大な電圧がかからないとの 2 つの条件を満たす範囲で増減することができるの意味であって、何らの制限もなく、保護トランジスタの接続段数を好き勝手に増減できるのではないなどと主張する。

しかしながら、上記(ア) c のとおり、本件明細書 (3 頁 8～12, 20～21 行, 5 頁 21 行～6 頁 1 行) に、2 端子薄膜半導体素子のしきい値については、チャンネル長、チャンネル幅の調整、オフセットの設置等によって設定できるものであると記載されていることなどからすると、上記(ア) のとおり当事者が容易に想到することができる乙 1 発明に乙 2 発明の共通浮遊電極を適用する構成について、乙 1 発明における順方向接続態様で直列に接続した 2 個の保護用トランジスタを、本件発明のように順方向接続態様 1 個の保護用トランジスタとすることは、当業者が適宜選択できる事項ということができ、控訴人の主張は採用することができない。

c また、控訴人は、本件発明は、保護回路に流れる電圧を低めに設定しても、共通浮遊電極の電位が上昇することで保護回路への電流が停止して画素トランジスタ  $T_{r1}$  に電流が流れるようになることから、順方向接続の薄膜トランジスタ 1 個のみの保護回路としても、画素トランジスタ  $T_{r1}$  を飽和電流まで駆動するように

回路を設計することも可能になるというものであって、乙１及び乙２文献にはない優れた作用効果を実現したものであるなどと主張する。

しかしながら、本件明細書には、控訴人が主張するように、保護回路に流れる電圧を低めに設定しても、共通浮遊電極の電位が上昇することで保護回路への電流が停止して、画素トランジスタに電流が流れるようになるようにとの設計を図ったとするとの明確な記載はなく、むしろ、上記(ア) b (b)のとおり、２端子薄膜半導体素子のしきい値が内部のＴＦＴ装置の動作電圧よりも高くなるようにするために、チャンネル長、チャンネル幅を調整し、又はオフセットを設けることなどが記載されていることからして、控訴人の主張は直ちに採用することができない。

d さらに、控訴人は、薄膜トランジスタのしきい値は、チャンネル長やチャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法などによって調整可能であるが、一方、チャンネルの長さや幅を変動させる余地は少なく、それによるしきい値の調整幅は限られているなどとも主張するが、上記のとおり、本件明細書においては、チャンネル長及びチャンネル幅を変動させることによってしきい値を変更させ、２端子素子について、内部のＴＦＴ動作に影響を与えないように、その動作電圧よりも高い電圧で電流が流れるように寸法、構造を選ぶなどとされているのであって、そうである以上、しきい値の調整を限定的に捉えなければならないものではなく、控訴人の主張は採用することができない。

(ウ) 相違点３について

a この点に対する判断は、次のとおり付加するほか、原判決の事実及び理由の第３の１(３)エ(原判決１０９頁１６行～１１０頁１９行)のとおりであるから、これを引用する。

b 控訴人は、乙２文献には、共通配線Ａの作成方法は記載されておらず、また、乙２発明では、組立工程中は、共通配線Ａがアースに代替し得るだけの静電気吸収能力を実現する容量を有することが想定されているのであるから、これが薄膜トランジスタの電極である薄膜のいずれかと同時形成されることは考え難いなどと主張

するが、上記(ア)のとおり、乙1発明の2端子薄膜半導体素子の一方の電極の接続先を、アースに換えて乙2発明の構成の共通浮遊電極とすることは当業者が容易に想到し得るものであるところ、乙1文献(3頁左下欄16行～右下欄5行)には、特に工程数を増やすことなく、保護トランジスタをアレー中に同時に作り込むことができることが記載されており、TFTを静電気から保護するためのトランジスタの作製において、工程数を増やさないようにすることは周知の課題ということができるのであるから、乙2発明の共通浮遊電極の構成を乙1発明に適用する構成を容易に想到し得る当業者であれば、外部取り出し端子、ゲート電極、ソース電極及びドレイン電極と共通浮遊電極を同時に形成することは、短絡に用いる部材を含め、その技術的手段にすぎないといわざるを得ないから、控訴人の主張は採用することができない。

c この点につき、控訴人は、乙8文献に記載されている短絡部材は大きな容量を必要としないものであって、乙8発明を乙1発明等に適用することは適切でないなどとするが、乙8文献において、その容量に応じて短絡部材を適宜調整することは当業者が当然に採用する技術的事項ということができ、この点に係る控訴人の主張も採用し得ない。

#### (エ) 小括

以上によると、本件発明は、乙1及び乙2発明に基づいて、当業者が容易に発明することができたものであるといわなければならない。

#### (2) 争点(2)エ(イ)(21年訂正による無効理由の解消の有無)について

##### ア 21年訂正発明と乙1発明との対比

21年訂正発明は、本件発明の構成要件AないしHに、構成要件X「外部取出し端子に印加された静電気が2端子薄膜半導体素子を介して前記共通浮遊電極に、さらに他の2端子薄膜半導体素子を介して他の複数の外部取り出し端子に放電されること」との放電の機能が付加されたものである。

21年訂正発明と前記(1)イのとおり乙1発明とを対比すると、前記相違点1

ないし 3 に加え，「本件発明では，『1 つの外部取り出し端子に印加された静電気は，2 端子薄膜半導体素子を介して前記共通浮遊電極に，さらに他の 2 端子薄膜半導体素子を介して他の複数の外部取り出し端子に放電される』のに対し，乙 1 発明では，外部取り出し端子に印加された静電気は，2 端子薄膜半導体素子を介して接地端子に放電される」点で相違するものということができる。

#### イ 21 年訂正発明の容易想到性

しかしながら，前記(1)オ(ア)のとおり，乙 1 発明の 2 端子薄膜半導体素子の一方の電極の接続先を，乙 2 発明の構成の共通浮遊電極とすることは当業者が容易に想到し得るものであること，また，このような構成においても入力端に生じた静電気が共通浮遊電極を介して他の入力端へ流れることが想定され，分散放電されるものであること，さらに，静電気による絶縁破壊を防止するために，1 つの端子に印加された静電気を他の端子に分散放電して実質的な印加電圧を低くすることが本件出願時に公知であったもので，本件発明における分散放電の効果は，当業者が予測できたものであることなどによると，乙 1 発明に乙 2 発明の共通浮遊電極の構成を適用することにより，分散放電の効果も実現されているものということができ，本件発明はもとより，21 年訂正発明においても，構成要件 X が追加されたために上記相違点を乙 1 発明との新たな相違点として認めることができるとしても，当業者において容易に想到し得るものであるといわざるを得ない。

控訴人は，上記相違点について述べるところ，21 年訂正発明では，構成要件 X を追加したにもかかわらず，構成要件 X は本件発明の構成要件として明記されていなかったが，その構成要件であったものであって，本件訂正発明と本件発明とに本質的に相違はないという主張はさておき，前記(1)オにおける各検討に照らして，いずれも採用することができない。

#### ウ 小括

以上によると，21 年訂正発明もまた，乙 1 及び乙 2 発明に基づいて，当業者が容易に発明することができたものであるといわざるを得ない。

### 3 結論

以上の次第であるから，無効論のうちのその余の争点及び損害論について検討するまでもなく，控訴人の請求を棄却した原判決は正当であって，本件控訴は棄却されるべきものである。

知的財産高等裁判所第 4 部

裁判長裁判官                      滝                      澤                      孝                      臣

裁判官                      本                      多                      知                      成

裁判官                      浅                      井                                      憲

(別紙)

#### 特許請求の範囲目録

A 絶縁基板上に少なくともゲート電極，ゲート絶縁膜，半導体薄膜，ソース電極，ドレイン電極からなる薄膜トランジスタを搭載し，外部取り出し端子を複数個有する薄膜トランジスタ装置において，

B 前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間には，少なくともその一か所が，付加薄膜半導体からなる高圧保護用の2端子薄膜半導体素子に接続されており，

C 前記2端子薄膜半導体素子は，前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極と，前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第1主電極及び第2主電極を有し，前記絶縁基板上に形成されており，

D 前記付加ゲート電極は，前記第1主電極及び第2主電極と平面的に重畳するように設けられており，

E 前記付加ゲート電極及び前記第2主電極は前記外部取り出し端子に接続し，前記第1主電極は前記共通浮遊電極に接続しており，

F 前記共通浮遊電極は，前記外部取り出し端子と同時に，または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されており，

G また，前記付加ゲート電極は前記ゲート電極と同時に形成されており，前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており，前記付加薄膜半導体は前記半導体薄膜と同時に形成されており，

X 1つの外部取出し端子に印加された静電気が2端子薄膜半導体素子を介して前記共通浮遊電極に，さらに他の2端子薄膜半導体素子を介して他の複数の外部取り出し端子に放電されること

H を特徴とする薄膜トランジスタ装置。

(以上)