

平成 23 年 2 月 15 日判決言渡 同日判決原本領収 裁判所書記官

平成 22 年（行ケ）第 10165 号 審決取消請求事件

口頭弁論終結日 平成 23 年 1 月 25 日

判 決

原	告	富士電機システムズ株式会社
訴訟代理人弁理士		阪 本 朗
		松 本 洋 一
被	告	特 許 庁 長 官
指 定 代 理 人		近 藤 幸 浩
		相 田 義 明
		安 田 雅 彦
		廣 瀬 文 雄
		田 村 正 明

主 文

原告の請求を棄却する。

訴訟費用は原告の負担とする。

事 実 及 び 理 由

第 1 原告が求めた判決

特許庁が不服 2007 - 2998 号事件について平成 22 年 4 月 5 日にした審決を取り消す。

第 2 事案の概要

本件訴訟は、特許出願拒絶査定を不服とする審判請求を成り立たないとした審決の取消訴訟である。争点は、補正の適否（補正後の本願発明の進歩性（容易想到性）の有無）である。

1 特許庁における手続の経緯

富士電機株式会社は、平成9年1月14日、優先日を平成8年1月22日、優先権主張国を日本として、名称を「半導体装置及びその製造方法」とする発明の特許出願をしたが(特願平9-4918号)、平成13年4月6日、この特許出願から分割出願し(特願2001-109071号)、平成13年7月16日、この特許出願から分割出願し(特願2001-215677号)、平成15年4月17日、さらにこれから分割して本件出願とした(特願2003-112991号)。

富士電機デバイステクノロジー株式会社は、平成15年10月1日、会社分割を原因として、富士電機株式会社から本件出願に係る特許を受ける権利を承継し、同年11月7日、特許庁に対してこの旨の届出をし、平成18年11月28日、特許請求の範囲及び発明の詳細な説明の記載を改める旨補正し、その結果請求項の数は1となったが、拒絶査定を受けたので、平成19年1月25日、特許庁に対して不服審判請求をするとともに、発明の名称を「横型MOS半導体装置」に改め、特許請求の範囲及び発明の詳細な説明の記載を改める旨の本件補正をした。

原告は、平成21年10月1日、会社分割を原因として、富士電機デバイステクノロジー株式会社から本件出願に係る特許を受ける権利を承継し、同年11月12日、特許庁に対してこの旨の補正手続をした。

上記不服審判請求は、不服2007-2998号事件として係属したが、特許庁は、平成22年4月5日、「本件補正を却下する。」との決定とともに、「本件審判の請求は、成り立たない。」との審決をし、その謄本は平成22年4月20日に原告に送達された。

2 本願発明の要旨

本願発明は、高耐圧かつ大電流容量の半導体装置に関する発明であるが、本件補正前後の請求項の記載は次のとおりである。

【補正前の請求項1】

「オン状態で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏

化するドリフト領域を半導体基板に有する半導体装置において、前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分割ドリフト経路域の相隣る同士の間介在する第 2 導電型仕切領域とを有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造で、かつそれぞれの幅が $1\ \mu\text{m}$ 以下で半導体基板の厚さ方向の深さが同じであり、半導体基板表面の第 2 導電型チャネル領域に形成された第 1 導電型ソース領域と前記第 2 導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第 2 導電型チャネル領域と半導体基板表面の第 1 導電型ドレイン領域との間がドリフト電流を流す平面方向であることを特徴とする半導体装置。」

【補正後の請求項 1】

「半導体基板表面に第 1 導電型ドレイン領域と、該第 1 導電型ドレイン領域から離間する第 2 導電型チャネル領域と、該第 2 導電型チャネル領域内に形成された第 1 導電型ソース領域と、前記第 2 導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを有し、オン状態で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を第 1 導電型ドレイン領域と第 2 導電型チャネル領域間に有する横型 MOS 半導体装置において、前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分割ドリフト経路域の相隣る同士の間介在する第 2 導電型仕切領域とを有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造で、かつそれぞれの幅が $1\ \mu\text{m}$ 以下で半導体基板の厚さ方向の深さが同じであり、さらに前記第 1 導電型ドレイン領域と第 2 導電型チャネル領域のそれぞれに接していることを特徴とする横型 MOS 半導体装置。」

3 審決の理由の要点

- (1) 本願補正発明は、下記引用例 1 に記載された引用発明に下記引用例 2 の記

載事項を組み合わせることにより、当業者が容易に発明できたもので進歩性を欠く。

【引用例１】特開平７－７１５４号公報（甲１）

【引用例２】特開平４－１０７８７７号公報（甲２）

引用発明、本願補正発明と引用発明の一致点及び相違点はそれぞれ下記のとおりであるが、相違点１は実質的に相違せず、相違点２の構成は、格別な技術的意義を有しないか、当業者の設計事項であるか、又は当業者が適宜なし得たことであり、相違点３の構成は、当業者が容易に想到できたものである（必要な都度、後記当裁判所の判断の項で、審決の説示を引用摘記する。）

【引用発明】

「半導体基体の第１の表面２に第１の導電形の強ｎドーピングされたドレイン領域２４と、前記ドレイン領域２４から離間する反対の導電形のｐドーピングされたベース領域３と、前記ベース領域３内に埋込まれた第１の導電形の強ｎドーピングされたソース領域４と、前記表面２に絶縁されて設けられたゲート電極８とを有し、第１の導電形の弱ｎドーピングされたウエル２２が前記ドレイン領域２４とドリフト区間２３とを含んでいて、前記ドリフト区間２３は前記ゲート電極８の下から始まり前記ドレイン領域２４まで延びている横形ＭＯＳＦＥＴにおいて、前記ウエル２２内の前記ドリフト区間２３には、前記ウエル２２とは反対の導電形の少なくとも２つの補助領域２６が配置され、前記補助領域２６の間には前記ウエル２２と同じ第１の導電形であるが前記ウエル２２よりも高ドーピングを有する補助領域２７が配置され、前記補助領域２７は前記ベース領域３と前記ドレイン領域２４との間の最短接続路に対して平行に配置されており、前記ベース領域３と前記ウエル２２の間に存在して前記ゲート電極８の下に位置する反対の導電形の弱ｐドーピングされた内部領域１を有することを特徴とする横形ＭＯＳＦＥＴ。」

【本願補正発明と引用発明の一致点】

「半導体基板表面に第１導電型ドレイン領域と、該第１導電型ドレイン領域から離間する第２導電型チャネル領域と、該第２導電型チャネル領域内に形成された第

1 導電型ソース領域と、前記第 2 導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを有し、ドリフト領域を第 1 導電型ドレイン領域と第 2 導電型チャネル領域間に有する横型 MOS 半導体装置において、前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分割ドリフト経路域の相隣る同士の間介在する第 2 導電型仕切領域とを有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造を有することを特徴とする横型 MOS 半導体装置」である点。

【本願補正発明と引用発明の相違点】

・相違点 1

「本願補正発明は、『ドリフト領域』が、『オン状態で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏化する』のに対して、引用発明は、本願補正発明の『ドリフト領域』に対応する『ドリフト区間 2 3』が、『オン状態で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏化する』かどうか不明である点。」

・相違点 2

「本願補正発明は、『前記並行ドリフト経路群』の『それぞれの幅が 1 μm 以下で半導体基板の厚さ方向の深さが同じである』のに対して、引用発明は、本願補正発明の『並行ドリフト経路群』に対応する『補助領域 2 7』の『それぞれの幅』についての限定がなく、また、『補助領域 2 7』の『半導体基板の厚さ方向の深さが同じである』かどうか不明である点。」

・相違点 3

「本願補正発明は、『前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分割ドリフト経路域の相隣る同士の間介在する第 2 導電型仕切領域とを有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面

方向に交互に繰り返す構造で、『さらに前記第 1 導電型ドレイン領域と第 2 導電型チャンネル領域のそれぞれに接している』のに対して、引用発明は『前記ウエル 2 2 内の前記ドリフト区間 2 3 には、前記ウエル 2 2 とは反対の導電形の少なくとも 2 つの補助領域 2 6 が配置され、前記補助領域 2 6 の間には前記ウエル 2 2 と同じ第 1 の導電形であるが前記ウエル 2 2 よりも高ドーピングを有する補助領域 2 7 が配置され、前記補助領域 2 7 は前記ベース領域 3 と前記ドレイン領域 2 4 との間の最短接続路に対して平行に配置されて』いるものであって、『補助領域 2 6』及びこの間の『補助領域 2 7』が『ウエル 2 2 内』に配置されているために、『補助領域 2 7』が、本願補正発明の『第 1 導電型ドレイン領域』に対応する引用発明の『第 1 の導電形の強 n ドーピングされたドレイン領域 2 4』、及び、本願補正発明の『第 2 導電型チャンネル領域』に対応する、『反対の導電形の p ドーピングされたベース領域 3』と『反対の導電形の弱 p ドーピングされた内部領域 1』とを合わせた構成のいずれにも接していない点。」

(2) 以上の次第で、本件補正は、平成 1 8 年法律第 5 5 号改正附則 3 条 1 項によりなお従前の例によるとされる同法による改正前の特許法 1 7 条の 2 第 5 項（現行法の 6 項）において準用する同法 1 2 6 条 5 項の規定に違反するので、同法 1 5 9 条 1 項において読み替えて準用する同法 5 3 条 1 項の規定により、却下すべきである。

(3) 本願補正発明は、補正前の「半導体装置」の発明について、文言の配置を変え「横型 MOS 半導体装置」と限定するとともに、補正前の発明の「並行ドリフト経路群」が「さらに前記第 1 導電型ドレイン領域と第 2 導電型チャンネル領域のそれぞれに接している」と限定したものである。逆にいえば、本件補正前の発明（本願発明）は、本願補正発明からこのような限定をなくしたものである。

そうすると、本願発明の構成要件をすべて含み、これをより限定したものである本願補正発明が、引用発明と引用例 2 の記載に基づいて、当業者が容易に発明することができたものであるから、補正前の本願発明も、同様の理由により、当業者が

容易に発明をすることができたものである。

第3 原告主張の審決取消事由

1 本願補正発明と引用発明との相違点の認定の誤り（取消事由1）

(1) 相違点2について

本願補正発明の「ドリフト領域」は、「並行ドリフト経路群」と「第2導電型仕切領域」とを有し、「第1導電型分割ドリフト経路域」と「第2導電型仕切領域」は「それぞれ幅が1 μm 以下」で「厚さ方向の深さが同じ」である。

そうすると、本願補正発明と引用発明の相違点2は、「本願補正発明は、その『前記ドリフト領域は、並列接続した複数の第1導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第1導電型分割ドリフト経路域の相隣る同士の間介在する第2導電型仕切領域とを有する構造であって、』かつそれぞれの幅が1 μm 以下で半導体基板の厚さ方向の深さが同じ』であるのに対して、引用発明は、・・・点。」と認定すべきであったところ、審決は相違点2につき前記のとおり、各第1導電型分割ドリフト経路域の間に介在する第2導電型仕切領域の幅や厚さ（深さ）の相違を意識することなく認定しており、審決の相違点2の認定には誤りがある。

(2) 相違点3について

ア 本願補正発明の「ドリフト領域」は「並行ドリフト経路群」と「第2導電型仕切領域」とを有し、「並行ドリフト経路群」と「第2導電型仕切領域」とが「第1導電型ドレイン領域」と「第2導電型チャネル領域」のそれぞれに接している。

本願補正発明のMOSFET（絶縁ゲート型電界効果トランジスタ）では、上記のとおり第2導電型（p型）チャネル領域と並行ドリフト経路群が接していることから、ゲートがオンした際にチャネル領域にチャネルを形成し、このチャネルを経て電流が流れるが、その電流は直接並行ドリフト経路群に流れ込むため、オン抵抗が小さくなる。一方、 n^+ 型（第1導電型）のドレイン領域と並行ドリフト経路群が接していることから、オフ時においてその接続面からも空乏化され、高耐压構造

となる。さらに、第2導電型(p型)仕切領域2と第2導電型(p型)チャンネル拡散領域7とが接していることから、オフ時に第2導電型(p型)仕切領域2内の伝導電子を早くなくすることが可能となる。また、第2導電型(p型)仕切領域2とn⁺型のドレイン領域9とが接していることから、オフ時にこの接続面も空乏化されることで、素子全体としての空乏化が早まる。つまり、第2導電型(p型)仕切領域2と第2導電型(p型)のチャンネル拡散領域7及びドレイン領域9とが接していることで、空乏化が早まり高耐圧構造が実現される。

イ 他方、本願補正発明の「並行ドリフト経路群」は「ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造」を有している。

ウ そうすると、本願補正発明と引用発明の相違点3は、「本願補正発明は、『前記ドリフト領域は、並列接続した複数の第1導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第1導電型分割ドリフト経路域の相隣る同士の間介在する第2導電型仕切領域とを有する構造であって、』『前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造』で、さらに前記並行ドリフト経路群と前記第2導電型仕切領域の双方が『前記第1導電型ドレイン領域と第2導電型チャンネル領域のそれぞれに接して』いるのに対して、引用発明は、・・・点。」と認定すべきであったところ、審決は、相違点3につき前記のとおり、本願補正発明の半導体装置では単に並行ドリフト経路群が第1導電型ドレイン領域及び第2導電型チャンネル領域の双方に接していると認定しており、審決の相違点3の認定には誤りがある。

2 容易想到性の判断の誤り(取消事由2)

(1) 相違点1について

引用例1の図1の実施例では、内部領域1に補助領域11と12を有するだけであるが、図5の実施例では、補助領域26、27(図6)に加えて、強nドーピングされた区間である(段落【0015】)ドリフト区間23を有している。そうすると、上記の図1の縦型MOSFETと図5の横型MOSFETとでは、ドリフト区

間の有無が異なり、「M O S F E T」としての動作が同様であることの一事をもって両者を一括して取り扱うのは誤りである。

したがって、上記の相違を無視して、本願補正発明と引用発明の相違点 1 が実質的には相違点ではないとした審決は誤りである。

(2) 相違点 2 について

ア 本願補正発明における「前記並行ドリフト経路群」の「それぞれの幅が 1 μ m 以下」であることは、補正明細書（本件補正後の明細書）の段落【0012】に記載された「ドリフト領域の構造を改善することにより、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながら、オン抵抗の低減化による電流容量の増大が可能な半導体装置を提供する」という課題を解決するために必要なドリフト領域の構造条件を規定したものであり、デザインルールではない。

イ 一般の M O S 半導体装置（M O S F E T）においては、ドレイン領域（ドリフト領域）の不純物濃度による M O S F E T のオン抵抗と耐圧間にはトレードオフの関係があるため、ドリフト領域の構造を改善して高耐圧化しつつドレイン領域（ドリフト領域）の不純物濃度を高くすることで、高耐圧でありながら低オン抵抗の M O S 半導体装置を実現する必要がある。

しかるに、本願補正発明の構成を採用すると、ドリフト経路域の幅方向の両側面からも空乏端が広がるので空乏化が非常に早まり、高耐圧が実現できると共に、並行ドリフト経路群の不純物濃度を高めることでオン抵抗の低減が実現できることになる。他方、従来の構造の M O S F E T において低濃度ドレイン層 22 を厚くすると（不純物濃度を高くすると）、低濃度ドレイン層 22 が完全に空乏化されずに耐圧性能が低下するから、低濃度ドレイン層 22 の不純物濃度を高めてオン抵抗を低減することは困難である。

ところで、理想耐圧と理想オン抵抗の間には、材料によって決まる理論限界が存在し（シリコンの場合は、シリコンリミット）、甲第 13 号証のとおり、補正明細書の第 1 導電型（n 型）分割ドリフト経路域及び第 2 導電型（p 型）仕切領域の幅 1

0 μm の比較例では、不純物濃度を変えても、従来構造の理想耐圧と理想オン抵抗の関係線図をほとんど下回ることができない。一方、上記幅を1 μm とした実施例1、又は上記幅を0.1 μm とした実施例2の場合には、上記関係線図を大幅に下回っており、シリコンリミットを超えた劇的なオン抵抗の低減が図られている。補正明細書の段落【0033】等の記載にも照らせば、本願補正発明において、第1導電型(n型)分割ドリフト経路域1と第2導電型(p型)仕切領域2の幅を1 μm 以下と規定することで、劇的なオン抵抗の低減が図られることは明らかである。

また、オン抵抗を小さくすることができるMOSFETとして二重拡散型(n型)MOSFETは既知であるところ、本願補正発明はSOI-MOSFETのみに関する発明ではなく、二重拡散型MOSFETをも含む発明であるし、補正明細書の実施例2では、従来の二重拡散型n型MOSFETよりもオン抵抗が20%低減されている。

したがって、「第1導電型分割ドリフト経路域」(並行ドリフト経路群の構成単位)及び「第2導電型仕切領域」の双方の幅を「1 μm 以下」としたことには、前記アの技術的課題を解決する上で格別の技術的意義がある。

ウ 「第2導電型仕切領域」の厚さ方向の深さが「並行ドリフト経路群」の厚さ方向の深さよりも小さい場合には、「並行ドリフト経路群」の底面部近傍で空乏化が遅れることにより耐圧性能が低下する。一方、本願補正発明では、「並行ドリフト経路群」と「第2導電型仕切領域」との「厚さ方向の深さが同じ」であることにより、「並行ドリフト経路群」の両側面の全体から空乏端が広がるものである。このとおり、「並行ドリフト経路群」と「第2導電型仕切領域」との「厚さ方向の深さ」をどのようにするかは単なる設計事項ではない。

エ 結局、当業者において相違点2に係る構成に想到することは容易ではないのであって、これに反する審決の判断は誤りである。

(3) 相違点3について

ア 引用例2の半導体装置では、ボロンの濃度を小さくしてn型領域とした

基板表面の部分と、p型領域10の下部に位置するn型延長ドレイン領域とで、不純物濃度が明らかに異なり、かつ基板の深さ方向で測った場合の、基板表面のn型領域とp型領域下部のn型延長ドレイン領域の各厚さ（厚さ方向の各深さ）が異なる。したがって、引用例2では、本願補正発明の「並行ドリフト経路群」に相当する構成が開示されていない。

また、本願補正発明の「第2導電型仕切領域」に相当する引用例2の「P型領域10」は、本願補正発明の「第2導電型チャネル領域」に相当する引用例2の「アンチパンチスルー領域12」に接していない。そうすると、引用例2では、「第2導電型仕切領域」が「第1導電型ドレイン領域」及び「第2導電型チャネル領域」の双方に接するという本願補正発明との相違点2に係る構成に相当する構成が開示されていない。

イ 審決が本願補正発明の優先日（平成8年1月22日）当時の周知技術としてあげる米国特許第5216275号（甲3）は、上記優先日当時、上記公報に記載された事項が当業者の間に広く知れわたっていたことまで示すものではない。また、上記優先日当時、上記公報に記載されているような事項が当業者の間に広く知れわたっていた事実はなかった。

ウ 引用例1の図5に記載されているのは、図1の縦型MOSFETの構成を横型に改めた横型MOSFETに関する発明であるところ、当業者であれば先願である甲第3号証の半導体装置よりも後願である引用例1の縦型MOSFETの方が優れていると考えるから、甲第3号証に記載された周知技術を、横型MOSFETに関する引用発明に組み合わせたときに、当業者が期待する以上の格別の効果が得られるとの発想に至るとは通常考え難い。

また、引用例1の縦型MOSFETと横型MOSFETとではドリフト区間23の有無が相違するところ、引用例1の横型MOSFETに甲第3号証に記載された周知技術を組み合わせた場合、ドリフト区間23をどのように取り扱うかにつき困難が生じる。

そうすると、本願補正発明の優先日当時、当業者が引用発明に甲第3号証に記載された周知技術を組み合わせる動機付けがなかったというべきである。

エ 結局、本願補正発明の優先日当時、当業者において、引用発明に引用例2に記載された事項及び周知技術を組み合わせることによっても、相違点3に係る構成に想到することは容易ではないのであって、これに反する審決の判断は誤りである。

第4 取消事由に関する被告の反論

1 取消事由1に対し

(1) 相違点2について

本願補正発明の特許請求の範囲の記載の体裁に照らせば、本願補正発明においては、「並行ドリフト経路群」を構成する「並列接続した複数の第1導電型分割ドリフト経路域」のそれぞれの幅が $1\ \mu\text{m}$ 以下であり、かつ、厚さ方向の深さが同じであると解するのが自然であって、審決の相違点2の認定に誤りはない。

なお、原告は、その審判請求書(乙1)においても、「第2導電型仕切領域」の各幅が $1\ \mu\text{m}$ 以下である旨や厚さ方向の深さが同じである旨を主張していなかったし、補正明細書の段落【0013】及び図1の記載からも、「第2導電型仕切領域」の厚さ方向の深さと「第1導電型分割ドリフト経路域」の厚さ方向の深さが同じであるかは判然としない。また、補正明細書中には「第2導電型仕切領域」の各幅が $1\ \mu\text{m}$ 以下であることに臨界的意義がある旨の記載はなく、本願補正発明の技術的範囲に属するすべての半導体装置について補正明細書の段落【0027】及び【0033】に記載された抵抗値が得られるわけではないから、上記段落中の記載をもって、本願補正発明においては「第2導電型仕切領域」の各幅が $1\ \mu\text{m}$ 以下であると解釈しなければならないものではない。

(2) 相違点3について

本願補正発明の特許請求の範囲の記載の体裁に照らせば、本願補正発明において

は、「並行ドリフト経路群」が「第１導電型ドレイン領域」と「第２導電型チャネル領域」のそれぞれに接していると解するのが自然であって、審決の相違点２の認定に誤りはない。補正明細書中の記載に照らしても、「並行ドリフト経路群」と「第２導電型仕切領域」の双方が「第１導電型ドレイン領域」と「第２導電型チャネル領域」のそれぞれに接していると限定的に解釈しなければならないものではない。

２ 取消事由２に対し

(１) 相違点１について

引用例１の段落【００１５】、図５の記載、さらには引用例１が引用するドイツ連邦共和国特許第２８５２６２１号明細書（乙２の１）に照らせば、ドリフト区間２３が含まれるウエル２２が低濃度にｎドーピングされた（弱ｎドーピングされた）領域であることは明らかである。そうすると、引用例１の半導体装置のドリフト区間２３は強ｎドーピングされた区間（領域）ではなく、図１の縦型ＭＯＳＦＥＴと図５の横型ＭＯＳＦＥＴとで、「ＭＯＳＦＥＴ」としての動作が同様であることに着目し、引用発明の半導体装置の「ドリフト区間２３」においても、本願補正発明と同様に「オン状態で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏化する」とした審決の判断に誤りはない。

(２) 相違点２について

ア 引用例１が引用する乙第２号証の１の記載（４欄９～１４行、図１、２）にかんがみても、本願補正発明の「並行ドリフト経路群」に相当する引用例１の「補助領域２７」のそれぞれの幅を１μｍ以下とすることは、半導体装置の設計、製造を行う上で普通の数値設定であって、かかる数値で半導体装置を設計、製造することに何ら技術的な困難はない。

イ 各ｎ型（第１導電型）分割ドリフト経路域１の幅を１０分の１にすると、理想オン抵抗Ｒもほぼ１０分の１になるという単純な比例関係にあり、各ｎ型分割ドリフト経路域１の幅を１μｍ以下にすると急激に理想オン抵抗Ｒが低下するものではない。また、補正明細書の段落【００２７】に記載された実施例ではｎ型分割

ドリフト経路域 1 の幅が $1\ \mu\text{m}$ のときに理想オン抵抗が $0.8\ \text{m}\cdot\text{cm}^2$ となつて、従来構造の同様の半導体装置のオン抵抗である約 $0.5\ \text{m}\cdot\text{cm}^2$ (段落【0033】) よりも劣る。

そうすると、補正明細書中に「並行ドリフト経路群」を構成する「分割ドリフト経路域」のそれぞれにつき「幅 $1\ \mu\text{m}$ 以下になると劇的な低オン抵抗化が可能である」と記載されているとしても、字義どおり信用することはできず、少なくとも上記段落【0027】の半導体装置は劇的な低オン抵抗化が実現できていない。

また、上記段落【0027】の記載は、横型構造の SOI-MOSFET に関する〔実施形態 1〕についてのものであって、本願補正発明に包含される、例えば、2重拡散型の MOSFET についても、同様な特性が得られるか否かは補正明細書の記載からは必ずしも明らかではないし、仮に同様な特性が得られるとしても、従来構造の半導体装置を超える効果を奏しないものも含むことになって、いずれにしても従来の半導体装置を超える「劇的な低オン抵抗化」が実現できているものではない。

そして、補正明細書段落【0019】の関係式(11)も、「第2導電型仕切領域 2」の幅を無限小と仮定した上で得られたものにすぎず、「第2導電型仕切領域 2」がある分だけドリフト電流が流れる「第1導電型分割ドリフト経路域」の幅が狭くなるという実際の半導体装置の構造を反映していないし、甲第13号証の他の記載も、本願補正発明で「第1導電型分割ドリフト経路域」の各幅が $1\ \mu\text{m}$ 以下とすることに格別の技術的意義があることの裏付けとなっていない。

したがって、本願補正発明の「並行ドリフト経路群」の「それぞれの幅が $1\ \mu\text{m}$ 以下」であることには格別の技術的意義がないとした審決の判断に誤りはない。

ウ 引用発明においても、本願補正発明の「並行ドリフト経路群」に対応する「補助領域 27」の各々を、例えば同一条件で一括して形成するなど、半導体製造技術において通常採用される方法により、同じ深さとすることは、当業者の設計事項である。また、素子構成上も、極めて当然に、「並行ドリフト経路群」の「半導

体基板の厚さ方向の深さが同じである」ように構成されるものである。

他方、「第2導電型仕切領域」の厚さ方向の深さが「並行ドリフト経路群」の厚さ方向の深さよりも小さい場合には、「並行ドリフト経路群」の底面部近傍で空乏化が遅れることにより耐圧性能が低下するが、本願補正発明では「並行ドリフト経路群」と「第2導電型仕切領域」との「厚さ方向の深さが同じ」であることにより、「並行ドリフト経路群」の両側面の全体から空乏端が広がるという効果は補正明細書に記載されていない。

したがって、引用例1の「補助領域27」の厚さ方向の深さを同じにすることが当業者の設計事項にすぎないとする審決の判断に誤りはない。

エ 結局、「前記並行ドリフト経路群」の「それぞれの幅が1 μ m以下で半導体基板の厚さ方向の深さが同じである」ことは、当業者が適宜なし得たことである、とした、審決の相違点2に関する判断に誤りはない。

(3) 相違点3について

ア 引用例2の「n型延長ドレイン領域11」は、埋め込まれたp型領域により、半導体基板の上下方向ではあるが並行になっている。仮に、並行ドリフト経路群の深さ方向での厚さ（厚さ方向の深さ）が、引用例2に記載された事項と本願補正発明とで同じにならないとしても、上下に並行するn型延長ドレイン領域11を構成する各n型の領域がそれぞれドリフト経路として作用することは明らかである。

また、前記のとおり、本願補正発明の構成としては、「並行ドリフト経路群」と「第2導電型仕切領域」の双方が「第1導電型ドレイン領域」と「第2導電型チャネル領域」にそれぞれ接していることまでは必要ない。

そうすると、引用例2の半導体装置では、本願補正発明の「並行ドリフト経路群」に相当する構成が開示されているし、引用例2の「P型領域10」の構成を本願補正発明の「第2導電型仕切領域」に相当する構成と解して差し支えない。

イ 「並行ドリフト経路群」が「第1導電型ドレイン領域」と「第2導電型

チャンネル領域」の双方に接していることは、米国特許第 5 2 1 6 2 7 5 号公報（甲 3）のみならず、特開昭 5 6 - 1 4 2 6 7 3 号公報（乙 4）や特開昭 5 6 - 1 2 0 1 6 3 号公報（乙 5）にも記載されている周知技術にすぎない。

ウ 引用例 1 の横型 MOS F E T で、周知技術のとおり、「並行ドリフト経路群」が「第 1 導電型ドレイン領域」と「第 2 導電型チャンネル領域」の双方に接するようにした場合には、「ゲート電極 8 の下から始まり、ドレイン領域 2 4 まで延びている」「ドリフト区間 2 3」が補助領域 2 6 及び 2 7 により構成され、ゲート電極 8 下の内部領域 1 に形成されるチャンネル及び前記補助領域 2 7 を介して、ソース領域とドレイン領域の間をキャリアが流れ、MOS F E T として動作することは明らかである。したがって、引用例 1 の横型 MOS F E T に上記周知技術を組み合わせることは、当業者において適宜なされる程度のものにすぎず、組合せの動機付けに欠けるところはない。

引用例 1 の図 5 の横型 MOS F E T では、ドリフト区間 2 3 にウエル 2 2 の一部と補助領域 2 6、2 7 が設けられているところ、引用発明に周知技術を組み合わせ、引用発明の「補助領域 2 7」が「反対の導電形の弱 p ドーピングされた内部領域 1」と「ドレイン領域 2 4」に接するようにした場合でも、補助領域 2 6、2 7 により構成されるドリフト区間が存在することに変わりはない。したがって、この場合にドリフト区間 2 3 の取扱いに困難が生ずることはなく、本願補正発明の優先日当時、当業者が引用発明に引用例 2 に記載された事項を組み合わせる動機付けが存したものである。

エ 結局、引用発明において、「前記ドリフト経路群」が「前記第 1 導電型ドレイン領域」と「第 2 導電型チャンネル領域」のそれぞれに接するように構成することは、当業者が適宜なし得たことであって、審決の相違点 3 の構成に係る容易想到性の判断に誤りはない。

(4) 小括

補正明細書の段落【0 0 1 2】の記載及び引用例 1 の段落【0 0 0 2】、【0 0 0

【 3 】の記載にかんがみれば，引用例 1 の半導体装置が解決しようとする技術的課題は，本願補正発明が解決しようとする技術的課題と事実上同一であって，前記(1)ないし(3)の結論によれば，本願補正発明の優先日当時，当業者において，引用発明に引用例 2 に記載された事項を組み合わせることにより，本願補正発明と引用発明の相違点に係る構成に容易に想到することができたものであり，これと同旨の審決の判断に誤りはない。

第 5 当裁判所の判断

1 取消事由 1（本願補正発明と引用発明との相違点の認定の誤り）について

(1) 相違点 2 について

ア 本願補正発明は，請求項 1 で，「・・・半導体装置において，前記ドリフト領域は，・・・を有する構造であって，前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造で，かつそれぞれの幅が 1 μ m 以下で半導体基板の厚さ方向の深さが同じであり，さらに・・・ことを特徴とする横型 MOS 半導体装置。」と規定されているから，「それぞれの幅が 1 μ m 以下で半導体基板の厚さ方向の深さが同じである」の主語が「前記並行ドリフト経路群」であることは明らかであり，主語が「前記並行ドリフト経路群」と「第 2 導電型仕切領域」の双方であるとする，語句の対応関係が不合理となり相当でない。

そうすると，このことを前提にした審決による相違点 2 の認定に原告主張の誤りがあるとはいえない。

イ これを明細書の記載に照らしてみるに，補正明細書（甲 4 の 1，甲 6）の段落【 0 0 1 3 】では，MOSFET 等の半導体装置の「オン状態でドリフト電流を流すと共にオフ状態で空乏化するドリフト領域」を，複数の並行する領域に分割し，n 型半導体の領域である第 1 導電型分割ドリフト経路域と p 型半導体の領域である第 2 導電型仕切領域がお互いに隣り合うように配置される並行分割構造の構

成が開示されているにすぎず、「第2導電型仕切領域」の厚さ方向の深さと「第1導電型分割ドリフト経路域」の厚さ方向の深さが同じであることや、「第2導電型仕切領域」の幅が $1\text{ }\mu\text{m}$ 以下であることは不明である。

補正明細書の図1も、「第2導電型仕切領域」の厚さ方向の深さと「第1導電型分割ドリフト経路域」の厚さ方向の深さが同じであること等を裏付けるものではない。

また、段落【0027】には、発明の実施形態の一つ〔実施形態1〕につき、「第1導電型分割ドリフト経路域」に当たるn型分割ドリフト経路域1及び「第2導電型仕切領域」に当たるp型仕切領域2の幅を各 $1\text{ }\mu\text{m}$ 以下としたときに、理想オン抵抗Rの劇的な低下が可能である（上記幅が $10\text{ }\mu\text{m}$ のときにRが $7.9\text{ m}\cdot\text{cm}^2$ であるのに対して、上記幅が $1\text{ }\mu\text{m}$ のときにRが $0.8\text{ m}\cdot\text{cm}^2$ 、上記幅が $0.1\text{ }\mu\text{m}$ のときにRが $0.08\text{ m}\cdot\text{cm}^2$ と計算できる）旨の記載がある。しかしながら、この記載は実施例に関する記載にすぎない。

段落【0033】にも、発明の実施形態の一つ〔実施形態2〕につき、「第1導電型分割ドリフト経路域」に当たるn型分割ドリフト経路域1及び「第2導電型仕切領域」に当たるp型仕切領域2の厚さ方向の深さが $1\text{ }\mu\text{m}$ 、幅が $0.5\text{ }\mu\text{m}$ のときに $0.4\text{ m}\cdot\text{cm}^2$ であり、「第1導電型分割ドリフト経路域」に当たるn型分割ドリフト経路域1及び「第2導電型仕切領域」に当たるp型仕切領域2の幅をさらに僅少にすれば、オン抵抗の大幅な低減を図ることができる旨の記載がされているが、この記載も段落【0027】と同様に、実施例に関するものにすぎない。

ここで、【課題を解決するための手段】の段落【0018】では、本願補正発明の効果に関し、「第1導電型分割ドリフト経路域1の単位面積当たりの本数（分割数）を増やすにつれ、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和できる。」との記載がされている一方、「第2導電型仕切領域」の幅に関しては「第2導電型仕切領域2の占有幅は僅少であることが好ましい。」とされているに止まるし、「第2導電型仕切領域」の厚さ方向の深さを設定する効果については格別指摘がされていない。

したがって、本願補正発明の発明者が、「第２導電型仕切領域」の幅を具体的な数値をもって限定したり、「第２導電型仕切領域」の厚さ方向の深さと「第１導電型分割ドリフト経路域」の厚さ方向の深さが同じＭＯＳＦＥＴ（半導体装置）の構成に限定する趣旨で、本願補正発明の出願をしたものとはいえない。

そうすると、段落【００２７】、【００３３】の上記記載にかかわらず、本願補正発明において、「第２導電型仕切領域」の幅を１μｍ以下とする構成や、「第２導電型仕切領域」の厚さ方向の深さと「第１導電型分割ドリフト経路域」の厚さ方向の深さを同じとする構成が不可欠であるとはいえない。

なお、本件審判請求書（乙１）においては、「第２導電型仕切領域」の各幅が１μｍ以下である旨や厚さ方向の深さが同じである旨が格別指摘されていない。

したがって、審決がした本願補正発明と引用発明の相違点２の認定に誤りがあるとはいえない。

（２）相違点３について

ア 前記(1)アと同様に、本願補正発明の請求項１によれば、「・・・半導体装置において、前記ドリフト領域は、・・・を有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造で、かつ・・・であり、さらに前記第１導電型ドレイン領域と第２導電型チャネル領域のそれぞれに接していることを特徴とする横型ＭＯＳ半導体装置。」と発明が特定されているから、上記「さらに前記第１導電型ドレイン領域と第２導電型チャネル領域のそれぞれに接している」の主語が「前記並行ドリフト経路群」であることは明らかであり、主語が「前記並行ドリフト経路群」と「第２導電型仕切領域」の双方であるとする、語句の対応関係が不合理となって相当でない。

そうすると、このことを前提にした審決による相違点３の認定に原告主張の誤りがあるとはいえない。

イ なるほど、補正明細書の段落【００１４】には、ドリフト領域が複数の

プレート状の第 1 導電型分割ドリフト経路域と複数のプレート状の第 2 導電型仕切領域の双方が交互に積層されて構成されることや、第 2 導電型仕切領域が少なくとも端部で相互に並列接続されることが記載されているが、「第 2 導電型仕切領域」が「第 1 導電型ドレイン領域」と「第 2 導電型チャンネル領域」のそれぞれに接しているか否かは不明である。

そして、段落【0025】、【0031】は、発明の実施例に関する記載にすぎず、これらのほかに、本願補正発明の発明者が、「第 2 導電型仕切領域」が「第 1 導電型ドレイン領域」と「第 2 導電型チャンネル領域」のそれぞれに接している構成に限定する趣旨で、本願補正発明の出願をしたことを裏付ける補正明細書中の記載は存しない。

したがって、本願補正発明として、「第 2 導電型仕切領域」が「第 1 導電型ドレイン領域」と「第 2 導電型チャンネル領域」のそれぞれに接している構成が不可欠であるとはいえず、補正明細書の記載を考慮しても、審決による本願補正発明と引用発明の相違点 3 の認定に誤りがあるとはいえない。

(3) 小括

結局、審決がした本願補正発明と引用発明の相違点の認定に誤りがあるとはいえず、原告が主張する取消事由 1 は理由がない。

2 取消事由 2（容易想到性の判断の誤り）について

(1) 相違点 1 について

ア 審決は、本願補正発明と引用発明の相違点 1 に係る構成の容易想到性につき、次のとおり説示する（16 頁）。

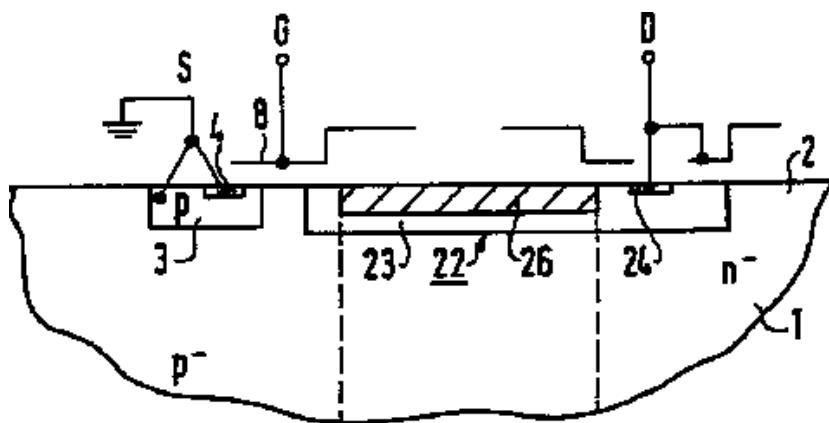
「・・・引用例 1 の図 1 に示される実施例は、『縦形 MOSFET』に関するものであるが、引用発明の『横形 MOSFET』においても、『MOSFET』としての動作は、『縦形 MOSFET』と同様であるから、引用発明の『横形 MOSFET』も、上記ウ、エに記載の動作を有しているので、本願補正発明の『ドリフト領域』に対応する引用発明の『ドリフト区間 23』は、本願補正発明のように『オン状態

で半導体基板の平面方向にドリフト電流を流すと共にオフ状態で空乏化する』ものであり、相違点 1 は、実質的に相違しない。」

イ これに対し、原告は、引用例 1 の図 5 の実施例では、強 n ドーピングされた区間であるドリフト区間 2 3 を有しており、図 1 の縦型 MOS F E T と図 5 の横型 MOS F E T とでは、ドリフト区間の有無が異なるから、両者を一括して取り扱うのは誤りである等と主張する。

ウ この点について判断するに、引用例 1 (甲 1) の段落【 0 0 1 5 】には、下記図 5 の断面図で示される横型 MOS F E T につき「同じ表面 2 内に弱 n ドーピングされたウエル 2 2 が埋込まれ、……。ウエル 2 2 は強 n ドーピングされたドレイン領域 2 4 とドリフト区間 2 3 とを含んでいる。このドリフト区間はゲート電極 8 の下から始まり、ドレイン領域 2 4 まで延びている。このドリフト領域を使用することは知られている（ドイツ連邦共和国特許第 2 8 5 2 6 2 1 号明細書参照）」との記載がある。

【図 5】



上記記載及び図 5 によれば、引用例 1 の図 5 の実施例の「ドリフト区間 2 3」は、「弱 n ドーピングされたウエル 2 2」の一部を成し、「ゲート電極 8」の下から「ドレイン領域 2 4」の近傍まで延びている部分であることは明らかであって、多数キャリアが電子である不純物を相対的に低い濃度でドーピングした「弱 n ドーピングされた」区間（部位）であると認められる。

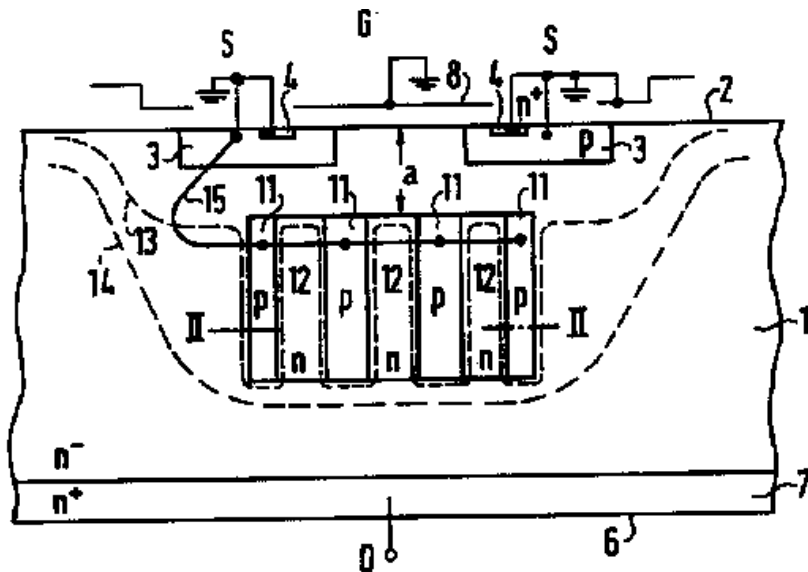
また、引用例 1 の出願が優先権主張するドイツ連邦共和国特許出願の公開第 4 3 0 9 7 6 4 号公報（乙 3）の 3 欄 1 5，1 6 行には、「ウエル 2 2」が「ドリフト区間 2 3」を含む旨の記載があるから、これからも、上記のとおり、「ドリフト区間 2 3」は「弱 n ドーピングされた」区間であるといえることができる。

のみならず、引用例 1 が上記のとおり引用するドイツ連邦共和国特許第 2 8 5 2 6 2 1 号公報（乙 2 の 1）には、制御電極 9 の下部から電極 7 の近傍まで延びる低濃度 n ドープ領域 8 をソース 4 から出た電子のドリフト路として使用する旨が記載されているから（乙 2 の 1 の 3，4 欄，図 2，これを優先権主張とする特開昭 5 5 - 8 0 3 5 9 号公報（乙 2 の 2）3 頁 7 欄 9 ～ 1 9 行，8 欄 1 6，1 7 行），この記載に照らしても、引用例 1 の図 5 の実施例の「ドリフト区間 2 3」は「弱 n ドーピングされた」区間であるといえることができる。

そうすると、「ドリフト区間 2 3」がキャリアが電子である不純物を相対的に高い濃度でドーピングした「強 n ドーピングされた」区間であることを前提とする原告の主張は失当である。

エ ところで、引用例 1 の段落【0 0 0 9】には、下記図 1 で示される縦型 MOSFET に関し、順方向（ソース電極をマイナス、ドレイン電極をプラスとする方向）に電圧が印加されると、導通制御ができる旨、すなわちドレイン電極からソース電極に電流が流れる旨や、ソース領域 4 から出される電子が補助領域 1 2 で「高ドーピングと出会う」旨が記載されている。後者はソース領域 4 から出た電子がベース領域、内部領域を経て高 n ドーピングされた補助領域 1 2 に至ることを意味するものであって、本願補正発明と同様に、上記縦型 MOSFET においても、「オン状態」すなわち順方向に電圧を印加した状態でドリフト電流が流れることが開示されているといえることができる。

【図 1】



他方，引用例１の段落【００１０】には，上記縦型ＭＯＳＦＥＴに関し，逆方向（ソース電極をプラス，ドレイン電極をマイナスとする方向）に電圧が印加されると，低ｎドーピングされた内部領域１とベース領域３（ｐ型）の接合部を起点とする空乏域（空間電荷領域）が逆電圧の大きさに応じて広がり，逆電圧が十分になると，補助領域１１，１２を超えてドレイン電極に向かって広がる（破線で示された領域１４）旨が記載されているから，本願補正発明と同様に，上記縦型ＭＯＳＦＥＴにおいても，「オフ状態」すなわち逆方向に電圧を印加した状態で，「オン状態」であればドリフト電流が流れる領域である内部領域１が空乏化することが開示されているといえることができる。

そして，引用例１の請求項１では，内部領域内に多数キャリアの種類を異にする補助領域を設け，逆電圧が印加されたときに，上記の内部領域内に空乏化された領域が広がり，補助領域内のキャリアが空となる（空乏化する）構成が記載されているところ，その記載の体裁上，縦型ＭＯＳＦＥＴと横型ＭＯＳＦＥＴで各領域（部位）の機能が区別されているものではない（例えば，各補助領域は縦型ＭＯＳＦＥＴと横型ＭＯＳＦＥＴとで一括して取り扱われている。）。また，引用例１の横型ＭＯＳＦＥＴの「ドリフト区間２３」は「弱ｎドーピングされたウエル２２」によっ

て構成される，ドレイン領域と同じ導電型（第１導電型， n 型）で低濃度に不純物がドーピングされた領域であり，やはり同じ導電型の「補助領域２７」（ただし，「ドリフト区間２３」よりも不純物の濃度が高い。）と接続されているから， $MOSFET$ の構造にもかんがみれば， $MOSFET$ に対して順方向に電圧が印加される時には，「補助領域２７」と同様に電子の流路となり得， $MOSFET$ に逆方向に電圧が印加される時には「補助領域２７」と同様に空乏域（空間電荷領域）が広がり得るものと容易に推認することができる。そうすると，オン，オフ各状態における縦型 $MOSFET$ における上記動作は，縦型 $MOSFET$ における空乏化する内部領域１の部分横型 $MOSFET$ におけるドリフト区間２３に置き換えて考え，横型 $MOSFET$ においても同様になされるものといえることができる。

したがって，本願補正発明と引用発明の相違点１は実質的には両発明の相違点ではないとも評価することができ，これと同旨の審決の相違点１に係る判断に誤りがあるとはいえず，原告の主張には理由がない。

(2) 相違点２について

ア 審決は，本願補正発明と引用発明の相違点２に係る構成の容易想到性につき，次のとおり説示する（１６，１７頁）。

「ア 本願補正発明の『前記並行ドリフト経路群』の『それぞれの幅が $1\mu m$ 以下』であることは，本願の優先権主張の日前における，半導体集積回路装置のデザインルールとしては，普通の数値である。

（中略）

エ また，本願補正発明の『前記並行ドリフト経路群』の『半導体基板の厚さ方向の深さが同じである』ことは，当業者の設計事項と認められる。

オ 上記ア～エで検討したように，本願補正発明の『前記並行ドリフト経路群』の『それぞれの幅が $1\mu m$ 以下で半導体基板の厚さ方向の深さが同じである』ことは，当業者が適宜なし得たことと認められる。」

イ(ア) そこでこの審決の判断の当否についてみるに，補正明細書の段落【０

027】に、「n型分割ドリフト経路域1とp型仕切領域の幅はフォトリソグラフィとイオン注入により現在0.5 μm程度までが量産レベルの限界である」との記載があることに照らすと、本願補正発明の優先日当時、引用例1の補助領域26、27あるいは本願補正発明の「第1導電型分割ドリフト経路域」、「第2導電型仕切領域」の幅を1 μm以下として設計、製造することは、半導体の設計、製造として、当業者にとって何ら技術的困難はなかったものであることが明らかである。

また、引用例1が段落【0015】で引用するドイツ連邦共和国特許第2852621号公報(乙2の1)中には、「ドリフト区間8の最大の幅は10 μm乃至100 μmである。」(4欄、前記のとおりに対応する乙2の2の3頁9欄5～7行)との記載があるから、引用例1のドリフト区間23(ドリフト領域)の幅を10 μmないし100 μm程度にすることも可能であると推認することができる。ここで、引用例1の横型MOSFETのドリフト区間23につき、特に図7では、補助領域26、27を合わせて9個設ける構成が開示されているから、例えばドリフト区間23の幅を10 μmとし、上記図7のように、補助領域26、27を合わせて9個設けるときは、補助領域26、27の各幅は1.1 μm程度となる。そうすると、本願補正発明の優先日当時、補助領域27の各幅を1 μm以下とするように設計、製造することは、当業者であれば十分可能かつ容易であったといえることができる。

(イ) ところで、補正明細書の段落【0001】には、「本発明は、MOSFET・・・等に適用可能の高耐圧且つ大電流容量の半導体装置に関する。」との記載があるし、段落【0020】、【0059】には、それぞれ「斯かる構成により、オン抵抗の低減と共に高耐圧化を図ることができる。」との部分があるから、本願補正発明の目的は、MOSFETにおいて、オン動作時のMOSFETの抵抗値であるオン抵抗を小さくするとともに高い(逆)電圧を印加しても破壊されないようにした点、すなわち低オン抵抗と高耐圧の両立にあるといえることができる。

補正明細書の段落【0027】には、前記のとおり、「第1導電型分割ドリフト経路域」に当たるn型分割ドリフト経路域1及び「第2導電型仕切領域」に当たるp

型仕切領域 2 の各幅を $10\ \mu\text{m}$ としたときに理想オン抵抗 R が $7.9\ \text{m}\cdot\text{cm}^2$ であるのに対して、上記各幅を $1\ \mu\text{m}$ としたときに理想オン抵抗 R が $0.8\ \text{m}\cdot\text{cm}^2$ 、上記各幅を $0.1\ \mu\text{m}$ としたときに理想オン抵抗 R が $0.08\ \text{m}\cdot\text{cm}^2$ である旨の記載がある。しかしながら、この記載は、 n 型分割ドリフト経路域 1 及び p 型仕切領域 2 の各幅を $10\ \mu\text{m}$ 、 $1\ \mu\text{m}$ 、 $0.1\ \mu\text{m}$ と順次小さくしていったときに、並行ドリフト群全体のオン抵抗の計算値（理論値）が概ね 10 分の 1、100 分の 1 程度になるという趣旨のものにすぎず、幅 $1\ \mu\text{m}$ を境にオン抵抗が顕著に小さくなるという趣旨のものではない。

原告が本願補正発明の理想耐圧と理想オン抵抗の関係を示すために提出するグラフ（甲 13 の図 1）にも、例えば理想耐圧 BV を 100V とする場合、 n 型分割ドリフト経路域 1 及び p 型仕切領域 2 の各幅を $10\ \mu\text{m}$ 、 $1\ \mu\text{m}$ 、 $0.1\ \mu\text{m}$ と順次小さくしていくと、並行ドリフト群全体の理想オン抵抗 R_{onA} （オン抵抗の計算値）が概ね 10 分の 1、100 分の 1 程度になる様子等や、上記各幅が $1\ \mu\text{m}$ 、 $0.1\ \mu\text{m}$ のときに、従来構造の MOSFET の理想オン抵抗を十分下回る様子が図示されているが、前記段落と同様の事柄を示すものにすぎず、幅 $1\ \mu\text{m}$ を境にオン抵抗が顕著に小さくなるという趣旨のものではない。

したがって、本願補正発明において「並行ドリフト経路群」の「第 1 導電型分割ドリフト経路域」の各幅を「 $1\ \mu\text{m}$ 」以下とすることによって、当業者が予測し得ない作用効果を奏するとは必ずしもいうことができない。

加えて、引用例 1 の請求項 1 に「補助領域のドーピング強さ及び第 2 の導電形の補助領域の間隔は逆電圧が印加された際にその電荷キャリアが空にされるように設定される」との記載があることや、特開昭 56 - 142673 号公報（乙 4）、特開昭 56 - 120163 号公報（乙 5）中に、電流が流れる n 型高抵抗層の層数を増加させるのに従って、複数の n 型高抵抗層と p 型高抵抗層とが交互に積層されたオフセットゲート領域の抵抗を小さくでき、その結果素子全体のオン抵抗を小さくできる旨の記載（乙 4 の 2 頁左下欄 16 ~ 19 行、乙 5 の 2 頁右上欄 16 ~ 20 行）

があることにも照らせば（なお，米国特許 5 2 1 6 2 7 5 号公報（甲 3）の 2 欄 3 9 ～ 4 2 行にも，各 n 領域の幅等のサイズを小さくすればするほど抵抗値を小さくできる旨の記載がある。），本願補正発明の優先日当時，印加される逆電圧の大きさ等の条件が同一であれば，例えば本願補正発明の横型 MOSFET のような構造の MOSFET において，「第 1 導電型分割ドリフト経路域」の幅を小さくするのに従って，「第 1 導電型分割ドリフト経路域」の全体により空乏域が広がりやすくなるから，「第 1 導電型分割ドリフト経路域」の不純物濃度を高めることができ，したがって MOSFET のオン抵抗を小さくすることができるという傾向があること自体は，当業者において広く知られていた事項であるものと容易に推認することができる。

なお，補正明細書の段落【0 0 2 7】の記載は，横型構造の SOI-MOSFET に関するものにすぎず，補正明細書中の記載からは，二重拡散型 MOSFET（補正明細書の実施形態 2）においても，「第 1 導電型分割ドリフト経路域」の各幅を「1 μm 」以下とすることによって，オン抵抗の低減につき，横型構造の SOI-MOSFET におけるのと同様の効果，さらには当業者の予想を超えた格別の作用効果が奏されることになるか否かは必ずしも明らかでない。

そうすると，本願補正発明の「第 1 導電型分割ドリフト経路域」，「第 2 導電型仕切領域」の幅を 1 μm 以下とする構成を採用したことによる作用効果の点を考慮に入れても，本願補正発明の優先日当時，当業者において上記構成に想到することがなお容易であったというべきである。

（ウ） また，お互いに極めて近傍に位置する引用発明の各「補助領域 2 7」を，同一の工程で，同一条件で一括して形成する場合には，各「補助領域 2 7」の厚さ方向の深さが同等になることは容易に推認できるものであって「前記並行ドリフト経路群」の「半導体基板の厚さ方向の深さが同じであるようにすることは，当業者の半導体製造技術上の設計的事項であることが明らかである。

（エ） 結局，「本願補正発明の『前記並行ドリフト経路群』の『それぞれの幅が 1 μm 以下で半導体基板の厚さ方向の深さが同じであることは，当業者が適

宜なし得たことと認められる。」との審決の判断に誤りはない。

ウ この点，原告は，一般のMOSFETにおいては，ド레인領域（ドリフト領域）の不純物濃度によるMOSFETのオン抵抗と耐圧の間にはトレードオフの関係があるところ，従来の構造のMOSFETにおいて低濃度ド레인層22を厚くすると，低濃度ド레인層22が完全に空乏化されずに耐圧性能が低下するから，低濃度ド레인層22の不純物濃度を高めてオン抵抗を低減することは困難であるが，本願補正発明の構成を採用すると，ドリフト経路の幅方向の両側面からも空乏端が広がるので空乏化が非常に早まり，高耐圧が実現できるとともに，高耐圧化により並行ドリフト経路群の不純物濃度を高めることでオン抵抗の低減が実現できることになるとか，本願補正発明においては，材料によって決まる理想耐圧と理想オン抵抗との間の理論限界（シリコンリミット等）を超えた劇的なオン抵抗の低減が図られているなどと主張する。

確かに，補正明細書の段落【0003】ないし【0007】には，ド레인領域の不純物濃度によるMOSFETのオン抵抗と耐圧の間にはトレードオフの関係にある旨が記載されており，段落【0018】には「第2導電型仕切領域2」の両側面から空乏端が側方に広がり，空乏化が非常に早まる旨が記載されている。しかし，これらの事項ないし効果等を考慮しても，前記イのとおり，本願補正発明と引用発明の相違点2に係る構成を採用することにより，当業者が予測し得ない作用効果を奏することになるものではないから，原告の上記主張を採用することはできない。

(3) 相違点3について

ア 審決は，本願補正発明と引用発明の相違点3に係る構成の容易想到性につき，次のとおり説示する（18～20頁）。

「ウ また，引用例2に記載の『N型延長ド레인領域11』は，『埋め込まれた』『P型領域』により半導体基板の上下方向ではあるが並行になっているので，本願補正発明の『並行ドリフト経路群』に対応する。

エ そして，引用例2の第1図の記載を参照すると，『N型延長ド레인領域11』

は、その左側で、『アンチパンチスルー領域 1 2』と接しており、また、『N型延長ドレイン領域 1 1』は、その右側で、『ドレインコンタクト領域 9』と接している。…

オ そうすると、上記イ～エの記載から、引用例 2 には、本願補正発明の『前記並行ドリフト経路群』は『前記第 1 導電型ドレイン領域と第 2 導電型チャネル領域のそれぞれに接している』ことに相当するものが、示されている。

カ また、引用例 1 には、横型 MOSFET の実施例とともに縦型 MOSFET の実施例も記載されているところ、縦型 MOSFET の場合ではあるが、並行ドリフト経路群が第 1 導電型ドレイン領域と第 2 導電型チャネル領域のそれぞれに接していることが、以下の周知例に記載されているように周知技術である。

(周知例(米国特許第 5 2 1 6 2 7 5 号明細書)の記載の認定につき中略)

ケ そうすると、引用発明の『第 1 の導電形の弱 n ドーピングされたウエル 2 2 が前記ドレイン領域 2 4 とドリフト区間 2 3 とを含んでいて、』『前記ウエル 2 2 内の前記ドリフト区間 2 3 には、前記ウエル 2 2 とは反対の導電形の少なくとも 2 つの補助領域 2 6 が配置され、前記補助領域 2 6 の間には前記ウエル 2 2 と同じ第 1 の導電形であるが前記ウエル 2 2 よりも高ドーピングを有する補助領域 2 7 が配置され、』『前記ベース領域 3 と前記ウエル 2 2 の間に存在して前記ゲート電極 8 の下に位置する反対の導電形の弱 p ドーピングされた内部領域 1 を有する』構成において、上記イ～オに記載の引用例 2 に記載の技術、あるいは、上記カ～クに記載の周知技術を適用して、引用発明の『ウエル 2 2』を用いずに、本願補正発明の『並行ドリフト経路群』に対応する引用発明の『補助領域 2 7』が引用発明の『反対の導電形の弱 p ドーピングされた内部領域 1』と『ドレイン領域 2 4』に接するようにして、本願補正発明のように『前記並行ドリフト経路群』が『前記第 1 導電型ドレイン領域と第 2 導電型チャネル領域のそれぞれに接している』ようにすることは、当業者が適宜なし得たことと認められる。

また、これによって、本願補正発明の『前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分

割ドリフト経路域の相隣る同士の間に介在する第２導電型仕切領域とを有する構造であって、前記並行ドリフト経路群は前記ドリフト電流を流す平面方向とは直交する半導体基板の平面方向に交互に繰り返す構造で』あるとの構成を自然と備えたものとなることは明らかである。」

イ(ア) そこで当裁判所として判断するに、引用例２の第１図に記載されたｎ型（Ｎ型）の「延長ドレイン領域１１」は、その内部に「Ｐ型領域１０」を含む構造を有しているものであるが、オン動作時に「ソース領域１３」から生じた電子を「ドレインコンタクト領域９」に流し、オフ動作時に「Ｐ型領域１０」との間に空乏域を広げる領域であるから（２頁左下欄１～１７行）、審決が認定するとおり、「半導体基板の上下方向ではあるが並行になっているので、本願補正発明の『並行ドリフト経路群』に」相当するものである。

この点、原告は、ボロンの濃度を小さくしてｎ型領域とした基板表面の部分と、「Ｐ型領域１０」の下部に位置するｎ型延長ドレイン領域とで、不純物濃度が明らかに異なり、かつ基板の深さ方向で図った場合の、基板表面のｎ型領域とｐ型領域下部のｎ型延長ドレイン領域の各厚さが異なる等と主張する。

確かに、引用例２の「Ｐ型領域１０」は、「半導体基板１５」にイオン注入等を行っていったんｎ型の領域（延長ドレイン領域１１）を形成した後に、ｐ型領域を形成するための不純物であるボロン（ホウ素）を上記ｎ型領域にイオン注入する等し、さらに上記ｎ型領域の基板表面部分を熱酸化して、上記ｎ型領域の内部に埋め込まれた構造で形成されるものであるから、「Ｐ型領域１０」を取り囲む「延長ドレイン領域１１」のうちの「Ｐ型領域１０」よりも基板表面側の部分と「Ｐ型領域１０」よりも基板内側の部分とで、キャリア（電荷）に寄与する不純物の濃度が異なる可能性や、「Ｐ型領域１０」の形成方法次第で、「延長ドレイン領域１１」のうちの「Ｐ型領域１０」よりも基板表面側の部分と「Ｐ型領域１０」よりも基板内側の部分とで厚さが異なる可能性も存するが、引用例２中に両部分が果たす機能が異なる旨の記載は存しないし、「延長ドレイン領域１１」が果たす機能と本願補正発明の「並行

ドリフト経路群」が果たす機能との共通性にかんがみれば、上記の不純物濃度の大小や厚さの相違をもって、引用例２では、本願補正発明の「並行ドリフト経路群」に相当する構成が開示されていない等ということとはできない（なお、前記のとおり、本願補正発明にいう「第１導電型分割並行ドリフト経路域」ないし「並行ドリフト経路群」の厚さは設計的事項と評価し得る事項である。）。

そして、審決が認定するとおり、引用例２の「延長ドレイン領域１１」は、本願補正発明の「第１導電型ドレイン領域」に相当するｎ型の「ドレインコンタクト領域９」と、本願補正発明の「第２導電型チャネル領域」に相当するｐ型の「アンチパンチスルー領域１２」の双方に接しているものである。ここで、本願補正発明の「第２導電型仕切領域」に相当する引用例２の「Ｐ型領域１０」は「アンチパンチスルー領域１２」、「ドレインコンタクト領域９」に接していないが、前記のとおり、本願補正発明の請求項においては、「第２導電型仕切領域」が「第２導電型チャネル領域」に接していることまで構成となっていないから、引用例２における「Ｐ型領域１０」の接続状況は、引用例２の「延長ドレイン領域１１」によって開示される構成に係る上記結論を左右するものではない。

(イ) また、前記アで摘示して引用した説示以外の部分（キの項）で審決が周知例として引用する米国特許第５２１６２７５号公報（甲３）の１欄５５ないし５８行、１欄６７行ないし２欄１行、図４、５では、ｎ型の領域とｐ型の領域６、７が交互に隣合うように形成されたエピ層（ＣＢ層）５が、ドレイン電極と接続された領域４（ドレイン領域）及び領域６と異なる導電型（領域６がｎ型ならｐ型）であって、ゲート電極とゲート酸化膜１を介して接する領域３と接続されている構成が開示されているから、本願補正発明にいう「第１導電型分割ドリフト経路域」（領域６）ないし「並行ドリフト経路群」（エピ層５）が「第１導電型ドレイン領域」（領域４）及び「第２導電型チャネル領域」（領域３）の双方に接している構成に相当する構成が開示されているものと評価できる。

(ウ) そして、特開昭５６－１４２６７３号公報（乙４）、特開昭５６－１

20163号公報(乙5)においても、MOSFETにおいて、n型高抵抗層がp型高抵抗層と互いに隣り合うように形成され、上記n型高抵抗層がn型領域で結ばれてp型のゲート領域と接するとともに、他方でn型のドレイン領域と接する構成が開示されているから(乙4の2頁右上欄11行~左下欄6行、図2~4、乙5の2頁左上欄14行~右上欄6行、図2~4)、やはり本願補正発明にいう「第1導電型分割ドリフト経路域」(n型高抵抗層)ないし「並行ドリフト経路群」(n型高抵抗層及びこれを接続するn型領域)が「第1導電型ドレイン領域」(n型のドレイン領域)及び「第2導電型チャンネル領域」(p型のゲート領域)の双方に接している構成に相当する構成が開示されているものと評価できる。

(エ) そうすると、本願補正発明の優先日当時、例えば短冊状の相互に隣り合うn型領域とp型領域とを複数組み合わせる引用例1のような「補助領域26、27」の集合体(本願補正発明にいう「ドリフト領域」)を作成する当業者にとっては、引用例1にいう「補助領域27」が「ドレイン領域24」(本願補正発明にいう「第1導電型ドレイン領域」)及びゲート電極直下の「内部領域1」(本願補正発明にいう「第2導電型チャンネル領域」)の双方に接するように構成することは、上記当時の周知技術にすぎないか、あるいは少なくとも、上記当時の技術水準に照らし、当業者において容易になし得る程度の事柄にすぎなかったものというべきである。

(オ) したがって、引用発明に引用例2に記載された事項を組み合わせることによっても、あるいはさらに本願補正発明の優先日当時の技術水準(甲3、乙4、5)を勘案することによっても、上記優先日当時、当業者において、本願補正発明と引用発明の相違点3に係る構成に容易に想到することができたというべきである。

そうすると、これと結論を同じくする審決の相違点3の容易想到性に係る判断に誤りがあるとはいえない。

ウ 原告は、当業者であれば先願である甲第3号証の半導体装置よりも後願である引用例1の縦型MOSFETの方が優れていると考えるから、甲第3号証に

記載された周知技術を、横型M O S F E Tに関する引用発明に組み合わせたときに、当業者が期待する以上の格別の効果が得られるとの発想に至るとは通常考え難い等と主張するが、前記のとおり、本願補正発明の構成を採用したことによる効果が当業者の予測を超えた格別のものであるとはいい難いし、引用例 1 に縦型のM O S F E Tの構成と横型のM O S F E Tの構成とが並記されていることから明らかなように、本願補正発明の優先日当時には、両者の構成の違いは絶対的なものではなく、一方の構成の長所のうち他方の構成にも流用可能なものは、格別の支障がない限り当業者において流用し、新たな構成に想到することが容易であったものと推認できるから、原告の上記主張は失当である。

また、原告は、引用例 1 の横型M O S F E Tに甲第 3 号証に記載された周知技術を組み合わせた場合、ドリフト区間 2 3 をどのように取り扱うかにつき困難が生じる等と主張するが、例えば引用例 1 の「補助領域 2 7」の両端を延ばして「ドレイン領域 2 4」(本願補正発明にいう「第 1 導電型ドレイン領域」)及びゲート電極直下の「内部領域 1」(本願補正発明にいう「第 2 導電型チャネル領域」)と接続するように構成し、かつ構成上余分な「ドリフト区間 2 3」の一部を省略する程度のこととは、当業者であれば適宜なし得る事柄であるといえることができる。

したがって、本願補正発明の優先日当時、当業者において引用発明に甲第 3 号証に記載された事項を組み合わせる動機付けがなかったということはできず、かかる動機付けがなかった旨をいう原告の主張は採用できない。

(3) 小括

前記(1)、(2)のとおり、引用発明に引用例 2 に記載された事項を組み合わせることによっても、あるいはさらに本願補正発明の優先日当時の技術水準(甲 3、乙 4、5)を勘案することによっても、上記優先日当時、当業者において、本願補正発明と引用発明の相違点 1 ないし 3 に係る構成に容易に想到することができたというべきであって、この旨をいう審決の判断に誤りはなく、原告が主張する取消事由 2 は理由がない。

第 6 結論

以上によれば，原告が主張する取消事由はいずれも理由がないから，主文のとおり判決する。

知的財産高等裁判所第 2 部

裁判長裁判官

塩 月 秀 平

裁判官

真 辺 朋 子

裁判官

田 邊 実