

平成12年（行ケ）第352号 審決取消請求事件
平成15年3月6日判決言渡、平成15年2月6日口頭弁論終結
判 決

原告 ジェネラル インストルメント コーポレーション
訴訟代理人弁理士 鈴江武彦、村松貞男、橋本良郎、勝村紘、野河信久、和田祐造
被告 特許庁長官太田信一郎
指定代理人 橋本正弘、小林信雄、林栄二、高橋泰史、川名幹夫

主 文
特許庁が平成7年審判第10589号事件について平成12年4月18日にした
審決を取り消す。
訴訟費用は被告の負担とする。

事 実 及 び 理 由

第1 原告の求めた裁判

主文同旨

第2 事案の概要

本件は、原告が後記の本件特許出願をしたところ、拒絶の査定を受け、これを不服として審判請求をしたが、審判請求は成り立たないとの審決がされたことを受けて、同審決の取消を求めた事案である。

1 前提となる事実等

A 特許庁における手続の経緯

A-1 本願発明

出願人 原告
発明の名称 「メモリに蓄積されたデータの変更が阻止される安全確保集積回路チップ」
出願番号 特願平2-4398号
出願日 平成2年1月11日

A-2 本件手続

拒絶査定日 平成7年2月14日
審判請求日 平成7年5月15日（平成7年審判第10589号）
審決日 平成12年4月18日
審決の結論 「本件審判の請求は成り立たない。」
審決謄本送達日 平成12年5月24日（原告に対し）（出訴期間90日附加）

B 本願発明の要旨（平成6年7月7日付け手続補正書による補正後）

「(1) チップ上のメモリの予め定められた位置に記憶された安全確保データの変更を阻止することのできる集積回路チップにおいて、改変することができない安全確保データを記憶するための予め定められた位置を有する複数のメモリ位置を具備するメモリと、前記メモリおよびアドレスバスに結合され、前記アドレスバス上に与えられたアドレス信号により指示された前記メモリの位置にデータを記憶させるメモリ制御論理回路と、初期状態および不可逆的に変更された状態を有するフューズ素子と、前記フューズ素子に結合され、予め定められた制御信号に応答して前記フューズ素子の状態を不可逆的に変更する手段と、前記フューズ素子と前記メモリ制御論理回路と前記アドレスバスとに結合され、前記フューズ素子の前記状態および前記アドレス信号をモニターすると共に、前記フューズ素子の前記状態が不可逆的に変更された後には、予め定められたメモリ位置が前記アドレスバス上のアドレス信号により指示されるときにはいつでも前記メモリ制御論理回路がデータを前記予め定められたメモリ位置に記憶させないようにするデコーダとを含む集積回路チップ。」

「(2) チップ上のメモリの予め定められた位置に記憶された安全確保データの変更を阻止することのできる集積回路チップにおいて、改変することができない安全確保データを記憶するためのメモリと、前記メモリに結合され、前記メモリにデータを記憶させるメモリ制御論理回路と、初期状態および不可逆的に変更された状態を有するフューズ素子と、前記フューズ素子に結合され、予め定められた制御信号に応答して前記フューズ素子の状態を不可逆的に変更する手段と、前記フューズ素子と前記メモリ制御論理回路とに結合され、前記フューズ素子の前記状態をモニターすると共に、前記フューズ素子の前記状態が不可逆的に変更された後には、前記メモリ制御論理回路がデータを前記メモリに記憶させないようにする手段とを含む

集積回路チップ。」

C 審決の理由

本件審決の理由は、【別紙】の「審決の理由」に記載のとおりである。

要するに、本件出願は、明細書に当業者が容易にその実施をすることができる程度に本願発明の構成、効果を記載したとは認められず、また、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとも認められず、特許法36条3項ないし5項（平成2年法律第30号による改正前の規定。以下、本判決で特許法36条を引用する場合には、特に断らない限り、平成2年法律第30号による改正前の規定による。）に規定する要件を満たしていないので、特許を受けることができない、というものである。

2 原告の主張の要点（審決取消事由）

（1）取消事由（記載不備の判断の誤り）

審決は、本願明細書（補正後）の記載では、2つの実施例の構成及びその動作が不明であるので、本願発明の構成、効果が不明であること、したがって、本願発明の構成に欠くことができない事項が何か不明であり、当業者が容易にその実施をすることができる程度に本願発明の構成、効果を記載したとは認められず、また、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとも認められないなどと判断する。しかし、次の（2）、（3）に記載するとおり、第1の実施例の構成及び動作は明確であり、また、第2の実施例の構成及び動作が明確か否かを論ずることなく本願発明の構成、効果が明確か否かが判断されるべきであるから、審決の判断は誤りである。

（2）第1実施例の構成及び動作について

（2-1）審決では、第1実施例に係る構成の各回路につき、具体的な回路構成が記載されておらず、いわゆるブラックボックスとなっている点が指摘されている。

しかし、甲第12号証及び甲第13号証は、特許された出願の公報であるが、その明細書では、いずれも、具体的な回路構成自体はブラックボックスとし、回路要素の機能、入出力端子の接続関係及び入出力信号の形態によりその構成及び動作を説明していることは明らかである。また、本願と対応する外国出願も、各国で特許されている。

各ブラックボックスがその機能、入出力関係、入出力信号により特定されているにもかかわらず、具体的な回路構成が記載されていないことを理由に、当業者が容易にその実施をすることができる程度に、その発明の目的、構成及び効果が記載されているとはいえないとするのは、誤りである。

（2-2）本願明細書（当初の明細書（甲2）が3回の手続補正書（甲3ないし5）により補正された後のものをいう。）の記載によれば、以下のとおり、第1実施例に係る構成のフューズ素子42、フューズ変更装置44、デコーダ40、メモリ制御論理回路38及びメモリMの各機能、入出力端子の接続関係及び入出力信号の形態は、明らかである。また、各回路は、いわゆるブラックボックスとなっているが、それぞれが簡単な構成であり、その具体的な回路構成の記載がなくとも当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

（a）フューズ変更装置44

フューズ変更装置44は、端子50とフューズ素子42に結合され、端子50からあらかじめ定められた制御信号が入力されると、これにตอบสนองしてフューズ素子42を「初期状態」から「改変できないように変更された状態」（特許請求の範囲に記載の「不可逆的に変更された状態」と同旨と認める。）に変化させる信号を出力する。単に、端子50から入力される制御信号（2値）にตอบสนองして、フューズ素子42の状態を変化させる信号（2値）をフューズ素子42に出力するにすぎず、この程度の回路であれば特に具体的な構成を示さなくても当業者は容易になし得るものである。

したがって、フューズ変更装置44について、その機能、端子50とフューズ素子42との結合関係が明確に説明されており、当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

（b）フューズ素子42

フューズ素子42は、信号入力元であるフューズ変更装置44と出力先であるデコーダ40に結合されている。フューズ素子42は、「初期状態」と「改変できない変更状態」（改変できないように変更された状態）という2つの状態を有し、フューズ変更装置44から、フューズ素子42の状態を改変できないように変更させる信号が出力

されると、「初期状態」から「改変できない変更状態」に変化し、「改変できない変更状態」であることを示す信号をデコーダ40に出力する。また、本願明細書には、フューズ素子42の具体例として、金属導電層、ポリシリコン導電層などが記載されている。よって、当業者は、フューズ素子を容易に形成することができる。

したがって、フューズ素子42について、その機能、フューズ変更装置44及びデコーダ40との結合関係が明確に説明されており、当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

(c) デコーダ40

デコーダ40は、信号入力元であるフューズ素子42及びアドレスバス46に結合され、かつ、出力先であるメモリ制御論理回路38に結合されている。デコーダ40は、フューズ素子42の状態及びアドレス信号を監視し、フューズ素子42が「改変できない変更状態」にあることを検知した場合であって、アドレスバス46上のアドレス信号がメモリMのあらかじめ定められたメモリ位置を指示したことを検知したときは、メモリ制御論理回路38がメモリMの上記指示されたメモリ位置にデータを更に蓄積する書き込みを阻止する信号を出力する。

この程度の回路構成であれば、特に具体的な構成を示さなくても、当業者は容易になし得るものである。

したがって、デコーダ40について、その機能、フューズ素子42、アドレスバス46及びメモリ制御論理回路38との結合関係が明確に説明されており、当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

なお、被告は、「デコーダ40は従来のものとは異なる格別のデコーダである」との原告の主張（乙7、乙9）と「デコーダ40は、具体的な構成を示さなくても当業者は容易になし得る程度のものである」との上記主張には一貫性がなく矛盾すると主張するが、従来のものと比較して格別なものであるというデコーダの機能上の主張と、デコーダの実施可能性に係る明細書の記載に関する主張とは、別の次元で論じられるべきものである。

(d) メモリ制御論理回路38

メモリ制御論理回路38は、信号入力元であるデコーダ40に結合され、出力先であるメモリMに結合されている。メモリ制御論理回路38は、デコーダ40の出力を監視する。そして、デコーダ40の出力が書き込みを阻止すべき旨の信号でない場合には、メモリ制御論理回路38は、指示されたメモリ位置にデータを蓄積するための書込信号を出力する。このとき、指示されたメモリ位置があらかじめ定められたメモリ位置である場合には、同メモリ位置にデータ（安全確保データ）が蓄積される。一方、デコーダ40の出力が書き込みを阻止すべき旨の信号である場合には、メモリ制御論理回路38は、書込信号を出力しない。これにより、あらかじめ定められたメモリ位置が指示されても、同メモリ位置にデータをさらに蓄積することが阻止される。このように、通常動作ではメモリMに書込信号を出力し、デコーダ40から書き込みを阻止すべき旨の信号が入力されたときのみ書込信号を出力しないだけであり、この程度の回路構成であれば、特に具体的な構成を示さなくても、当業者は容易になし得るものである。

したがって、メモリ制御論理回路38について、その機能、デコーダ40及びメモリMとの結合関係が明確に説明されており、当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

(e) メモリM

メモリMは、データバス16、メモリ制御論理回路38及びアドレスバス46に結合されている。メモリMは、複数のメモリ位置を有し、その複数の位置のうちのあらかじめ定められた位置は、データバス16からの安全確保データの蓄積のためのものである。そして、メモリ制御論理回路38からライン47経由で書込信号が出力されたとき、アドレスバス46により与えられたアドレス信号により指示されたメモリ位置にデータバス16からのデータを蓄積する。他方、メモリ制御論理回路38から書込信号が出力されないときはデータを蓄積しない。

メモリMについて、その機能、データバス16、メモリ制御論理回路38及びアドレスバス46との結合関係が明確に説明されており、当業者が容易にその実施をすることができる程度に記載されていることは明らかである。

(3) 第2実施例について

(3-1) 特許法36条3項が規定する要件は、特許請求の範囲に記載した発明について、その内容が、当業者が容易にその実施をすることができる程度に、発明の詳細な説明の欄に、記載されていれば足りるものである。また、審査基準（甲7

－ 1, 2, 甲 8) にも, 請求項に係る発明以外の発明について実施可能に発明の詳細な説明が記載されていないことや, 請求項に係る発明を実施するために必要な事項以外の余分な記載があることのみでは, 36条3項違反とはならないとの趣旨の記載がある。

したがって, 特許請求の範囲に記載した発明につき, その内容が当業者が容易にその実施をすることができる程度に記載されている場合においては, その記載以外の記載(余事記載)の存在を根拠に, 特許法36条3項及び4項の規定に違反すると解釈すべきではない。

(3-2) 本願明細書の第2実施例の記載が不備であることは否認するが, そもそも, 本願明細書によれば, 第2実施例に係る記載である第2図及び第2図に関する記載が請求項1及び請求項2に係る発明の実施例ではないことは, 容易に理解することができるものである(第2実施例は, 出願時の請求項6～9に係る発明に対応するもので, これらは手続補正(甲3)により削除されたものである。)。したがって, 第2実施例に係る記載は, 上記余事記載に相当するから, 第2実施例の構成及び動作が明確か否かを論ずることなく, 上記要件が判断されるべきである。

3 被告の主張の要点

(1) 第1実施例の構成及び動作について

(1-1) 特許法36条3項の「容易にその実施をすることができる程度に記載」とは, 当業者が当該発明を反復実施して目的とする効果を挙げることができる程度にまで具体的, 客観的に記載することであり, 物の発明についていえば, 設計図等によりその物の具体的構成が示され, 当業者がこれに基づいて最終的な製作図面を作成しその物を製造することが可能な記載を意味すると解すべきである。

これを電気回路の発明に即していうと, 従来から周知の回路を組み合わせて用いるなどの特段の事情のない限り, 具体的な回路構成を明確に記載すべきであって, 回路構成自体はブラックボックスとし, 当該回路の機能, 入出力端子の接続関係及び入出力信号を明らかにするのみの記載では, 当業者は, その発明に係る回路の具体的な構成を知らないのが通常であるから, その回路を容易に製作することができない。そのような記載は, 特許法36条3項の「容易にその実施をすることができる程度に記載」との要件を満たしたことはない。もし, そのような記載だけで電気回路の発明を十分に記載したと認めると, 具体的な回路構成は未だ実現できていなくても, 入出力端子の接続先と所望の入出力信号の関係さえ明らかにすれば, どのような回路であっても発明をしたことになってしまう。

(1-2) 本願明細書についてみると, 第1図及び第1図に関する発明の詳細な説明の記載(第1実施例に係る記載)では, 各回路要素について, その機能, 入出力端子の接続関係及び入出力信号の関係が示されているだけであり, 具体的な回路構成については, 一切記載されていないこと, すなわちブラックボックスになっていることは, 明らかである。この記載では, 特許法36条3項に規定する要件を満たしているとはいえない。第1の実施例に係る記載が不明瞭であるとした審決の認定は正当である。

原告は, 回路構成をブラックボックスとした出願で特許されている例(甲12, 13)を挙げるが, 被告もブラックボックス自体を一般的に否定するのではなく, ブラックボックスによる記載が認められるか否かは, 具体的事例に応じて判断されるべきものであって, 本願の場合は認められるべきでない。

(1-3) 第1実施例に係る各回路要素を個別にみると, 次のとおりである。

(a) フューズ変更装置44については, 本願明細書に具体的な回路構成は記載されていない。本願明細書の記載は, その機能を希望的に記載したにすぎず, この明細書に接した者は, フューズ変更装置44の構成を理解することができないので, 当業者が容易に実施できる程度に記載されているとはいえない。

(b) フューズ素子42についても, 本願明細書に具体的な回路構成は記載されておらず, フューズ素子42が備えるべき機能を希望的に記載したものにすぎず, この明細書に接した者は, フューズ素子42の構成を理解することができないので, 当業者が容易に実施できる程度に記載されているとはいえない。

(c) デコーダ40についてみるに, 一般に, 「デコーダ」は解読器を意味するので, アドレス信号を解読することは理解できる。しかし, 本願明細書には, デコーダ40の具体的な回路構成, フューズ素子42からの入力信号及びデコーダ40への出力信号の形態及びタイミング, 並びに, 書き込みを阻止すべきメモリ位置の設定方法につき記載がないので, デコーダ40が, アドレス信号が書き込みを阻止すべきメモリ

位置であるか否かを区別する方法や入出力信号の形態及びタイミングが不明瞭である。結局、本願明細書の記載は、デコーダ40が備えるべき機能を希望的に記載したものにとすぎず、この明細書に接した者は、デコーダ40の構成を理解することができないので、当業者が容易に実施できる程度に記載されているとはいえない。なお、原告は、意見書（乙7）及び手続補正書別紙の審判請求書（乙9）において、「デコーダ40」は従来のデコーダとは異なる格別のデコーダであると主張する一方、その具体的構成は当業者が容易になし得るものであると主張する。本願発明のデコーダ40が従来のデコーダとは異なる格別のデコーダであるならば、その具体的構成を当業者が容易にその実施をすることができる程度に記載すべきであって、原告の主張は一貫性がなく矛盾するものである。

（d）メモリ制御論理回路38についてみるに、本願明細書には、具体的回路構成は記載されていないので、フューズ素子42が改変できない変更状態に変化した後にメモリMに書き込むためのアドレス信号が来た場合に、メモリ制御論理回路38は、デコーダ40からの信号とアドレスバス46により与えられた信号とを利用して、どのようにしてメモリMへのデータ蓄積を阻止するのか理解することができない。結局、本願明細書の記載は、メモリ制御論理回路38が行うべき動作及び備えるべき機能を希望的に記載したものにとすぎず、当業者が容易にその実施をすることができる程度に記載されているとはいえない。

（e）メモリMについても、本願明細書の記載では、その具体的回路構成が不明瞭である。

（2）第2実施例について

本願明細書中の第2図に関する記載事項（第2実施例に係る記載）が余事記載であることは争わない。

余事記載があることのみでは特許法36条3項違反とはならないが、本件のように、本願発明の実施例である第1図に係る発明について、前記のとおり、同項違反があるときに、それと合わせて、それ以外の部分についても同項違反があるとして、ことまでも排除されるものではない。審決は、第1及び第2実施例の両方について、構成及び動作が不明瞭であるという理由を記載しており、余事記載があることのみを理由として特許法36条3項違反としたものではない。

第3 当裁判所の判断

1 第1実施例に関する記載について

（1）本願明細書及び図面（甲3～5による補正後の甲2）によれば、本願発明は、電子データ処理システム用の集積回路チップに関し、メモリのあらかじめ定められたメモリ位置に最初に蓄積されたデータ（安全確保データ）がその後変更されるのを阻止する集積回路チップを提供することを目的とすること、集積回路チップは、メモリM、メモリ制御論理回路38、デコーダ40、ヒューズ素子42及びフューズ変更装置44という回路要素を具備し、各回路要素は、第1図に記載の接続関係にあることが認められる。

（2）本件では、上記各回路要素につき具体的な回路構成が記載されておらず、いわゆるブラックボックスとなっている点が争われているので、まず、この点から検討する。

（2-1）被告は、各回路要素の構成自体はブラックボックスとし、当該回路要素の機能、入出力端子の接続関係及び入出力信号の形態のみを明らかにする記載では、回路要素の具体的構成を理解できず回路を製作することができないから、容易にその実施をすることはできない旨主張する。

（2-1-1）検討するに、電子回路とは、回路内に電流を流すことにより、所定の入力電気信号に対して所定の出力電気信号を得るものである。これらの入力と出力との関係が電子回路の作用を特定するものであり、回路の機能としてとらえるべきものでもある。

特定の電子回路を回路要素と見立て、これら特定の電子回路を回路要素とする電子回路（上位の電子回路）の場合においても、回路要素に見立てた電子回路の機能が既知であるときには、電子回路の特徴は、回路要素に見立てた電子回路自体にあるのではなく、それらの接続関係にあるというべきである。

そうすると、電子回路の動作は、個々の回路要素の具体的構成の知識によらずとも、個々の回路要素の機能（又は入出力関係）及び個々の回路要素間の接続関係によって理解することができることが明らかである。したがって、個々の回路要素の具体的内容がブラックボックスであるからといって直ちに電子回路の動作を理解す

ることができないとはいえない。

(2-1-2) ちなみに、特許査定を受けた出願の明細書及び図面を掲載した甲第12号証(特許第2595808号公報)(第1図)においても、ランダムアクセスメモリ11、メモリ制御回路12及びプロセッサ20(本願発明のメモリM、メモリ制御論理回路38及び図示されないプロセッサに対応する。)に関して接続関係及び動作又は機能の記載がある一方、これらの各回路の具体的構成については記載がないばかりか、第1図の各回路を示すボックスについてもその名称の記載があるだけで回路内容について記載はなく、いわゆるブラックボックスとなっている。

また、特許査定を受けた甲第13号証(特公平6-100968号公報)(第1図)においても、命令デコーダ2に関して動作又は機能の記載がある一方、回路の具体的構成については記載がないばかりか、第1図のボックスについてもその名称「命令デコーダ」の記載があるだけで回路内容について記載はなく、いわゆるブラックボックスとなっている。命令デコーダ2の内部をさらに詳細に説明すると称する部分の説明や第2図によっても、命令デコーダ2の内部は、ブラックボックスのままで、具体的構成の記載はない。

このように、審査実務上の扱いも、上記(2-1-1)の説示のとおり、メモリ装置やデコーダのような電子回路においては、電子回路を構成する回路要素の具体的構成につき記載がなく、各回路要素がいわゆるブラックボックスであっても、それらの機能や接続関係等により電子回路全体の動作が容易に理解できることが明らかであれば、記載不備として拒絶査定がされていないところである。

(2-2) 被告は、入出力端子の接続関係及び入出力信号の形態を記載するだけで十分であるとすると、具体的な回路構成が未だ実現していなくても発明をしたことになり不合理である旨を主張する。

確かに、回路要素のうち一つでも実際に設計し製作することが技術的におよそ不可能であるときは、その発明を実施することはできない。しかし、本来、電子回路の本質(発明の特徴部分)は接続関係にあることに照らせば、各回路要素の機能等の内容と技術常識から推して、同機能を実現する回路要素の製作が技術的に不可能でない限り、直ちに特許要件を充足しないということとはできない。

(2-3) 被告は、従来から周知の回路を組み合わせて用いる等の特段の事情のない限り、具体的な回路構成を明確に記載すべきであり、その具体的な回路構成を明らかにしない記載は、特許法36条3項の要件を満たしていない旨主張する。

しかしながら、前記のとおり、各回路要素の機能や接続関係等により電子回路全体の動作が容易に理解でき、回路要素の製作が技術的に不可能でない限り、回路要素の具体的構成につき記載がなく、いわゆるブラックボックスであっても、それだけでは特許法36条3項の要件を満たさないことにはならないものというべきであり、被告の主張は採用の限りではない。

(2-4) 以上のとおり、各回路要素がいわゆるブラックボックスとなっていることから、直ちに特許法36条3項の要件を満たさないものと判断されるべきではなく、結局は、具体的な出願において、同項の充足性を判断することになる(この点については、被告は必ずしも争う趣旨ではないものと認められる。)

(3) そこで、本願明細書及び図面における第1実施例に関する記載等を具体的に検討する。

(3-1) 本願明細書及び図面(甲3~5による補正後の甲2)には、次のような記載がある。

①「[産業上の利用分野] この発明は、電子データ処理システム用の集積回路チップに関するものであり、特に集積回路チップの安全保証区域内に蓄積されたデータの変更の阻止に関するものである。」(5頁~6頁)

②「[発明の解決すべき課題] この発明は、チップ上のメモリの予め定められた位置に蓄積された安全確保データの変更が阻止されるような集積回路チップを提供することを目的とする。」(6頁~7頁)

③「[課題解決のための手段] この発明の1態様によれば、チップは複数のメモリ位置を有するメモリと、メモリ制御論理回路と、ヒューズ素子と、予め定められた制御信号にตอบสนองしてヒューズ素子の状態を不可逆的に変更させるためにヒューズ素子に結合された手段と、デコーダとを具備している。メモリの予め定められた位置は変更できない安全確保データのためのものであり、メモリ制御論理回路はアドレスバスによりメモリに結合されてアドレスバス上に与えられたアドレス信号によって示されるメモリ位置にデータを蓄積させる。ヒューズ素子は初期状態および不可逆的に変更された状態を有する。デコーダはヒューズ素子と、メモリ制御論理回

路と、アドレスバスとに結合されてヒューズ素子の状態と前記アドレス信号を監視し、予め定められたメモリ位置がアドレスバス上のアドレス信号により指示されたときには常にヒューズ素子の状態が不可逆的に変更された後にメモリ制御回路がデータを予め定められたメモリ位置に蓄積させることを阻止する。」（7頁～8頁）

④「〔実施例〕…第1図のシステムは、メモリM、メモリ制御論理回路38、デコーダ40、フューズ素子42およびフューズ変更装置44をチップの安全確保区域11内に有している。」（10頁）

⑤「第1図のシステムはメモリMの予め定められた位置に最初に蓄積された安全確保データの変更を阻止するために使用される。フューズ素子42の状態が改変できないように変化されたならば、デコーダ40はアドレスバス46上のアドレス信号により指示された予め定められたメモリ位置にさらにデータを書込むことを阻止する。」（12頁～13頁）

⑥「フューズ変更装置44は、安全確保区域11に対して外側にある端子50からライン48を介して受信された予め定められた制御信号に応答してフューズ素子42の状態を改変できないように変化させるために、フューズ素子42に結合されている。」（11頁）

⑦「フューズ素子は初期状態および改変できない変更状態を有する。フューズ素子という用語は、フューズおよびアンチフューズの両者を意味する。フューズ素子は金属導電層、ポリシリコン導電層、またはそれらの組み合わせによりチップ中に形成されることができる。」（10頁～11頁）

⑧「安全確保集積回路チップ製造プロセス中に製造工場においてのみフューズ作用を可能にする多くのフューズ技術がある。例えばある製造技術では、長期間の信頼性を提供するようにフューズが変更された後、酸化物がポリシリコン（または他のフューズ材料）上に成長されることが必要である。」（13頁）

⑨「デコーダ40はフューズ素子42、メモリ制御論理回路38、およびアドレスバス46に結合され、フューズ素子42の状態およびアドレスバス46上のアドレス信号を監視する。予め定められたメモリ位置がアドレスバス46上のアドレス信号により指示された場合であっても、デコーダ40はフューズ素子42の状態が改変できないように変化された後は、メモリMの予め定められたメモリ位置中にデータをメモリ制御論理回路38が蓄積することを阻止する。」（11頁～12頁）

⑩「メモリ制御論理回路38はアドレスバス46によりメモリMに結合され、メモリ制御論理回路38から安全確保メモリMに“書込み”信号がライン47により与えられたとき、アドレスバス46により与えられたアドレス信号により指示されたメモリMの位置にデータを蓄積させる。」（10頁）

⑪「メモリMは複数のメモリ位置を有し、その予め定められた位置はデータバス16からの変更できない安全確保データの蓄積のためのものである。」（10頁）

⑫第1図（FIG. 1）には、第1実施例のブロック図が示されている。

（3-2）上記の記載によれば、本願発明の前記目的を達成するために、各回路要素は、以下の構成及び動作を有することが認められる。

（a）フューズ変更装置44は、外側にある端子50（ライン48）及びフューズ素子42に結合され、端子50から受信したあらかじめ定められた制御信号に応答して、フューズ素子42を改変できない変更状態に変化させるための信号を出力する。

（b）フューズ素子42は、初期状態と改変できない変更状態とを有する。フューズ素子42は、フューズ変更装置44とデコーダ40に結合され、フューズ変更装置44の出力状態（改変できない変更状態に変化させる）を受けて、初期状態から改変できない変更状態に変化し、その旨の信号を出力する。一度変化した後は再び初期状態に戻ることはない。

（c）デコーダ40は、フューズ素子42、アドレスバス46及びメモリ制御論理回路38に結合され、フューズ素子42の状態とアドレスバス46上のアドレス信号を監視する。フューズ素子42が前記のとおり、初期状態から改変できない変更状態に変化した後において、アドレス信号が後記のようにあらかじめ定められたメモリ位置を指示したときには、常にメモリ制御論理回路38への出力状態を「蓄積を阻止する」ことを指示する状態にする。この出力状態を受けて、後記のようにメモリ制御論理回路38が書込信号の送出を停止し、あらかじめ定められたメモリ位置へのデータの蓄積を阻止する。

（d）メモリ制御論理回路38は、デコーダ40、アドレスバス46及びメモリMに結合され、通常は、書込信号を信号ライン47を介してメモリMに送出する。また、デコーダ40がデータの蓄積を阻止するとの記載がある一方で、デコーダ40とメモリM

との間は直接接続されずにメモリ制御論理回路38が介在していること、書込信号が与えられて初めてデータが蓄積されることに照らせば、メモリ制御論理回路38がデコーダ40の出力状態（蓄積を阻止する）を受けて、書込信号を送出しないことにより、データの蓄積を阻止していることは、（本願明細書に明記はされていないものの）明らかである。

メモリ制御論理回路38は、デコーダ40の出力状態（蓄積を阻止するか否か）によって、書込信号を送出したりしなかったりするものであることが認められる。

（e）メモリMは、その内部に複数のメモリ位置を有し、そのうちあらかじめ定められたメモリ位置は、書き込みによる変更ができないデータ（安全確保データ）を蓄積するために用いられる。また、メモリMは、データバス16、アドレスバス46及び信号ライン47を介してメモリ制御論理回路38に結合され、書込信号が信号ライン47を経て与えられたとき、アドレスバス46から与えられたアドレス信号により指示されたメモリ位置に、データバス16から与えられたデータを蓄積する。

（f）集積回路チップの動作は、次のとおりである。

外側の端子50からあらかじめ定められた制御信号を受信する以前は、フューズ素子42は、初期状態にある。この状態ではデコーダ40は、蓄積を阻止するものではないので、メモリ制御論理回路38は、書き込み要求に対して、通常どおり書込信号を送出し、アドレス信号により指定されたメモリ位置にデータを蓄積することができる。このとき、あらかじめ定められたメモリ位置を指定すれば、同メモリ位置にデータ（安全確保データ）を蓄積することができる。

外側の端子50からあらかじめ定められた制御信号を受信した時は、フューズ変更装置44は、フューズ素子42を改変できない変更状態に変化させるための信号を出力し、これを受けてフューズ素子42は、初期状態から改変できない変更状態に変化し、その旨の信号を出力をする。デコーダ40は、フューズ素子42が改変できない変更状態に変化したことを受け、その後はアドレス信号を監視する態様に移行する。そして、アドレス信号があらかじめ定められたメモリ位置を指示したときには、常に蓄積を阻止することを指示する信号を出力し、同メモリ位置を指示しないときは、同信号は出力しない。メモリ制御論理回路38は、蓄積を阻止することを指示する信号を受けたときは、書込信号を送出しない。その結果、あらかじめ定められたメモリ位置に新たにデータが書き込まれることを阻止することができる。

（4）ところで、被告は、第1実施例の記載が不明瞭であるとして、下記のような主張をするので、これに沿って検討する。

（4-1）被告は、フューズ変更装置44及びフューズ素子42につき、その具体的回路構成や入出力信号の形態が記載されていないから、容易にその実施をすることができないと主張する。

検討するに、フューズ変更装置44は、あらかじめ定められた制御信号に応答して、フューズ素子42を改変できない変更状態に変化させる旨の信号を出力するものである。その入力信号は、上記制御信号とこれと区別される信号とからなる2値信号であり、出力信号も改変できない変更状態に変化させる旨とそうでない旨の2値信号である。入出力信号が担う情報を捨象して考えると、フューズ変更装置44は、入力信号が2値のうち一方の値（あらかじめ定められた制御信号）のときに限り、出力信号が2値のうち一方の値となる回路装置である。このような入出力関係は通常の2値論理素子又は増幅回路において普通のものである。また、このような入出力関係を実現する回路装置の製作が不可能であることを示す証拠も見当たらない。

フューズ素子42につき、本願明細書には、「フューズ素子は金属導電層、ポリシリコン導電層、またはそれらの組み合わせによりチップ中に形成されることができる。」と、その具体的構成が記載されている。

また、乙第5号証（特開昭61-140000号公報）には、プログラマブル読出し専用メモリの「追加書込禁止機構」に関して、「書込用高電圧印加端子（VPF端子）…である端子Bと内部回路5との間に接続される溶断ヒューズ部4と、高電圧印加が可能な信号入力端子Aと、この信号入力端子Aに接続し入力された信号が所定の電圧以上であるとき信号を出力する高電圧比較部3と、溶断ヒューズ部4と信号入力端子Aとの間に接続しかつ高電圧比較部3からの出力信号により導通し溶断ヒューズ部4を溶断せしめる電流を流すトランスファ・トランジスタQ5とを含んで構成される。」（2頁右上欄）、「第2図は第1図に示すヒューズ溶断部の一例の平面図である。溶断ヒューズ部の下層に多結晶シリコン11を配置する。」（2頁右上欄）、「信号入力端子Aに12Vが印加されたとき、高電圧比較部3はしきい値

電圧以上の信号が入力されたと判断し、高レベルの信号を出力する。この信号により…トランスファ・トランジスタQ₅は導通し、溶断ヒューズ部4の多結晶シリコン11（第2図参照）に電流を流す。すると多結晶シリコン11の細くなった部分は高温発熱し、アルミニウム13を溶断する。これにより端子Bは内部回路5と切離されるので、追加書込みができなくなる。」（2頁左下欄～右下欄）とそれぞれ記載されている。

これらによれば、「追加書込禁止機構」は、端子Aに12V（あらかじめ定められた制御信号）を入力する以前は、端子Bから内部回路5に溶断ヒューズ部4を介して書込用高電圧を印加していたところへ、端子Aに12Vを入力しこれに応答させてQ₅から電流を供給してアルミニウム13を溶断し、内部回路5を端子Bから切離して、以後、書込用高電圧を印加しないようにする構成であり、同機構は、フューズ機構と呼ぶべきものであることは明らかである。加えて、このようなフューズ機構は、本件出願時、当業者の間では普通に使用されていたものと認められる。

そうすると、本願発明のフューズ変更装置44及びフューズ素子42の上記構成と上記フューズ機構の構成との共通性（金属導電層とポリシリコン導電層との組み合わせからなること）に照らせば、本願発明のフューズ機構の一つとして乙第5号証に記載のようなフューズ機構を想定することは、当業者にさほど困難であるとは認められない。当業者は、本願明細書の記載だけで、その具体的構成を容易に想起することができるというべきである。

（4-2）被告は、「安全確保区域11の内部にある端子（図示せず）」はどのようなものを想定しているのか不明であるから、容易にその実施をすることができないと主張する。

しかし、あらかじめ定められた制御信号の入力端子の一つの例として、安全確保区域11の外側にある端子が明らかである以上、他の例として示された内部にある端子に関する記載は、記載不備の判断の結論を左右するものではない（なお、審決は、同記載が記載不備であるとは認定してはいない。）。

（4-3）被告は、デコーダ40の具体的回路構成、入出力信号の形態、書込を阻止すべきメモリ位置の設定方法等につき記載されていないので、容易にその実施をすることができないと主張する。

検討するに、上記乙第5号証のフューズ機構は、端子Aへの入力（12V）の前後で内部回路5に対して高電圧の印加及び印加の切り離しを行うことから、結果的に2値信号を出力していることは明らかである。したがって、本願発明のフューズ素子42も初期状態と改変できない変更状態に対応して2値信号を出力していることは、明らかである。

デコーダ40は、フューズ素子42からの2値信号により、メモリ制御論理回路38が通常書き込み動作をするように作用する状態から、アドレス信号を選択しメモリ制御論理回路38が書込信号の送出と送出停止を選択的に行う動作をするように作用する状態に切り換わることが認められる。2値信号により2つの状態を切り換えることが普通の論理回路で実現可能であることは、明らかである。

乙第4号証（特開昭62-80744号公報）には、「〔産業上の利用分野〕本発明はRAM（…）の制御回路に関し、特に書込み禁止番地領域を有するRAMの制御回路に関する。〔従来の技術〕従来、この種のRAMの制御回路は、RAMの書込み禁止領域が論理ゲートで組まれて選択されるようになっていた。〔発明が解決しようとする問題点〕上述した従来のRAMの制御回路は、RAMの書込み禁止領域がRAMのアドレスバス線の何本かを入力とした論理ゲートで組まれて選択される…。さらに、書込み禁止領域の変更を行うためには回路パターンと論理ゲートの変更もせざるをえなくなる…。」（1頁右下欄～2頁左上欄）と記載されている。

ここに記載された「RAMの制御回路」は、アドレスバス線に供給されるアドレス信号からRAMの特定の書き込み禁止領域を「選択」するものであり、本願発明でのあらかじめ定められたメモリ位置を選択する「デコーダ」の機能と同じ機能を果たすものであることは明らかである。被告による「一般に、「デコーダ」は解読器を意味するので、アドレス信号を解読する」との主張とも符合するものである。加えて、このような選択機能は、本件出願時、当業者の間では普通に知られていたものと認められる（乙4）。そして、このような「RAMの制御回路」は、「アドレスバス線の何本かを入力とした論理ゲートで組まれて」おり、「回路パターンと論理ゲートの変更」により書き込み禁止領域に変更を行うものであり、その具体的内部構成やメモリ位置の設定方法なども開示されている。

そうすると、本願発明のデコーダ40の選択機能と乙第4号証の制御回路の機能との共通性に照らせば、本願発明のデコーダ40の一つとして乙第4号証に記載のようなもの（論理ゲートで組まれること）を想定することは、当業者にさほど困難であるとはいえない。

以上によれば、本願明細書の記載だけで、当業者は、デコーダ40の具体的構成を容易に想起することができるというべきである。

（4-4）被告は、原告は本願発明のデコーダが従来のものとは異なる格別のものであると主張するから（意見書又は手続補正書別紙の審判請求書での主張）、容易にその実施をすることができる程度に記載すべきであり、また、記載不備に関する原告の主張は、意見書等での主張と一貫しない旨主張する。

しかし、被告が指摘する意見書又は手続補正書別紙の審判請求書の主張は、本願発明のデコーダは引用刊行物（乙4）に記載のROMとは異なる旨や同刊行物には記載されていない旨を主張するものであり、記載不備に関する主張ではない。記載不備は、明細書の記載要件に係るものであり、引用刊行物の記載とは関係がない。被告の上記主張は、的を射ていないというほかない。

（4-5）被告は、メモリ制御論理回路38の具体的回路構成が記載されておらず、デコーダ40からの信号とアドレス信号とを利用して、どのようにしてメモリMのデータ蓄積を阻止するのか理解できないと主張する。

検討するに、前掲甲第12号証（特許第2595808号公報）（第1図）によれば、メモリ制御回路12は、プロセッサ20から書込命令信号S1を受けてランダムアクセスメモリ11に書込信号S7を送出し、メモリ11は書込信号S7を受けてデータ蓄積をする。本願発明のメモリ制御論理回路38がこれに対応することは明らかであるから、メモリ制御論理回路38は、通常、書き込み要求を受けて書込信号を送出する動作をすることが認められる。そうすると、メモリ制御論理回路38は、単に、デコーダ40から阻止すべき旨の出力を受けて書込信号の送出を停止することが認められる。2値信号により信号の送出を切り換えることが普通の論理回路で実現可能であることは、明らかであるから、本願発明のメモリ制御論理回路38が、上記甲第12号証に記載のような、通常のメモリ制御回路において、普通の論理回路による切り換え動作を付加したものであることは、容易に想定することが可能である。

（4-6）被告は、メモリMの具体的構成が不明瞭であると主張する。

しかし、メモリがアドレス信号、データ信号及び書込信号を受けて書き込み動作をすることは、甲第12号証（第1図）の記載を待つまでもなく周知である。本願発明は、メモリが受ける同書込信号を得るに至るまでの制御に関するものであり、かつ、その制御もメモリの構造的変更を伴うものではない。

（4-7）被告は、一部回路要素につき入出力信号の形態又はタイミングも不明瞭であると主張する。

しかし、前記のとおり、各回路要素の出力状態が2状態であることを否定する記載はなく、2状態が2値信号により表されることは通常であるから、入出力信号の形態又はタイミングが不明瞭であるとはいえない。

（5）以上を要するに、第1実施例における各回路要素の動作及び集積回路チップの動作は、明確であり、ブラックボックスであることをもって、各回路要素の製作、実施が不可能であるとはいえない。したがって、本願明細書の第1実施例に係る記載において、同実施例が不明瞭であるとする点があるとはいえない。よって、これを不明瞭であるとし、本願発明の構成に欠くことができない事項が何か不明であり、当業者が容易にその実施をすることができる程度に本願発明の構成、効果を記載したとはいえず、また、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとはいえないなどした審決の判断は、誤りであるといわざるを得ない。

2 第2実施例に係る記載の不備（余事記載）

被告は、前記のとおり、本件明細書中の第2図に関する記載事項（第2実施例に係る記載）が余事記載であることは争わないとした上、余事記載があることのみでは特許法36条3項違反とはならないが、本件のように、本願発明の実施例である第1図に係る発明について、前記のとおり、同項違反があるときに、それと合わせて、それ以外の部分についても同項違反があることまでも排除されるものではない旨主張する。そして、前記の第1図に関する記載（第1実施例に係る記載）が十分具体的にされているかが争点となる旨主張する（第5回弁論準備手続調書）。

しかしながら、本願発明の第1実施例に係る発明について、不明瞭とはいえず、特許法36条3項に違反するといえないことは、前記1で検討したとおりであるから、被告の主張は前提を欠くものである。結局、前記1に判示したところと相まって、この点に関する原告の取消事由の主張も理由があることになる。

3 結論

以上のとおり、原告の審決取消事由の主張は理由があり、審決は取り消されるべきである。
よって、主文のとおり判決する。

東京高等裁判所第18民事部

裁判長裁判官	塚	原	朋	一
裁判官	塩	月	秀	平
裁判官	田	中	昌	利

【別紙】 審決の理由

平成7年審判第10589号事件、平成12年4月18日付け審決
(下記は、上記審決の理由部分について、文書の書式を変更したが、用字用語の点を含め、その内容をそのまま掲載したものである。)

理 由

A 本件審判請求に係る出願は、明細書及び図面の記載から見て「メモリに蓄積されたデータの変更が阻止される安全確保集積回路チップ」に関する発明（以下、「本願発明」という）に係るものである。

B 当審の平成11年5月28日付けの拒絶理由は、要するに、
本件出願は、明細書及び図面の記載が以下1、2項の点で不備のため、本願発明の構成、効果が不明であるので、特許法第36条第3項乃至第5項に規定する要件を満たしていない、

特に、明細書第9頁第15行～第19頁第5行の記載では、2つの実施例の構成及びその動作が不明である（a、第1図及び第2図の各ブラックボックスの構成内容が不明である。b、各ブラックボックスを入出力する信号、データが不明である。c、第10頁第9行～第11行の記載では、「メモリM」の構成が不明である。d、第10頁第12行～第17行の記載では、「メモリ制御論理回路38」の構成が不明である（前記拒絶理由では、「メモリM」の構成が不明であると記載したが、「メモリ制御論理回路38」の誤記である。当該箇所は「メモリ制御論理回路38」の構成について説明したものであり、cで既に「メモリM」の構成が不明である旨述べている）。e、第11頁第9行～第13行の記載では、「フューズ変更装置44」の構成が不明である。f、第11頁第17行～第12頁第5行の記載では、「デコーダ40」の構成が不明である。g、以上c～fの様に不明であるので、第12頁第15行～第13頁第1行の記載の文意が不明である。h、第13頁第20行～第14頁第5行の記載では、その文意が不明である。i、第15頁第10行～第15行の記載では、その文意が不明である。j、第15頁第16行～第20行の記載では、その文意が不明である。k、第16頁第1行～19頁第5行の記載では、以上h～jの様に第2の実施例が不明であるので、その文意が不明である。l、以上a～kの様に不明であるので、「メモリの予め定められた位置に蓄積された安全確保データの変更が阻止される」という目的を達成する理由が不明であり、本願発明の効果が不明である）ので、本願発明の構成、効果が不明であり（1

項)。

1 項記載の様に、2つの実施例の構成及びその動作が不明であるので、本願発明の構成に欠くことができない事項が不明である(2項)、
というものである。

C 本件明細書(平成11年12月13日付け手続補正書により補正された明細書、なお図面を含む)の記載について検討する。なお、前記補正は、簡単な言い換えや読点の挿入だけであって、実質的変更は何も無い。

1 補正によっても依然として、明細書第9頁第15行~第19頁第5行の記載では、2つの実施例の構成及びその動作が不明であるので、本願発明の構成、効果が不明である。

(実施例の構成内容及びその動作を具体例を挙げる等して明らかにするよう指摘したが、明細書は実質的に変わらず、意見書でも明細書の記載を単に引用し、なぞり、或いは言い換えるだけで、具体例を挙げていない。最高裁昭和61年(オ)第454号判決を参照されたい)

2 1項記載の様に、2つの実施例の構成及びその動作が不明であり、本願発明の構成、効果が不明であるので、本願発明の構成に欠くことができない事項が何か不明である。

3 本願発明の構成に欠くことができない事項が何か不明であるので、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとは認められない。

4 以上述べたように、補正によっても依然として、本願発明の構成、効果が不明であり、従って当業者が容易にその実施をすることができる程度に本願発明の構成、効果を記載したとは認められず、また特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとも認められない。

D 出願人の平成11年12月13日付け意見書の5.理由における主張について検討する。

出願人は、第2頁第4行で「明細書の記載をより明確にするよう訂正」したと主張しているが、前記補正書に依る明細書の補正は、前述した様に読点の挿入及び簡単な言い換えに過ぎず、実質的には何も変わりはない。

(1)の(a)について、

a-1 出願人は、明細書の記載に基づき、図1のシステムにおける「メモリ制御論理回路38」の実施が可能であると主張しているが、当該回路の構成内容を依然として明らかにせず、当該回路の実施が可能である根拠も明らかにしていない。

(平成12年に行った複数回の面接に於いても当該回路の構成内容を明らかに出来なかった)

従って、出願人の前記主張は失当である。

a-2 出願人は、「デコーダ40」は周知の装置であり、明細書の記載に基づき、図1のシステムにおける「デコーダ40」の実施が可能であると主張しているが、当該回路の構成内容を依然として明らかにせず、当該回路の実施が可能である根拠も明らかにしていない。(平成12年に行った複数回の面接に於いて初めて示した「デコーダ40」は、その一部を周知のデコーダとする装置であって、全体が周知のデコーダ装置でない)

従って、出願人の前記主張は失当である。

a-7 出願人は、ボックス54は「ブラックボックス」ではない、図2に示すように「メモリ制御論理回路」を含む、と主張している。

しかし、ボックス54が「メモリ制御論理回路」を含むという主張は誤りである。

明細書では、ボックス54は「メモリ制御論理回路」と記載されていて、「メモリ制御論理回路」を含むとは記載されていない。

従って、出願人の前記主張は失当である。

なお、ボックス38も「メモリ制御論理回路」と記載されていて、ボックス54とボックス38は同じ回路であるが、2つのボックス38、54が同じ回路である理由が不明である。(ボックス54の「ANDゲート60」と「消去可能メモリ52」の間に介在する「インバータ62」と線路から成るものはデコーダと思量されるが、そうであればボックス38もデコーダを有することになり、このデコーダと「デコーダ40」の図1のシステムに於ける技術的意義が不明である。要するに、「メモリ制御論理回路38」の構成内容が不明である)

(1)の(b)について、

出願人のb-1～b-6に於ける主張は、Cの1で述べた様に明細書の記載を引用し、なぞり、或いは言い換えたに過ぎず、具体例は示していない。そのため、第1図及び第2図の各「ブラックボックス」の構成内容を想定出来ない。

(1)の(d)について、

出願人の(d)に於ける前半の主張は、Cの1で述べた様に明細書の記載をなぞったに過ぎず「メモリ制御論理回路38」の構成内容を明らかにするものでないで、「メモリ制御論理回路38」の構成内容は想定出来ない。

出願人は(d)の後半で、要するに、他の位置への一般のデータの書込みについては、本願発明に直接関係しないので、本願明細書には記載していない、その場合に別の書込み信号が使用されるであろうことは当業者にとって明白である、と主張している。

しかし、本願発明の「安全確保メモリM」は「安全確保データ」と「一般データ」の双方を蓄積するメモリと思量され（「安全確保データ」だけならば「デコーダ40」は不要であろう）、本願発明のメモリシステムは「安全確保データ」と「一般データ」の双方へのアクセスが出来る構成でなければならず、他の位置への「一般データ」の書込みアクセスに関する構成は、本願発明の構成に直接関係することである。「その場合に別の書込み信号が使用される」と言うが、（「書込み信号47」と）「別の書込み信号」を用いたメモリシステムの動作は勿論のこと構成さえも明細書及び図面に記載されていない。そして、2つの「書込み信号」を用いたメモリシステムは一般的ではない。故に、「当業者にとって明白である」という主張は根拠が無い。

従って、出願人の前記主張は何れも失当である。

(1)の(f)について、

出願人の主張にも拘わらず、依然として「デコーダ40」の構成が不明である。a-2及びa-7（括弧書き）の記載を参照のこと。

(1)の(g)について、

以上述べた様に、本願発明の主要な構成要素の内容が不明であるので、依然として指摘箇所の記載の文意が不明である。

(1)の(h)～(k)について、

第2の実施例の具体例が示されないので、出願人の主張にも拘わらず依然として第2の実施例の技術的意義が不明である。

(1)の(l)について、

以上述べた様に、本願発明の第1、第2の実施例の構成内容が不明であるので、依然として本願発明の効果が不明である。

(2)について、

Cの2参照

E 結び

以上A～D項を総合して判断すると、本件出願は、明細書（図面を含む）に当業者が容易にその実施をすることができる程度に本願発明の構成、効果を記載したとは認められず、また特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとも認められず、特許法第36条第3項乃至第5項に規定する要件を満たしていないので、当審で通知した上記拒絶理由によって拒絶する。よって、結論の通り審決する。

平成12年 4月18日