

平成9年（行ケ）第173号審決取消請求事件（平成11年11月8日口頭弁論終結）

	判	決	
原告	エスジーエーストムソン	マイクロエレクトロニクス	
代表者	【A】		
訴訟代理人弁理士	【B】		
同	【C】		
被告	特許庁長官	【D】	
指定代理人	【E】		
同	【F】		
同	【G】		
同	【H】		

主文
特許庁が、平成7年審判第8269号事件について、平成9年2月17日にした審決を取り消す。

訴訟費用は被告の負担とする。

事実及び理由

第1 当事者の求めた判決

1 原告
主文と同旨

2 被告
原告の請求を棄却する。
訴訟費用は原告の負担とする。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は、昭和61年8月20日（優先権主張、1985年8月20日・アメリカ合衆国）、名称を「レーザ溶断フューズを備えた、欠陥要素をデイスエイブルする回路」とする発明（平成4年10月6日付手続補正書による補正により、名称を「半導体メモリで使用する行デコーダ回路」と変更、以下「本願発明」という。）につき特許出願をした（特願昭61-195119号）が、平成7年1月10日に拒絶査定を受けたので、同年5月1日、これに対する不服の審判の請求をした。

特許庁は、同請求を平成7年審判第8269号事件として審理したうえ、平成9年2月17日に「本件審判の請求は、成り立たない。」との審決をし、その謄本は同年3月17日、原告に送達された。

2 本願発明の要旨

複数の行と複数の列に配列されたメモリセルのマトリックスと冗長行とを有する半導体メモリのための行デコーダであって、複数の入力端子を有しており、複数のNチャネルトランジスタと同数のPチャネルトランジスタとを具備しており、前記複数のNチャネルトランジスタのそれぞれのドレインソース電流路は、接地と第1のノードとの間に直列に接続されており、前記複数のPチャネルトランジスタのそれぞれのドレインソース電流路は、電源電圧と第2のノードとの間に並列に接続されており、前記複数のNチャネルトランジスタの各々のゲートは、前記複数のPチャネルトランジスタの内のそれぞれ対応するトランジスタのゲートと、前記複数の入力端子の内のそれぞれ対応する入力端子とに接続されてなるNANDゲートと、前記第1のノードに接続された第1の端子と前記第2のノードに接続された第2の端子とを有し、デコーダ回路に付属する行内に欠陥素子があるときに溶断されるフューズ素子と、ドレインソース電流路が、前記電源電圧と前記第2のノードとの間に接続されており、ゲートが接地に接続されたプルアップPチャネルトランジスタと、入力が前記第2のノードのみに接続され、出力が、制御されるべき出力ノードのみに接続されたインバータとを具備しており、前記プルアップPチャネルトランジスタの電流容量が、前記NANDゲートを通して接地に流れる電流路の電流容量に比較して小さく、前記出力ノードが、前記フューズ素子の状態に係わりなく低インピーダンスであることを特徴とする行デコーダ。

3 審決の理由の要点

審決は、別添審決書写し記載のとおり、本願発明が、特開昭59-157892号公報（甲第7号証、以下「第1刊行物」という。）に記載された発明（以下

「第1刊行物発明」という。)及び特開昭60-20397号公報(甲第8号証、以下「第2刊行物」という。)に記載された発明(以下「第2刊行物発明」という。)に基づき、当業者が容易に発明をすることができたものと認められるので、特許法29条2項の規定により特許をすることができないとした。

第3 原告主張の審決取消事由の要点

審決の理由中、本願発明の要旨の認定、本願明細書の記載事項の認定(審決書2頁8～11行、4頁10行～5頁19行)、第1、第2刊行物の記載事項の認定(同6頁1行～10頁4行)、本願発明と第1刊行物発明との第1相違点、第2相違点及び相違点3の認定並びに第1相違点及び相違点3についての判断は認める(但し、本願明細書の「トランジスタ125は小さな容量成分を有する小型のトランジスタであり、」(甲第6号証15頁15～16行)との記載は、「トランジスタ125は小さな電流容量を有する小型のトランジスタであり、」の誤記であるから、審決の本願明細書の記載事項の認定中、本願明細書のこの部分の記載に基づく「小さな容量成分」(審決書5頁14行)は、「小さな電流容量」が正しく、したがって、第2相違点の認定中の「小さな容量成分」(審決書12頁6行)も、「小さな電流容量」が正しい。)

審決は、本願発明と第1刊行物発明との相違点を看過し(取消事由1)、さらに第2相違点についての判断を誤った(取消事由2)結果、本願発明が、第1、第2刊行物発明に基づき、当業者が容易に発明をすることができたとの誤った結論に至ったものであるから、違法として取り消されなければならない。

1 取消事由1(相違点の看過)

審決は、本願発明と第1刊行物発明とが、第1相違点(審決書11頁13～17行)、第2相違点(同11頁18行～12頁9行)及び相違点3(同12頁10～13行)でのみ異なり、「他の点での相違はないものと認める。」(同頁14～15行)と認定した。

しかしながら、本願発明と第1刊行物発明とは、上記の3点のほか、次の各点で相違するものであり、審決は、この相違点を看過したものである。そして、本願発明は、この相違点に係る構成により、動作に際して消費する余分の電力が極めて僅かであり、また、NANDゲートの出力に接続された第2のノード123の動作遅れを避けることができるという効果を奏するものである。

(1) 第1刊行物に「ノアゲートの後段にインバータQ03・Q04を接続し、該インバータの負荷トランジスタQ03とQ04との間にヒューズf13を接続」(審決書7頁3～6行)することが記載されており、この記載と、第1刊行物(甲第7号証)の図面第3図から見て、第1刊行物発明では、ノアゲートの出力節点N3に入力が接続されたインバータ(トランジスタQ03とQ04からなる回路)の中にフューズ素子f13が組み込まれている。これに対し、本願発明においては、上記本願発明の要旨のとおり、フューズ素子の第1の端子がNANDゲートの第1のノードに、フューズ素子の第2の端子がNANDゲートの第2のノードに、それぞれ接続されており、したがって、そのNANDゲート内にフューズ素子が組み込まれているものである。

したがって、本願発明と第1刊行物発明とは、「ヒューズ素子が組み込まれる位置に関して、第1刊行物発明では、ノアゲートの出力節点N3に入力が接続されたインバータ(トランジスタQ03とQ04からなる回路)の中にフューズ素子f13が組み込まれているのに対して、本願発明では、フューズ素子の第1の端子がNANDゲートの第1のノードに、フューズ素子の第2の端子がNANDゲートの第2のノードに接続されて、そのNANDゲート内にフューズ素子が組み込まれている点」において相違する(以下「第4相違点」という。))。

(2) 審決は、本願発明と第1刊行物発明との第2相違点として、「プルアップトランジスタが、第1刊行物発明では、ゲートも電源に接続されるトランジスタからなるのに対して、本願発明ではゲートが接地されたプルアップPチャネルトランジスタであり、かつ、『前記プルアップPチャネルトランジスタの電流容量が、前記NANDゲートを通して接地に流れる電流路の電流容量に比較して小さ』い構成を有し、これにより上述の『トランジスタ125は小さな容量成分を有する小型のトランジスタであり、第1図に示した従前の回路の動作の遅れに比較して、その影響は僅かである』という本発明の効果を得る点」(審決書11頁18行～12頁9行)を挙げている(但し、上記のとおり、「小さな容量成分」の部分は「小さな電流容量」が正しい。)。しかしながら、プルアップトランジスタに関しては、それのみならず、「第1刊行物発明では、プルアップトランジスタが、インバータとい

う論理機能回路の一部を構成しているトランジスタからなるのに対して、本願発明では、プルアップトランジスタが、NANDゲートやインバータなどの論理機能回路とは全く独立したプルアップPチャネルトランジスタである点」においても相違するものである（以下「第5相違点」という。）。

2 取消事由2（第2相違点についての判断の誤り）

(1) 審決は、上記の本願発明と第1刊行物発明との第2相違点について、「本願発明のプルアップトランジスタをゲートが接地されたP型とすることの効果は、低容量・高速動作が行えるようになることであるが、このことは、第2刊行物発明に記載されているので、第1刊行物発明におけるプルアップトランジスタについても、同じ効果を期待して本願発明のように構成することは当業者が容易に想到し得たところにすぎない。」（審決書13頁9～16行）と判断したが、それは誤りである。

(2) 最初に、第2相違点の「小さな容量成分」の部分は「小さな電流容量」が正しいこと（本願明細書の「トランジスタ125は小さな容量成分を有する小型のトランジスタであり、」（甲第6号証15頁15～16行）との記載が「トランジスタ125は小さな電流容量を有する小型のトランジスタであり、」の誤記であること）の理由を主張する。

電界効果トランジスタ（FET）において、「容量（キャパシタンス）」が問題になるのは、ゲートドレイン間とゲートソース間であり、ドレインソース間は、電流チャネルであって、直流も流れるので、「容量」は存在しない。そして、本願明細書の「ノード123が“ロー”に駆動されるときにトランジスタ125に打ち勝つために必要な時間が僅かことである」（甲第6号証15頁12～15行、但し、「僅かこと」は「僅かなこと」の誤記である。）との記載において、「ノード123が“ロー”に駆動されるとき」とは、ノード123上の電荷が放電してノード123がローレベルになることであり、その場合には、トランジスタ125によるノード123の充電電荷量より大きな電荷量が、直列接続されているNチャネルトランジスタ（133, 133, 133）を介して放電されることになる。したがって、問題となるのは、トランジスタ125の電流容量と、直列接続されているNチャネルトランジスタ（133, 133, 133）の電流容量の大小関係である。すなわち、トランジスタ125（プルアップPチャネルトランジスタ）の電流容量が、NANDゲートを通して接地に流れる電流路（直列接続されているNチャネルトランジスタ（133, 133, 133））の電流容量に比較して小さいことが必要とされる。

他方、トランジスタ125のゲートは接地電位に接続されており、常時接地電位に維持されているので、電源投入後の動作中、トランジスタ125のゲートを充放電することとはなく、トランジスタ125のゲート容量、すなわち、トランジスタ125のゲートドレイン間容量とトランジスタ125のゲートソース間容量が動作に影響することはない。

したがって、「トランジスタ125は小さな容量成分を有する小型のトランジスタであり」（本願明細書第15頁第15～16行）との記載中の「容量成分」が「電流容量」の誤記であることは明らかである。

(3) 審決は、上記のとおり、「本願発明のプルアップトランジスタをゲートが接地されたP型とすることの効果は、低容量・高速動作が行われるようになることである」と認定するが、本願発明において高速動作が実現できるのはプルアップトランジスタがP型であることによるのではなく、プルアップトランジスタの電流容量を、NANDゲートを通して接地に流れる電流路の電流容量に比較して小さく構成したことによるものであるから、審決の上記本願発明の効果の認定は誤りである。

そして、審決は、上記の認定に引き続いて、さらに、「このことは、第2刊行物発明に記載されている」と認定しているが、第2刊行物に「通常動作の時にワード線を非選択レベルにドライブするトランジスタを取り除いてあるため、容量が減少してアクセス時間は短くなり」（甲第8号証3頁右上欄18行～左下欄1行）と記載されているように、第2刊行物発明において容量を減少してアクセス時間が短くなるのは、ワード線を非選択レベルにドライブするトランジスタを取り除いたことによるものであって、プルアップトランジスタの電流容量を、NANDゲートを通して接地に流れる電流路の電流容量に比較して小さく構成したことによるものではないから、審決は、この点でも認定を誤っている。

したがって、審決の「第1刊行物発明におけるプルアップトランジスタについても、同じ効果を期待して本願発明のように構成することは当業者が容易に想

到し得たところにすぎない。」との判断が誤りであることは明白である。

第4 被告の反論の要点

審決の認定・判断は正当であり、原告主張の取消事由は理由がない。

1 取消事由1（相違点の看過）について

(1) 第4相違点について

原告の主張する第4相違点は、本願発明において、フューズ素子（122）の第1の端子がNANDゲートの第1のノードに、フューズ素子の第2の端子がNANDゲートの第2のノードに、それぞれ接続されていること、すなわち、本願発明が、本願明細書（甲第6号証）の第4図(c)に表示されているものであることを前提とするものである。

しかしながら、本願出願時において、本願明細書の第3図が「本発明の1実施例を示すもの」、第4図(a)～(c)が「本発明の別の実施例を示すもの」とされていたところ、その後、特許請求の範囲が補正されたにもかかわらず、第3図及び第4図(a)、(b)は、本願発明を説明する上での参考例に訂正されずに、今なお本願発明の実施例とされている。そののみならず、本願明細書には、動作に際して消費する余分の電力が極めて僅かであり、また、NANDゲートの出力に接続された第2のノード123の動作遅れを避けることができるという原告主張の効果は記載されておらず、本願明細書に記載された効果は、アクティブ化になっていない全デコーダが、そのノード123を電源電圧の通常レベルにおくので、トランジスタ125にはいかなる電流も流れない点、デコーダ出力において、容量結合及びクロストークが抑制される点である。そうすると、かかる本願明細書記載の効果から判断して、本願明細書の特許請求の範囲に記載されたNAND回路のトランジスタの接続の構成及びフューズ素子の組み込まれる位置の構成は例示的な構成であり、特許請求の範囲の記載の技術的解釈としては、本願発明が、第3図及び第4図(a)～(c)にそれぞれ表示されたものを実施例として含む、NANDゲートと、NANDゲートに接続されるフューズと、その後のワード線に接続されるゲート接地のPチャネルトランジスタからなる半導体行デコーダ回路であるものと解すべきである。

審決は、かかる観点から、本願発明と第1刊行物発明の相違点及び一致点を審決書記載のとおり認定したものであり、その認定に誤りはない。

(2) 第5相違点について

審決がした本願発明と第1刊行物発明の相違点及び一致点の認定に誤りがないことは上記(1)のとおりである。

2 取消事由2（第2相違点についての判断の誤り）について

(1) 原告は、本願明細書の「トランジスタ125は小さな容量成分を有する小型のトランジスタであり、」（甲第6号証15頁15～16行）との記載が「トランジスタ125は小さな電流容量を有する小型のトランジスタであり、」の誤記であると主張する。しかしながら、「容量成分」と「電流容量」は、いずれも技術的に確立している用語であり、かつ、「容量成分」は、静電容量すなわちコンデンサ成分を意味するものであって、「電流容量」とは概念が異なるものである。そして、発明の認定は、明細書に記載された事項に基づいて行うものであり、明細書に記載された事項の認定は、明白な誤記を除いては、明細書の記載そのものに従うべきであるから、本願明細書の「容量成分」が「電流容量」の誤記であることは理由がない。

(2) 上記(1)のとおり、本願明細書の「トランジスタ125は小さな容量成分を有する小型のトランジスタであり、」（甲第6号証15頁15～16行）との記載が「トランジスタ125は小さな電流容量を有する小型のトランジスタであり、」の誤記であることを認めることはできない。

そうすると、原告が、それが誤記であることを前提として、本願発明の高速動作が、プルアップトランジスタの「電流容量」を、NANDゲートを通して接地に流れる電流路の電流容量に比較して小さく構成したことによるものであると主張すること、及び第2刊行物発明において容量を減少してアクセス時間が短くなるのは、プルアップトランジスタの「電流容量」を、NANDゲートを通して接地に流れる電流路の電流容量に比較して小さく構成したことによるものではないと主張することは、いずれもその前提を欠くものである。

そして、第2刊行物（甲第8号証）の第6図(a)に表示された実施例では、プルアップ素子として負荷抵抗Rを、第6図(b)に表示された実施例では、負荷抵抗の代わりにプルアップトランジスタT_pを用いることが示されているところ、第2刊行物には、「第5図ないし7図では、負荷に高抵抗でないものを用いて

いるため、ヒューズ F S を切ることによる非選択化の際、より速くワード線を非選択レベルに落ち着かせることができる」（審決書 9 頁 14～18 行）との記載があるから、第 6 図 (a) の例の抵抗 R と同様、第 6 図 (b) の例のプルアップトランジスタ T p も高抵抗でないことが明らかである。他方、第 6 図 (a) の例では抵抗 R が用いられているのであるから、その「容量」は無いが、又は無視できる程度に極めて小さいもので、抵抗成分のみと見ることができる。そして、第 6 図 (b) の例はその変形例であり、上記のとおり、抵抗 R と同様に高抵抗でない抵抗成分としての役割を行うものであるから、その容量も、第 6 図 (a) の例の抵抗 R と同様に、無いが、又は無視できる程度に極めて小さいものでなければならない。したがって、第 2 刊行物の第 6 図 (b) に表示されたトランジスタ T p は、本願明細書に記載された「小さな容量成分を有する小型のトランジスタ」と同じものであるということができ、本願発明と同様の効果を奏するものである。

したがって、審決の「このことは、第 2 刊行物発明に記載されている」との認定にも誤りはない。

以上のとおりであるから、審決の第 2 相違点についての判断に誤りはない。

第 5 当裁判所の判断

1 取消事由 1（相違点の看過）について

(1) 第 4 相違点について

(イ) 前示争いのない本願発明の要旨は、本願発明を、「複数の入力端子を有しており、複数の N チャネルトランジスタと同数の P チャネルトランジスタとを具備しており、前記複数の N チャネルトランジスタのそれぞれのドレインソース電流路は、接地と第 1 のノードとの間に直列に接続されており、前記複数の P チャネルトランジスタのそれぞれのドレインソース電流路は、電源電圧と第 2 のノードとの間に並列に接続されており、前記複数の N チャネルトランジスタの各々のゲートは、前記複数の P チャネルトランジスタの内のそれぞれ対応するトランジスタのゲートと、前記複数の入力端子の内のそれぞれ対応する入力端子とに接続される NAND ゲートと、前記第 1 のノードに接続された第 1 の端子と前記第 2 のノードに接続された第 2 の端子とを有し、デコーダ回路に付属する行内に欠陥素子があるときに溶断されるフューズ素子と・・・を具備して」いると規定するものである。

そして、この規定によれば、本願発明は、フューズ素子の第 1 の端子が NAND ゲート内の第 1 のノードに接続され、フューズ素子の第 2 の端子が NAND ゲート内の第 2 のノードに接続されるものであるから、その NAND ゲート内にフューズ素子が組み込まれる構成を有していることは明白である。

これに対し、第 1 刊行物に「ノアゲートの後段にインバータ Q 0 3・Q 0 4 を接続し、該インバータの負荷トランジスタ Q 0 3 と Q 0 4 との間にヒューズ f 1 3 を接続」（審決書 7 頁 3～6 行）することが記載されていることは当事者間に争いがなく、さらに、第 1 刊行物（甲第 7 号証）には「第 3 図は本発明の他の実施例を示すものであり・・・本実施例は非活性化のヒューズ f 1 3 をインバータ部の節点 N 2 とトランジスタ Q 0 4 の間に直列に入れてある。」（同号証 3 頁左上欄 14～18 行）との記載があるところ、これらの記載と第 3 図とによれば、第 1 刊行物発明においては、ノアゲートの出力節点 N 3 に入力が接続されたインバータ（トランジスタ Q 0 3 と Q 0 4 から成る回路）の中にフューズ素子 f 1 3 が組み込まれていることが認められる。

そうすると、本願発明と第 1 刊行物発明とは、当事者間に争いのない第 1 相違点に係る、行デコーダが、第 1 刊行物発明ではノアゲートであり、本願発明では NAND ゲートである点のほかに、ヒューズ素子が組み込まれる位置とノアゲート（又はこれに対応する NAND ゲート）との位置関係に関して、「第 1 刊行物発明では、ノアゲートの出力節点 N 3 に入力が接続されたインバータ（トランジスタ Q 0 3 と Q 0 4 からなる回路）の中にフューズ素子 f 1 3 が組み込まれているのに対して、本願発明では、NAND ゲート内に、第 1 の端子が第 1 のノードに接続され、第 2 の端子が第 2 のノードに接続されて、フューズ素子が組み込まれている点」、すなわち、第 4 相違点において相違するものといわざるを得ない。

(ロ) ところで、平成 4 年 10 月 6 日付手続補正書（甲第 3 号証）、平成 6 年 2 月 10 日付手続補正書（甲第 4 号証）、平成 8 年 9 月 5 日付手続補正書（甲第 5 号証）による各補正後の本願明細書（甲第 6 号証）（以下単に「本願明細書」という。）によれば、その特許請求の範囲の記載は、前示争いのない本願発明の要旨

の規定と同一であり、かつ、特許請求の範囲に記載された発明は、その第4図(c)に表示されたものであることが認められる。

しかるところ、被告は、本願明細書の特許請求の範囲に記載された構成が例示であり、特許請求の範囲の記載の技術的解釈としては、本願発明が、第4図(c)に表示されたもののみならず、第3図及び第4図(a)、(b)にそれぞれ表示されたものも実施例として含む半導体行デコーダ回路であるものと解すべきであると主張するが、該主張は、本願発明が、審決の認定した本願発明の要旨（前示のとおり、本願明細書の特許請求の範囲の記載と同一である。）によって規定されたもの以外のものであると主張することに帰するものであって、到底採用できないものであることは論を俟たない。

(ハ) したがって、審決には、第4相違点を看過した誤りがあるものというべきである。

(2) 第5相違点について

前示争いのない本願発明の要旨は、本願発明を、「複数の入力端子を有し、複数のNチャネルトランジスタと同数のPチャネルトランジスタとを具備しており、前記複数のNチャネルトランジスタのそれぞれのドレインソース電流路は、接地と第1のノードとの間に直列に接続されており、前記複数のPチャネルトランジスタのそれぞれのドレインソース電流路は、電源電圧と第2のノードとの間に並列に接続されており、前記複数のNチャネルトランジスタの各々のゲートは、前記複数のPチャネルトランジスタの内のそれぞれ対応するトランジスタのゲートと、前記複数の入力端子の内のそれぞれ対応する入力端子とに接続されてなるNANDゲートと、前記第1のノードに接続された第1の端子と前記第2のノードに接続された第2の端子とを有し、デコーダ回路に付属する行内に欠陥素子があるときに溶断されるフューズ素子と、ドレインソース電流路が、前記電源電圧と前記第2のノードとの間に接続されており、ゲートが接地に接続されたプルアップPチャネルトランジスタと、入力が前記第2のノードのみに接続され、出力が、制御されるべき出力ノードのみに接続されたインバータとを具備して」いると規定するものである。

この規定によれば、本願発明において、プルアップトランジスタのドレインソース電流路の一端が第2のノードに接続されるものであるところ、当該第2のノードには、NANDゲートの構成要素である複数のPチャネルトランジスタの各ドレインソース電流路の一端が並列接続され、NANDゲートの構成要素である直列接続された複数のNチャネルトランジスタのドレインソース電流路の一端が第1のノード及びフューズ素子を介して接続され、さらに、インバータの入力が接続されるものであることが認められる。そうであれば、技術常識上、本願発明のプルアップトランジスタは、NANDゲートやインバータなどの論理機能回路と相互に関係して動作するものと見るべきであり、これらの論理機能回路から全く独立しているものと認めることはできない。

したがって、本願発明のプルアップトランジスタが、NANDゲートやインバータなどの論理機能回路とは全く独立したプルアップPチャネルトランジスタであることを根拠として、本願発明と第1刊行物発明とが第5相違点において相違するとの原告の主張は理由がなく、審決に、かかる相違点の看過はないものというべきである。

2 取消事由2（第2相違点についての判断の誤り）について

(1) 第2相違点に係る本願発明の構成は、「ゲートが接地されたプルアップPチャネルトランジスタであり、かつ、『前記プルアップPチャネルトランジスタの電流容量が、前記NANDゲートを通して接地に流れる電流路の電流容量に比較して小さ』い構成」（審決書11頁末行～12頁5行）であるところ、審決は、「本願発明のプルアップトランジスタをゲートが接地されたP型とすることの効果は、低容量・高速動作が行えるようになることである」（同13頁9～11行）とする。

本願明細書には、このような構成の作用効果に関連して、第3図に表示されたものに関してではあるが、「トランジスタ125の大きさは、比較的小さな電流容量（例えば2 μ A）を有する弱いトランジスタが選択される。こうして、通常の動作においては、ノード123の状態は、ノード121の状態、すなわち、NANDゲート120の出力によって決定され、トランジスタ125の出力は、この回路の動作には本質的に影響しない。このために、当然に謂うまでもなく、また、よく知られているように、NANDゲート120を介して接地に至る電流路の電流容

量は、トランジスタ125の効果を抑制する。当業者は、このような効果を達成する適切なパラメータのトランジスタを設計することを容易にできるであろう。典型的な例として、電流容量は2mAである。ノード127によって制御される行の内欠陥のある要素が在れば、例えば、レーザによって、あるいは、大電流の使用あるいは他の公知の手段によってフューズ122を溶断する。こうして、デコーダ120は有効にノード123から分離され、プルアップトランジスタ125はノード123を電源電圧レベルに恒久的に保持する。一方、インバータ126がノード127を普通の論理“0”状態として、それが装備されている行をディスエイブルとする。この手法の利点は、インバータ126が、電源電圧と接地電圧との何れに対しても比較的低い2つの低インピーダンス状態を有し、要素128から伝播する、あるいはこの行ラインに関係するいかなる雑音も、インバータ126内のトランジスタの働きによって抑制され、ノード127に制御される行は例え一瞬たりとも雑音によってエネイブルあるいはディスエイブルされない。」(甲第6号証11頁8行～12頁16行、甲第4号証補正の内容(1))との記載がある。

すなわち、本願明細書には、その第3図に表示されたものについて、プルアップトランジスタが、通常の動作においてはデコーダ回路の動作に本質的に影響しないが、半導体メモリの行の中に欠陥のある要素が発見され、フューズ122が溶断されてデコーダ(NANDゲート)120がノード123から分離されたときにおいては、ノード123を電源電圧レベルに恒久的に保持することでインバータ126の出力(ノード127)を論理“0”状態(接地状態)にし、ノード127に接続される行に対して雑音による影響をなくす作用効果を奏することが記載されているところ、本願明細書には、さらに、「第3図に示す実施例は、アクティブ“ハイ”の入力と、やはりアクティブ“ハイ”の出力を有するデコーダの場合の使用に適している。第4図(c)に示す実施例も、同様に同じ条件で使用される。」(甲第6号証13頁末行～14頁3行)との記載があるから、この作用効果は、第4図(c)に表示されたもの(本願発明)においても同様に奏するものと認められる。

しかしながら、本願明細書には、第2相違点に係る本願発明の「ゲートが接地されたプルアップPチャネルトランジスタ」との構成によって、低容量・高速動作が行えるようになるとの効果を奏する旨の記載はないというべきである。

すなわち、本願明細書には、「本発明に従う回路が動作する速度に関しての唯一の効果は、ノード123が“ロー”に駆動されるときにトランジスタ125に打ち勝つために必要な時間が僅かことである(注、「僅かなことである」の誤記と認められる。)。何故ならば、トランジスタ125は小さな容量成分を有する小型のトランジスタであり、第1図に示した従前の回路の動作の遅れに比較して、その影響は僅かである。」(甲第6号証15頁12～末行)との記載があるところ、この記載の「容量成分」が「電流容量」の誤記であるかどうかについては争いがあるが、仮に被告主張のとおり、誤記ではないとしても、前記記載において、低容量・高速動作の効果は、トランジスタ125が小さな容量成分を有する小型のトランジスタであることによるものであって、第2相違点に係る本願発明のプルアップトランジスタをゲートが接地されたP型とする構成の効果ではないことが明らかである。

したがって、審決の「本願発明のプルアップトランジスタをゲートが接地されたP型とするとの効果は、低容量・高速動作が行えるようになることである」という認定はいずれにせよ誤りであるといわざるを得ないから、かかる認定に基づく第2相違点についての判断も誤りというべきである。

3 以上によれば、審決は、第4相違点を看過し、かつ、第2相違点についての判断を誤ったものであり、その取消しを求める原告の本訴請求は理由があるので、これを認容することとし、訴訟費用の負担につき行政事件訴訟法7条、民事訴訟法61条を適用して、主文のとおり判決する。

東京高等裁判所第13民事部

裁判長裁判官 田中康久

裁判官 石原直樹

裁判官 清水 節

