

平成 19 年 9 月 12 日判決言渡

平成 18 年（行ケ）第 10055 号 審決取消請求事件

平成 19 年 7 月 23 日 口頭弁論終結

判		決	
原	告	株式会社半導体エネルギー研究所	
訴訟代理人弁理士		加	茂 裕 邦
被	告	特許庁長官 肥塚雅博	
指定代理人		今	井 拓 也
同		松	本 邦 夫
同		河	合 章
同		小	池 正 彦
同		大	場 義 則
主		文	

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第 1 当事者の求めた裁判

1 原告

特許庁が不服 2004 - 7732 号事件について平成 17 年 12 月 27 日にした審決を取り消す。

訴訟費用は被告の負担とする。

2 被告

主文と同旨

第 2 当事者間に争いのない事実等

1 特許庁における手続の経緯

原告は、平成 7 年 3 月 23 日、発明の名称を「半導体装置および半導体装置

作製方法」とする特許出願（特願平 7 - 9 0 1 5 7 号，以下「本件出願」という。）をしたが，平成 1 5 年 8 月 5 日（起案日）の拒絶理由通知を受けた後，平成 1 6 年 3 月 1 6 日付けで拒絶査定を受けたので，同年 4 月 1 5 日，これに対する不服の審判を請求し，同日付けで手続補正をした（以下，この補正を「本件補正」といい，同補正前の明細書を「本願明細書」，同補正後の明細書を「本願補正明細書」という場合がある。）。

特許庁は，同請求を不服審判 2 0 0 4 - 7 7 3 2 号事件として審理した結果，平成 1 7 年 1 2 月 2 7 日「平成 1 6 年 4 月 1 5 日付けの手続補正を却下する。」との決定をした上で，「本件審判の請求は，成り立たない。」との審決をした。

2 特許請求の範囲

(1) 本件補正前の明細書の特許請求の記載中請求項 3 は，次のとおりである（甲 6。請求項の数は 1 6 である。請求項 3 に係る発明を，「本願発明 3」という。）。

【請求項 3】

第 1 の P チャネル型 T F T と第 2 の P チャネル型 T F T と第 1 の N チャネル型 T F T と第 2 の N チャネル型 T F T とが直列に接続されている C M O S 回路と，

前記第 1 の P チャネル型 T F T と前記第 2 の P チャネル型 T F T のしきい電圧より高いしきい電圧を有する第 3 の P チャネル型 T F T と，

前記第 1 の N チャネル型 T F T と前記第 2 の N チャネル型 T F T のしきい電圧より高いしきい電圧を有する第 3 の N チャネル型 T F T と，
を有する半導体装置であって，

前記第 2 の P チャネル型 T F T のソース電極に前記第 3 の P チャネル型 T F T のソース電極またはドレイン電極が接続され，

前記第 2 の N チャネル型 T F T のソース電極に前記第 3 の N チャネル型 T F T のソース電極またはドレイン電極が接続され，

前記第 1 の P チャンネル型 T F T のゲート電極と前記第 1 の N チャンネル型 T F T のゲート電極が接続されており，

前記第 1 乃至第 3 の P チャンネル型 T F T 及び前記第 1 乃至第 3 の N チャンネル型 T F T のそれぞれは，チャンネル領域にしきい電圧を制御するための不純物がドーピングされていることを特徴とする半導体装置。

(2) 本件補正後の明細書の特許請求の記載中請求項 1 は，次のとおりである(甲 9。請求項の数は 8 である。以下，請求項 1 に係る発明を，「本願補正発明 1」という。)。

【請求項 1】

第 2 の P チャンネル型 T F T と第 1 の P チャンネル型 T F T と第 1 の N チャンネル型 T F T と第 2 の N チャンネル型 T F T とが順に直列に接続されている C M O S 回路と，

前記第 1 の P チャンネル型 T F T と前記第 2 の P チャンネル型 T F T のしきい電圧より高いしきい電圧を有する第 3 の P チャンネル型 T F T と，

前記第 1 の N チャンネル型 T F T と前記第 2 の N チャンネル型 T F T のしきい電圧より高いしきい電圧を有する第 3 の N チャンネル型 T F T と，

第 1 の電源制御回路と第 2 の電源制御回路と，
を有する半導体装置であって，

前記第 2 の P チャンネル型 T F T のソース電極に前記第 3 の P チャンネル型 T F T のソース電極またはドレイン電極が接続され，

前記第 2 の N チャンネル型 T F T のソース電極に前記第 3 の N チャンネル型 T F T のソース電極またはドレイン電極が接続され，

前記第 1 の P チャンネル型 T F T のゲート電極と前記第 1 の N チャンネル型 T F T のゲート電極が接続されており，

前記第 2 の P チャンネル型 T F T のゲート電極と前記第 2 の N チャンネル型 T F T のゲート電極には，互いに反転する動作クロックが入力され，

前記第 3 の P チャネル型 T F T のゲート電極は前記 1 の電源制御回路に接続され、前記第 3 の N チャネル型 T F T のゲート電極には前記第 2 の電源制御回路に接続され、

前記第 1 乃至第 3 の P チャネル型 T F T 及び前記第 1 乃至第 3 の N チャネル型 T F T のそれぞれは、結晶性シリコンを用いて形成されており、かつ、チャネル領域にしきい電圧を制御するための不純物がドーピングされていることを特徴とする半導体装置。

3 審決の理由

別紙審決書の写しのとおりである。

- (1) すなわち、審決は、本件補正を「補正 1」から「補正 9」までに整理した上で、「補正 4」の適否について、以下のとおり判断した。

ア 「補正 4」は、平成 6 年法律第 116 号による改正前の特許法（以下「改正前特許法」という。）17 条の 2 第 3 項 1 号ないし 4 号に掲げるいずれの事項をも目的とするものではないから、本件補正は、改正前特許法 159 条 1 項で準用する同法 53 条 1 項の規定により却下されるべきものである。

イ 本件補正前の明細書における本願発明 1 は、特開昭 64 - 7559 号公報（以下「刊行物 1」という。）に記載された発明（以下、「引用発明 1」という。）及び特開平 6 - 29834 号公報（以下、「刊行物 2」という。）に記載された発明（以下、「引用発明 2」という。）並びに周知技術に基づいて当業者が容易に発明をすることができたものであるから、特許法 29 条 2 項の規定により特許を受けることができない。

- (2) 審決が整理した「補正 4」は、以下のとおりである。

補正前請求項 3 の「第 3 の N チャネル型 T F T と、を有する半導体装置」を、補正後請求項 1 の「第 3 の N チャネル型 T F T と、第 1 の電源制御回路と第 2 の電源制御回路と、を有する半導体装置」にするとともに、補正前請

求項 3 の「前記第 1 の P チャンネル型 T F T のゲート電極と前記第 1 の N チャンネル型 T F T のゲート電極が接続されており，」を，補正後請求項 1 の「前記第 1 の P チャンネル型 T F T のゲート電極と前記第 1 の N チャンネル型 T F T のゲート電極が接続されており，前記第 2 の P チャンネル型 T F T のゲート電極と前記第 2 の N チャンネル型 T F T のゲート電極には，互いに反転する動作クロックが入力され，前記第 3 の P チャンネル型 T F T のゲート電極は前記 1 の電源制御回路に接続され，前記第 3 の N チャンネル型 T F T のゲート電極には前記第 2 の電源制御回路に接続され，」とする補正

(3) 審決が，「補正 4 」が許されないとした理由は，次のとおりである。

本願明細書には，図 6 及び図 7 と共に次の記載がされている。

「アクティブマトリクス表示装置における駆動回路を構成するシフトレジスタについて，リーク電流を低減する回路を図 6 に示す。

シフトレジスタの 1 個の出力信号は，1 個のタイミング発生回路と 2 個の電源制御回路から作られる。

$F F_{i-2} \sim F F_{i+2}$ はタイミング発生回路で，図 7 に回路図を示す。タイミング発生回路は，低いしきい電圧の薄膜トランジスタで構成されたクロックトインバータ 1 個と，高いしきい電圧の薄膜トランジスタで構成されたインバータ 2 個で構成される。

これらの，しきい電圧の異なる薄膜トランジスタは，実施例 1 に記載の方法によって作製された。

タイミング発生回路は，アクティブマトリクス表示装置の走査タイミングまたは画像信号の出力タイミングを発生する。

図中信号 c_{1k} はタイミング発生回路の動作クロックである。 $*c_{1k}$ は c_{1k} を論理反転した信号である。」(0 0 3 3 段落)

また，図 6 の i 番目の回路においては，「高 V_{th} 」の P チャンネル型薄膜トランジスタに電源制御回路「 V_{ci} 」が接続されるとともに，「高 V_{th} 」の N チ

ヤネル型薄膜トランジスタに別の電源制御回路「 V_{ci} 」が接続されており、図7の「FFiの構成」においては、クロックインバータを構成する2つの「低 V_{th} 」のPチャネル型薄膜トランジスタと2つの「低 V_{th} 」のNチャネル型薄膜トランジスタのうち、一番上のPチャネル型薄膜トランジスタのゲート電極に動作クロック「 clk 」が入力されるとともに、一番下のNチャネル型薄膜トランジスタのゲート電極に「 clk 」を論理反転した動作クロック「 \overline{clk} 」が入力されている。

よって、補正4は、本願明細書に記載した事項の範囲内においてなされたものであり、補正前請求項3の「CMOS回路」に対して「前記第2のPチャネル型TFTのゲート電極と前記第2のNチャネル型TFTのゲート電極には、互いに反転する動作クロックが入力され」ることを限定する補正は、補正前発明と産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において、その補正前発明の構成に欠くことができない事項の全部又は一部を限定するものである特許請求の範囲の減縮を目的とするものである。

しかしながら、補正4は、補正前請求項3に「第1の電源回路」及び「第2の電源回路」という新たな事項を追加する補正を含む。したがって、補正4は、請求項の削除、補正前発明と産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において、その補正前発明の構成に欠くことができない事項の全部又は一部を限定するものである特許請求の範囲の減縮、誤記の訂正、又は明りょうでない記載の釈明のいずれを目的とするものでもない。

第3 取消事由に関する原告の主張

審決は、本件補正は許されるべきものであったにもかかわらず、本件補正却下の決定をした点に誤りがあり、そのため、以下2のとおり本件補正後の本願補正発明について独立特許要件の有無について判断をせず、本件補正前の本願

発明１について特許法２９条２項（進歩性）の有無について判断をした誤りがある（なお，２の点は取消事由に関する独立の主張ではない。）。

１ 補正却下の決定の誤り

以下のとおり，「補正４」は，改正前特許法１７条の２第３項４号及び２号に該当する。

（１）改正前特許法１７条の２第３項４号該当性（明りょうでない記載の釈明）

「補正４」において，補正前の請求項３に「第１の電源制御回路」及び「第２の電源制御回路」という事項を付加した点は，「Ｐチャネル型ＴＦＴのゲート電極及びＮチャネル型ＴＦＴのゲート電極が何と接続しているか」を明らかにしたものであり，同項４号所定の「明りょうでない記載の釈明（拒絶理由通知に係る拒絶の理由に示す事項についてするものに限る。）」に該当する。「補正４」は，第３のＰチャネル型ＴＦＴのゲート電極には第１の電源制御回路に接続され，第３のＮチャネル型ＴＦＴのゲート電極には第２の電源制御回路に接続されていることを記載しただけであるから，何らの技術的意義を付加したものではなく，明りょうでない記載の釈明を目的としたものといえる。

しかるに，審決は，「補正４は，補正前請求項３に『第１の電源回路』及び『第２の電源回路』という新たな事項を追加する補正を含むから，補正４は，明りょうでない記載の釈明を目的とするものでもない。」（審決書１２頁３４行～１３頁１行）とした審決は，何ら実質的な理由を述べることなく，新たな技術事項を追加するものであるとしているものであつて，その判断には誤りがある。

なお，原告が「補正４」において，補正前の請求項３に「第１の電源制御回路と第２の電源制御回路と，」及び「前記第３のＰチャネル型ＴＦＴのゲート電極は前記１の電源制御回路に接続され，前記第３のＮチャネル型ＴＦＴのゲート電極には前記第２の電源制御回路に接続され，」との事項を補つ

たのは、拒絶査定において、「(5) 請求項 3 に記載の『第 2 , 第 3 の P チヤネル型 T F T』及び『第 2 , 第 3 の N チヤネル型 T F T』のそれぞれのゲート電極には何が接続されるのか不明瞭である。」(甲 7 の 3 頁 1 9 行 ~ 2 1 行) との指摘を受けたからである。原告は、同指摘について、改正前特許法 1 7 条の 2 第 3 項 4 号所定の「明りょうでない記載の釈明 (拒絶理由通知に係る拒絶の理由に示す事項についてするものに限る。) 」との規定に基づく指摘に該当すると判断して、上記のとおり補正した。確かに、拒絶査定では、「以下の記載は、拒絶査定を構成するものではない。審判請求をされる場合は、参考にされたい。・・・新規事項の追加に該当する可能性が高い点にも留意されたい。」(甲 7 の 3 頁 3 ないし 9 行) などと記載されているが、原告にとっては、拒絶理由における記載は、見過ごすことができない指摘であることから、その趣旨に従って補正したものである。

(2) 改正前特許法 1 7 条の 2 第 3 項 4 号該当性 (特許請求の範囲の減縮)

「補正 4 」は、以下のとおり、同項 4 号所定の特許請求の範囲の減縮する補正にも該当する。

補正後の請求項 1 における「補正前請求項 3 に『第 1 の電源制御回路』及び『第 2 の電源制御回路』という事項を追加する補正」についていえば、補正前の請求項 3 では、第 3 の P チヤネル型 T F T 及び第 3 の N チヤネル型 T F T のゲート電極に何が接続されるか限定されていなかったものを、接続される対象として「第 1 の電源制御回路」及び「第 2 の電源制御回路」という事項を加えたことにより、第 3 の P チヤネル型 T F T のゲート電極は第 1 の電源制御回路に接続され、第 3 の N チヤネル型 T F T のゲート電極は第 2 の電源制御回路に接続されることになるから、特許請求の範囲の減縮に該当する。

なお、補正前の請求項 3 に係る発明も補正後の請求項 1 に係る発明も、半導体装置であるから、産業上の利用分野において共通し、結晶性シリコンで

構成される薄膜半導体集積回路の、消費電力の低減に関し、薄膜トランジスタのOFF時のリーク電流を低減することに関するから、解決しようとする課題において共通する。

上記のとおり、「補正4」は、「ゲート電極」との接続関係を明りょうにするために不可避的かつ形式的に補ったものであり、課題を変更するような新たな技術的意義を付加するものではないから、産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において、その補正前発明である補正前請求項3の発明の構成に欠くことができない事項の一部を限定するものに該当する。

2 改正前17条の2第4項において準用する同法第126条3項の規定に係る判断遺脱等

以上のとおり、本件補正は適法なものであるから、審決には以下の点で違法となる。

(1) 審決においては、改正前特許法17条の2第4項において準用する同法第126条3項の規定により、当該補正後の請求項1記載の発明が特許出願の際独立して特許を受けることができるか否かについて判断すべきであった。しかし、審決は、改正前特許法126条3項の規定により判断すべき事項につき判断をしていないから、判断遺脱の違法がある。

(2) 審決は、本件補正後の請求項1の発明について特許法29条2項の判断をすべきであった。しかし、審決は、本件補正前の請求項1の発明について、同法29条2項の判断をした点において誤りがある。

第4 取消事由に対する被告の反論

審決の認定判断は正当であり、原告主張の取消事由は理由がない。

1 補正却下の決定の誤りに対し

(1) 「明りょうでない記載の釈明」に該当するとの主張に対し

ア 改正前特許法17条の2第3項4号は、「明りょうでない記載の釈明(拒

絶理由通知に係る拒絶の理由に示す事項についてするものに限る。)」と規定する。

本件においては、拒絶査定（甲 7）は、平成 15 年 8 月 5 日（起案日）付け拒絶理由通知書（甲 4）において通知した理由 1（特許法 29 条第 2 項の規定により特許を受けることができないとの拒絶理由）及び理由 4（改正前特許法 17 条の 2 第 2 項において準用する同法 17 条 2 項に規定する要件を満たしていないから拒絶すべきものであるとの拒絶理由）により判断したのであって、拒絶理由通知書（甲 4）において通知したその他の理由（改正前特許法 36 条 4 項、5 項 2 号に規定する要件違反（記載不備）の拒絶理由（「5 項 2 号」については、拒絶理由通知書の誤記を修正した。）についての判断は行っていない。のみならず、拒絶理由通知書（甲 4）において、本件補正前の請求項 3 につき、改正前特許法 36 条 5 項 2 号に規定する要件違反（記載不備）に当たるとの拒絶理由は通知されていない。

したがって、「補正 4」は、拒絶理由通知に係る拒絶の理由に示す事項についてしたものとはいえないから、改正前特許法 17 条の 2 第 3 項 4 号に規定する要件を充足しない。

イ 原告は、「補正 4」をもって、拒絶査定（甲 7）の 3 頁 19 行～21 行における指摘を受けて補正したものであるから、「補正 4」は、明りょうでない記載の釈明として適法であると主張する。

しかし、拒絶査定（甲 7）は、3 頁 3 行に「〔以下の記載は、拒絶査定を構成するものではない。〕」と記載し、3 頁 19 行～21 行の記載が拒絶査定を構成するものではない旨を明示している。

また、拒絶査定（甲 7）は、「審判請求をされる場合は、参考にされたい。」（3 頁 2～3 行）と記載し、具体的にどのように補正をすべきかを教示しているわけではない。

拒絶査定（甲 7）が「（5）請求項 3 記載の『第 2，第 3 の P チャネル

型ＴＦＴ』及び『第２，第３のＮチャネル型ＴＦＴ』のそれぞれのゲート電極には何が接続されるのか不明瞭である。」（３頁１９行～２１行）としたのは，不明りょうな点を述べているだけであって，「第１の電源制御回路」及び「第２の電源制御回路」を付加する補正が，適法であることを述べたわけではないし，また，明確になりさえすれば，拒絶の理由がすべて解消されたとしたわけでもない。

さらに，拒絶査定（甲７）は，「（１１）審判請求時に補正を行う際には，補正で付加できる事項は，この出願の出願当初の明細書又は図面に記載した事項のほか，出願当初の明細書又は図面の記載から自明な事項に限られ，且つ特許請求の範囲の限定的減縮，不明瞭な記載の釈明又は誤記の訂正を目的とする補正に限られることに注意し，審判請求の理由で，各補正事項について補正が適法なものである理由を，根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。審判請求の理由の記載は，無効審判における訂正請求書の記載形式を参考にされたい。」（４頁２～８行）と記載している。

補正は出願人の責任において行うものであることを踏まえれば，出願人は，その補正が適法であるか否かを自ら検討した上で補正をすべきであって，この点の原告の主張は失当である。

ウ 原告は，本件補正前の請求項３に「第１の電源制御回路」及び「第２の電源制御回路」という事項を加えたのは，ただ「Ｐチャネル型ＴＦＴのゲート電極及びＮチャネル型ＴＦＴのゲート電極が何と接続しているか」を明らかにしただけであり，これによって何らの技術的な意義を付加するものではない旨主張する。

しかし，「半導体装置」が「第１の電源制御回路」及び「第２の電源制御回路」を備え，「前記１の電源制御回路」が「第３のＰチャネル型ＴＦＴのゲート電極」に接続され，「前記第２の電源制御回路」が「第３のＮ

チャネル型ＴＦＴのゲート電極」に接続されんとする補正は、「半導体装置」に第１及び第２の「電源制御回路」を付加する補正であって、「電源制御回路」は、「電源制御」という新たな技術的な課題を備えた回路を付加する補正であるから、本件補正は、補正前の請求項３の記載をただ単に明りょうにするものとして適法であるとはいえない。

(2) 特許請求の範囲の減縮に該当するとの主張に対し

原告は、「補正４」は、補正前発明と産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において、その補正前発明の構成に欠くことができない事項の全部又は一部を限定する特許請求の範囲の減縮を目的とする補正に該当するから、適法な補正である旨主張する。しかし、原告の主張は、以下のとおり失当である。

改正前特許法１７条の２第３項２号は、「特許請求の範囲の減縮（・・・「補正前発明」・・・）と産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において、その補正前発明の構成に欠くことができない事項の全部又は一部を限定するものに限る。」と規定している。

ところで、「発明の構成に欠くことができない事項」を「限定する」補正とは、補正前の請求項における「発明の構成に欠くことができない事項」の一つ以上を、概念的に、より下位の「発明の構成に欠くことができない事項」とする補正である。本件において、本件補正前の請求項３には、「第１の電源制御回路」及び「第２の電源制御回路」の上位概念となる構成が全く記載されていない。したがって、補正前の請求項３の構成から、その下位の概念である「第１の電源制御回路」及び「第２の電源制御回路」事項に補正することはできない。

また、本件補正前の請求項３に記載された「半導体装置」に係る発明に「第１の電源制御回路と第２の電源制御回路」と「前記第３のＰチャネル型ＴＦ

Tのゲート電極は前記1の電源制御回路に接続され、前記第3のNチャンネル型TFTのゲート電極には前記第2の電源制御回路に接続され」との構成を付加することは、「電源制御」を行うという、新たな技術的な課題を備える「回路」を付加するものである。

以上のとおり、補正前の請求項3に係る発明の解決しようとする課題と、補正後の請求項1に係る発明の解決しようとする課題は、同一とはいえない。

2 改正前17条の2第4項において準用する同法第126条3項の規定に係る判断遺脱等の主張に対し

上記1のとおり、「補正4」を含む本件補正は、改正前特許法17条の2第3項1号ないし4号のいずれの規定も満たしていない不適法な補正であるから、これを却下した審決の判断は正当である。

したがって、補正後の請求項1に係る発明が特許出願の際独立して特許を受けることができるか否かを判断すべきであり、また、本件補正前の請求項1に係る発明につき、特許法29条2項の規定を充足するか否かを判断すべきでないとする原告の主張は、その前提において失当である。

第5 当裁判所の判断

1 補正却下の決定の誤りについて

(1) 改正前特許法17条の2第3項4号の該当性（明りようでない記載）について

原告は、「補正4」は、「Pチャンネル型TFTのゲート電極及びNチャンネル型TFTのゲート電極が何と接続しているか」を明りようにしたものであり、これによって何らの技術的な意義を付加するものではないから、改正前特許法17条の2第3項4号に規定する「明りようでない記載の釈明」に該当すると主張する。

しかし、原告の主張は、以下のとおり理由がない。

ア 特許請求の範囲の記載

補正前の請求項３の記載は、第２の２(１)のとおりであり、これを構成要素に即して整理すると以下のとおりとなる。

まず、及びの全体の構成からなる。

第１及び第２のＰチャンネル型ＴＦＴと第１及び第２のＮチャンネル型ＴＦＴとが直列接続されているＣＭＯＳ回路。

第１及び第２のＰチャンネル型ＴＦＴのしきい電圧より高いしきい電圧を有する第３のＰチャンネル型ＴＦＴと、第１及び第２のＮチャンネル型ＴＦＴのしきい電圧より高いしきい電圧を有する第３のＮチャンネル型ＴＦＴ。

そして、ないしの接続態様からなる。

第２のＰチャンネル型ＴＦＴのソース電極に前記第３のＰチャンネル型ＴＦＴのソース電極またはドレイン電極が接続されている。

第２のＮチャンネル型ＴＦＴのソース電極に前記第３のＮチャンネル型ＴＦＴのソース電極またはドレイン電極が接続されている。

第１のＰチャンネル型ＴＦＴのゲート電極と前記第１のＮチャンネル型ＴＦＴのゲート電極が接続されている。

さらに、のとおりの機能的な観点からの構成を規定する。

第１乃至第３のＰチャンネル型ＴＦＴ及び第１乃至第３のＮチャンネル型ＴＦＴのそれぞれは、チャンネル領域にしきい電圧を制御するための不純物がドーピングされている。

以上のとおり、補正前の請求項３に係る発明は、第１及び第２のＰチャンネル型ＴＦＴと第１及び第２のＮチャンネル型ＴＦＴとが直列接続されて構成されるＣＭＯＳ回路と、第３のＰチャンネル型ＴＦＴ及びＮチャンネル型ＴＦＴをその要素とし、それらの接続態様として、上記ないしに示すような各ＴＦＴの電極間の接続関係により特定されている。

これに対して、「補正４」は、「第１の電源制御回路」及び「第２の電

源制御回路」なる新たな構成要素を付加し，さらに，「Pチャネル型TFTのゲート電極」及び「Nチャネル型TFTのゲート電極」について，「第3のPチャネル型TFTのゲート電極」は「第1の電源制御回路」に，「第3のNチャネル型TFTのゲート電極」は「第2の電源制御回路」に，それぞれ接続されるよう特定したものである。

イ 発明の詳細な説明欄の記載

本願明細書ないし本願補正明細書の「発明の詳細な説明」欄の記載（発明の詳細な説明の記載は，本件補正の前後を通じて変更されていない。）は，以下のとおりである（甲1）。

「第1の電源制御回路」及び「第2の電源制御回路」については，以下の記載がある。すなわち，

「〔実施例3〕アクティブマトリクス表示装置における駆動回路を構成するシフトレジスタについて，リーク電流を低減する回路を図6に示す。シフトレジスタの1個の出力信号は，1個のタイミング発生回路と2個の電源制御回路から作られる。 $FF_{i-2} \sim FF_{i+2}$ はタイミング発生回路で，図7に回路図を示す。タイミング発生回路は，低いしきい電圧の薄膜トランジスタで構成されたクロックインバータ1個と，高いしきい電圧の薄膜トランジスタで構成されたインバータ2個で構成される。」（段落【0033】）

「 $VC_{i-2} \sim VC_{i+2}$ は電源制御回路で，図8に回路図を示す。電源制御回路は高いしきい電圧の2入力NAND1個と高いしきい電圧の3入力NAND1個で構成されるSRラッチである。電源制御回路はタイミング発生回路の電源の切り離しを制御している。」（段落【0034】）

上記の各記載，及び図6及び図7を参酌すると，まず，実施例の「タイミング発生回路」を構成する，1個の「クロックインバータ」と2個の

「インバータ」にあって、「クロックトインバータ」は、補正前の請求項 3 における、上記 の C M O S 回路が相当するところ、「インバータ」については、補正前の請求項 3 では何ら特定していないから、補正前の請求項 3 に係る半導体装置は、実施例の「タイミング発生回路」の構成要件を特定したものとはいえない。

そして、実施例の「電源制御回路」は、実施例の「タイミング発生回路」の電源の切り離しを制御しているものであるところ、上記のとおり、補正前の請求項 3 に係る半導体装置は、実施例の「タイミング発生回路」の構成要件を特定したものではないから、補正により新たに追加する「第 1 の電源制御回路」及び「第 2 の電源制御回路」は、実施例の「電源制御回路」に対応するものとは認められない。

ウ 判断

上記アによれば、「補正 4」により新たに付加された「第 1 の電源制御回路」及び「第 2 の電源制御回路」につき、補正前の請求項 3 と補正後の請求項 1 を対比すると、補正前の請求項 3 には、それぞれ「第 3 の P チャネル型 T F T のゲート電極」及び「第 3 の N チャネル型 T F T のゲート電極」に接続されることを規定するのみであって、それ以外には、P チャネル型及び N チャネル型の T F T からなる半導体素子とどのような技術的な関係を有するのか、何に対する電源制御回路であるのか、「第 1 の電源制御回路」及び「第 2 の電源制御回路」内のどの部分が「第 3 の P チャネル型 T F T のゲート電極」及び「第 3 の N チャネル型 T F T のゲート電極」に接続されるのかについて、何らの記載も示唆もない。そうすると、「補正 4」は、新たな技術的事項を備えた回路を付加する補正であるというべきであって、「明りょうでない記載の釈明」に該当するということとはできない。

仮に、補正前の請求項 3 に係る半導体装置に、「第 1 の電源制御回路」

及び「第２の電源制御回路」が具備することが自明であると理解できたとしても、「補正４」によって、これらが「第３のＰチャネル型ＴＦＴのゲート電極」及び「第３のＮチャネル型ＴＦＴのゲート電極」に、それぞれ接続されることを規定することは、補正前の請求項３で特定される、Ｐチャネル型及びＮチャネル型のＴＦＴを構成要素とする半導体素子の接続構成に、電源制御という別観点の技術的事項を加えることになるのであるから、「補正４」が何らの技術的な意義を付加するものではないとの原告の主張は、到底採用できない。

また、「補正４」は、本件明細書中の「発明の詳細な説明」欄の記載に基づくものということもできない。

よって、原告の主張は失当であり採用することはできない。

エ 拒絶査定における指摘に関する原告の主張について

原告は、「補正４」は、拒絶査定において、「（５）請求項３に記載の『第２，第３のＰチャネル型ＴＦＴ』及び『第２，第３のＮチャネル型ＴＦＴ』のそれぞれのゲート電極には何が接続されるのか不明瞭である。」（甲７。３頁１９行～２１行）との指摘を受けて補正したものであるから、改正前特許法第１７条の２第３項４号所定の「明りょうでない記載の釈明（拒絶理由通知に係る拒絶の理由に示す事項についてするものに限る。）」に該当するというべきであると主張する。しかし、原告の主張は、以下のとおり失当である。

（ア） 拒絶査定（甲７）には、「この出願については、平成１５年８月５日付け拒絶理由通知書に記載した理由１，４によって、拒絶をすべきものである。」と記載され、同拒絶理由通知書（甲４）には、理由１として「特許法第２９条第２項の規定により特許を受けることができない。」と、また理由４として、「特許法第１７条の２第２項において準用する同法第１７条第２項に規定する要件を満たしていない。」と記載されて

いることに照らせば、拒絶査定は、改正前特許法 36 条 4 項、5 項 2 号に規定する要件（いわゆる記載不備）を理由としたものではないことは明らかである。さらに、拒絶理由通知書（甲 4）を見ても、本件補正前の請求項 3（甲 6）に対応する請求項である平成 14 年 3 月 20 日付け手続補正書（甲 3）の請求項 3 に対しては、改正前特許法 36 条 5 項 2 号に規定する要件違反（記載不備）の拒絶理由は通知されていない。

してみれば、「補正 4」は、拒絶理由通知に係る拒絶の理由に示す事項についてするものではないから、原告の主張は、その主張自体失当である。

（イ） 次に、拒絶査定における指摘事項に対する原告主張を検討する。

拒絶査定（甲 7）には、以下の各記載がある。

「この出願については、平成 15 年 8 月 5 日付け拒絶理由通知書に記載した理由 1、4 によって、拒絶をすべきものである。」との記載（1 頁 7 行～8 行）

「備考」欄における理由 1 及び理由 4 に関する説明及び結論（同頁 11 行～3 頁 1 行）

破線を施した下段に、「〔以下の記載は、拒絶査定を構成するものではない。審判請求をされる場合は、参考にされたい。〕」（3 頁 3 行～4 行）とした上で、「（5）請求項 3 に記載の『第 2、第 3 の P チャネル型 T F T』及び『第 2、第 3 の N チャネル型 T F T』のそれぞれのゲート電極には何が接続されるのか不明瞭である。」との記載（3 頁 19 行～21 行）

「（11）審判請求時に補正を行う際には、補正で付加できる事項は、この出願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面の記載から自明な事項に限られ、且つ特許請求の範囲の限定的減縮、不明瞭な記載の釈明又は誤記の訂正を目的と

する補正に限られることに注意し，審判請求の理由で，各補正事項について補正が適法なものである理由を，根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。」(４頁２行～８行)との記載

以上の記載がある。そうすると，拒絶査定における「(５)請求項３に記載の『第２，第３のＰチャネル型ＴＦＴ』及び『第２，第３のＮチャネル型ＴＦＴ』のそれぞれのゲート電極には何が接続されるのか不明瞭である。」(３頁１９行～２１行)との記載部分は，拒絶査定を構成するものではなく，原告に対して特定の補正を教示・示唆するものでもなく，審判請求時の補正に当たって留意すべき点を指摘したものにすぎないと認められる。

以上のとおり，原告の主張は，その前提において採用することができない。

(２) 改正前特許法１７条の２第３項４号の該当性（特許請求の範囲の減縮について）

ア 原告は，「補正４」について，補正後の請求項１において，補正前の請求項３に「第１の電源制御回路」及び「第２の電源制御回路」を付加した点は，第３のＰチャネル型ＴＦＴ及び第３のＮチャネル型ＴＦＴのゲート電極に何が接続されるのか限定していなかったものに対して，接続される対象として「第１の電源制御回路」及び「第２の電源制御回路」を加えたものであるから，特許請求の範囲の減縮に該当し，また，補正前の請求項３に係る発明及び補正後の請求項１に係る発明は，共に，半導体装置であって産業上の利用分野は共通し，結晶性シリコンで構成される薄膜半導体集積回路の消費電力の低減に関し，薄膜トランジスタのＯＦＦ時のリーク電流を低減するものであって，解決しようとする課題も共通するから，「補正４」は，産業上の利用分野及び解決しようとする課題が同一である発明

の構成に欠くことができない事項の範囲内において，補正前の請求項３に係る発明の構成に欠くことができない事項の一部を限定するものであると主張する。

しかし，原告の主張は，以下のとおり失当である。

イ 改正前特許法１７条の２第３項２号は，特許請求の範囲の減縮であって，補正前発明と産業上の利用分野及び解決しようとする課題が同一である発明の構成に欠くことができない事項の範囲内において，その補正前発明の構成に欠くことができない事項の全部又は一部を限定するものに限る旨を規定する。

そこで，「補正４」が同項２号の要件を満たすためには，同補正において付加した「第１の電源制御回路」及び「第２の電源制御回路」との構成要素が，補正前の請求項３における「発明の構成に欠くことができない事項」に含まれること，及び，補正によって，その事項を限定するものといえること（すなわち，補正前の請求項に含まれる包括的抽象的な解決手段たる上位概念を，具体的な解決手段たる下位概念とすることによって，当該事項を限定すること）が必要である。本件についてこれをみると，補正前の請求項３には，電源に関する技術的事項は何ら特定されておらず，駆動用の電源が「第１の電源制御回路」及び「第２の電源制御回路」によって制御の対象とされることは何ら記載されていないから，包括的抽象的な解決手段たる上位概念である「電源」に該当するものは，何ら記載がないことになる。補正後の請求項１における，「第１の電源制御回路と第２の電源制御回路」の記載，及び「第３のＰチャネル型ＴＦＴのゲート電極」は「第１の電源制御回路」に，「第３のＮチャネル型ＴＦＴのゲート電極」は「第２の電源制御回路」に，それぞれ「接続され」との態様を示した記載から直ちに，当該電源制御回路が駆動用の電源を制御する回路であると理解することもできない。

上記によれば，原告主張は失当であり，採用することはできない。

(3) 小括

上記のとおり，補正却下の決定の誤りに係る原告の主張は理由がない（なお，補正を却下した決定に誤りはないから，同決定の違法を前提とする審決に判断遺脱があるとする原告の主張も理由がないことに帰する。）。

2 結論

以上によれば，原告のその余の主張につき判断するまでもなく，原告が審決を違法として取り消すべき理由として主張する点はいずれも理由がなく，その他，審決に，これを取り消すべき誤りは見当たらない。

よって，主文のとおり判決する。

知的財産高等裁判所第3部

裁判長裁判官	飯	村	敏	明
--------	---	---	---	---

裁判官	三	村	量	一
-----	---	---	---	---

裁判官	上	田	洋	幸
-----	---	---	---	---