

主 文

原告の請求を棄却する。
訴訟費用は原告の負担とする。

事 実

第一 当事者の求めた裁判

一 原告

「特許庁が昭和五六年審判第一六三九二号事件について昭和六三年九月八日にした審決を取り消す。訴訟費用は被告の負担とする。」との判決

二 被告

主文同旨の判決

第二 請求の原因

一 特許庁における手続の経緯

原告は、昭和五一年九月七日、名称を「アナログ演算装置」とする発明（以下「本願発明」という。）について特許出願（昭和五一年特許願第一〇七〇七四号）をしたところ、昭和五六年五月二八日拒絶査定があつたので、同年八月一二日審判を請求し、昭和五六年審判第一六三九二号事件として審理された結果、昭和六一年一月二三日、「本件審判の請求は、成り立たない。」との審決（以下「前審決」という。）がなされた。

そこで、原告は、昭和六一年三月二五日東京高等裁判所に前審決の取消訴訟を提起し、同裁判所昭和六一年（行ケ）第六三三号事件として審理され、昭和六二年一月二二日前審決取消の判決（以下「前訴判決」という。）があり、右判決は確定したので、特許庁は前記審判事件について更に審理の上、昭和六三年九月八日、「本件審判の請求は、成り立たない。」との審決（以下「本件審決」という。）をし、その謄本は同年一〇月五日原告に送達された。

二 本願発明の要旨

① 入力アナログ信号を一つの入力とする比較器

② プログラムメモリ部と演算制御部とデータメモリ部とを有し前記比較器からの出力信号を入力とするプロセッサ

③ このプロセッサから出力されるデジタル信号をアナログ信号に変換しかつこのアナログ信号を前記比較器の他の一つの入力信号として与えるデジタルアナログ変換器

④ このデジタルアナログ変換器の出力信号を前記プロセッサからの出力指令信号に従つてサンプル・ホールドするアナログ信号保持手段を具備し

⑤ 前記プロセッサは、前記プログラムメモリ部に記憶されている信号に従つて前記比較器、プロセッサ及びデジタルアナログ変換器で構成されるループによつて前記入力アナログ信号をデジタル信号に変換し

⑥ 次にこのデジタル信号に前記データメモリ部及び又はプログラム部に記憶されているデータを使用して所定の演算を施し

⑦ この演算結果を前記デジタルアナログ変換器を介して前記アナログ信号保持回路に出力する動作をなすことを特徴とするアナログ演算装置（別紙図面（一）参照）

三 本件審決の理由の要点

1 本願発明の要旨は、前項記載のとおりである。

2 原査定の拒絶理由の要点は、本願発明は本件出願前に頒布された刊行物である「EDN」一九七四年四月五日号第三四頁ないし第四〇頁（以下「第一引用例」という。）、米国特許第三、七三一、三〇二号明細書（以下「第二引用例」という。）に記載された発明に基づいて当業者が容易に発明をすることができたものであるから、特許法第二十九条第二項の規定により特許を受けることができない、というものである。

第一引用例（別紙図面（二）参照）、特にFig 6（第三八頁）やFig 8（第三九条）とそれらに関する説明文を参照すると、両図は明らかに同じシステムの一部を記載したものであり、かつ次の（1）～（7）を構成に欠くことができない事項とする発明を記載したものであることが認められる。すなわち、

（1） 入力アナログ信号（ANALOG INPUT）を一つの入力とする比較器（ANALOG COMPARATOR）。

(2) 比較器からの出力信号 (SENSE1 LINEの信号) を入力とするデジタルコンピュータ (「COMPUTER」及び入出力のための周辺回路である「DAC OUTPUT REGISTER」「CHANNEL OUTPUT REGISTER」「DECODER」等)。デジタルコンピュータである以上、プログラムメモリ部、演算制御部及びデータメモリ部として動作する機能部分を有することは当然である。また、比較器の出力信号がデジタルコンピュータの入力として供給されることは、Fig 6 (b) のデジタルコンピュータが実行すべきプログラムステップとして「JUNP ON SENSE1=FALSE TO SHIFT」があることから、明らかである。なお、比較器からの出力信号によつて、Fig 6 (c) 中の「X) VOLTAGE?」が判断され、その結果が「YES」又は「NO」に相当する。

(3) デジタルコンピュータから出力されるデジタル信号 (Fig 6 (a) の「DAC OUTPUT REGISTER」の出力である「OUTPUT」又は Fig 6 (b)、(c) 中のXの値) をアナログ信号 (ANALOG OUTPUT) に変換しかつこのアナログ信号を前記比較器の他の一つの入力信号として与えるデジタルアナログ変換器DCA (以下、デジタルアナログ変換器を「D/A変換器」、アナログデジタル変換器を「A/D変換器」という。)

(4) このD/A変換器の出力信号を前記デジタルコンピュータからの出力指令信号 (Fig 8の「FROM COMPUTER」と表示された線から「CHANNEL OUTPUT REGISTER」及び「DECODER」を介して各「SAMPLE&HOLD」に与えられる信号) に従つてサンプル・ホールドするアナログ信号保持手段 (SAMPLE&HOLD)。

(5) 前記デジタルコンピュータは、それが当然有するプログラムメモリ部に記憶されている (imbedded) 信号に従つて前記比較器、デジタルコンピュータ及びD/A変換器で構成されるループ (Fig 6 (b) 又は (c) に記載されている。) によつて前記入カアナログ信号をデジタル信号 (前記 (3) のXの最終値) に変換する。

(6) デジタルコンピュータである以上、当然に有する前記 (2) のデータメモリ部又はプログラムメモリ部のデータを使用して、当然に所定の演算をすると認められる (演算をすること自体は第一引用例第三六頁左欄第一四行や同頁右欄第一三行「data which must be processed」など、論文全体の趣旨から明らかである。)。演算のタイミングについては、前記 (5) の変換の次とならざるを得ない。

(7) デジタル信号を前記D/A変換器DCAを介して前記アナログ信号保持回路 (SAMPLE&HOLD) に出力する動作 (ソフトウェアはFig 8 (b) に記載されており、それは当然にプログラムメモリ部に記憶されていると認められる。) をなすことを特徴とする、コンピュータのためのD/A及びA/Dインターフェース。

次に、第二引用例 (別紙図面 (三) 参照) を参照すると、次の〔1〕～〔7〕を構成に欠くことができない事項とする発明が記載されていることが認められる。すなわち、

〔1〕 入力アナログ信号18を一つの入力とする比較器19。

〔2〕 メモリ部11～14を有し前記比較器からの出力信号を入力するコンピュータ (10及び周辺回路22、24、25、26)。メモリ部がプログラムやデータを記憶し、算術演算や論理演算をすることは、例えば第二欄第三行ないし第三欄第一二行に明記されている。

〔3〕 コンピュータから出力されるデジタル信号をアナログ信号に変換しかつこのアナログ信号を前記比較器の他の一つの入力信号として与えるスイッチ及び梯子回路網20。

〔4〕 このスイッチ及び梯子回路網の出力信号を前記コンピュータからの出力指令信号 (アキュムレータ11及びメモリバツファレジスタ12からデコーダ26、出力選択ロジック回路25を介してマルチプレクサスイッチ24に与えられる信号) に従つてサンプル・ホールドするアナログ信号保持手段24、23。

〔5〕 前記コンピュータは、前記プログラムに従つて前記比較器、コンピュータ及びスイッチ及び梯子回路網で構成されるループによつて前記入カアナログ信号をデジタル信号に変換する。

〔6〕 このデジタル信号に前記データを使用して所定の算術演算や論理演算を施す。これら演算のタイミングについては、前記〔5〕の変換以前は物理的に不可

能であるから、前記〔５〕の変換の次とならざるを得ない。

〔７〕 この演算結果（「computed values」又は「computed results」）を前期スイッチ及び梯子回路網を介して前記アナログ信号保持回路に出力する動作をなすことを特徴とする、D/A変換システム。

３ 請求人（原告）は、審判請求理由中で、次の事項を主張した。

第一引用例について

（イ） アナログ信号をデジタル信号に変換する動作、デジタル信号に所定の演算を施す動作、及び演算結果を出力する動作を時分割で、しかもプログラムメモリからの信号に従ってすることについて、開示されていない。

（ロ） 比較器の出力（SENSE 1 LINE）がどこに結合されているのか不明である。

（ハ） プロセッサの外部に、「DAC OUTPUT REGISTER」「CHANNEL OUTPUT REGISTER」「DECODER」を有している。

第二引用例について、

（ニ） ナンドゲート２２、ロジック回路２５、デコーダ２６をプロセッサの外部に有する。

（ホ） 動作がハードウェアによるシーケンス制御によるものであつて、プログラムメモリ部に記憶されている信号によつて動作が遂行されるものでない。

また、当審における昭和六三年二月二九日付け尋問書に対して、同年五月一二日付け回答書で次のように回答した。

（ヘ） 審判請求の理由に関して回答を請求することは、行政事件訴訟法第三三条の趣旨に反する。

（ト） 第一引用例の「SENSE 1 LINE」はアツプダウンカウンタに結合されると見るのが自然である。

（チ） 本願発明は、特許請求の範囲に記載された「プロセッサは、前記プログラムメモリ部に記憶されている信号に従つて前記比較器、プロセッサ及びD/A変換器で構成されるループによつて前記入力アナログ信号をデジタル信号に変換し、次にこのデジタル信号に前記データメモリ部及び又はプログラムメモリ部に記憶されているデータを使用して所定の演算を施し、この演算結果を前記D/A変換器を介して前記アナログ信号保持回路を出力する動作をなす」構成によつて、「動作がすべてプログラムメモリ部からの信号によつて行う」ものであり、かつ「コンピュータの外部に制御のための各回路を必要としない」ものである。

（リ） 明細書を補正する意思はない。

４ よつて審理するに、本願発明は各引用例記載の発明に基づいて当業者が容易に発明をすることができたものといわざるを得ない。

すなわち、

本願発明と第一引用例記載の発明とを構成要件ごとに対比すると、前者の①～⑤及び⑦は後者の（１）～（５）及び（７）とそれぞれ実質的に同一である。また、前者の⑥がプロセッサのプログラムメモリ部に記憶されている信号に従つて演算をするのに対し後者の（６）では演算を制御する手段を特定していない点で相違するが、コンピュータがそれが当然に有するプログラムメモリ部に記憶されている信号に従つて演算をするように構成すること自体は当業者が普通に予測する事項であり、それをデジタル信号の演算という動作に適用することに何ら困難性は認められないから、前記相違点は当業者が容易に想到することができたものといふほかない。さらに、すべての構成要件を総合的に対比するとともに、発明の目的効果の相違について検討しても、両発明の間に当業者が容易に予測することができないような相違点を見いだすことができない。

次に、本願発明と第二引用例記載の発明とを構成要件ごとに対比すると、前者の①～⑤及び⑦は後者の〔１〕～〔５〕及び〔７〕とそれぞれ実質的に同一である。また、前者の⑥がプロセッサのプログラムメモリ部に記憶されている信号に従つて演算をするのに対し後者の〔６〕では演算を制御する手段がプログラムメモリ部に記憶されている信号であると特定していない点で相違するが、コンピュータがプログラムメモリ部に記憶されている信号に従つて演算をするように構成すること自体は当業者が普通に予測する事項であり、それをデジタル信号の演算という動作に適用することに何ら困難性は認められないから、前記相違点は当業者が容易に想到することができたものといふほかない。さらに、すべての構成要件を総合的に対比するとともに、発明の目的効果の相違について検討しても、両発明の間に当業者が

容易に予測することができないような相違点を見いだすことができない。

前記（イ）～（チ）についての判断（省略）

5 以上のとおり、本願発明は、第一引用例又は第二引用例記載の発明に基づいて当業者が容易になし得たものと認められ、特許法第二十九条第二項の規定により特許を受けることができない。

四 本件審決の取消事由

本件審決は、前訴判決の拘束力がある判断に反してなされたものであり、かつ本件審判手続において、本願発明が第一引用例又は第二引用例記載の発明に基づき容易になし得たもので特許法第二十九条第二項の規定により特許を受けることができない点を理由とする拒絶理由通知を発することとなされたものであつて、違法として取り消されるべきである。また、第一引用例記載の発明の構成（１）と本願発明の構成①が実質的に同一であること、及び第一引用例記載の発明の構成（６）と本願発明の構成⑥とが相違すること、第二引用例記載の発明の構成〔１〕、〔３〕、〔７〕と本願発明の構成①、③、⑦が実質的に同一であること、及び第二引用例記載の発明の構成〔６〕と本願発明の構成⑥とが相違すること並びに相違点の判断は争わないが、本件審決は第一引用例及び第二引用例記載の技術内容を誤認した結果、第一引用例記載の発明の構成（２）ないし（５）、（７）と本願発明の構成②ないし⑤、⑦が一致すると誤つて認定し、かつ両者の相違点の判断を誤り、また、第二引用例記載の発明の構成〔２〕、〔４〕、〔５〕と本願発明の構成②、④、⑤が一致すると誤つて認定したものであるから、違法として取り消されるべきである。

1 前訴において、第一引用例及び第二引用例は、それぞれ周知例１及び周知例２として審理判断の対象となり、原告も被告もこれらの周知例１及び周知例２について意見を述べる機会が十分与えられ、意見を主張してきている。

東京高等裁判所は、これらの主張を審理判断し、「周知例１及び周知例２にＤ／Ａ変換器をＡ／Ｄ変換系とＤ／Ａ変換系に共用する考え方が示されている」旨認定した上で、「本願発明は引用例（本訴甲第五号証、以下「前引用例」という。）に記載された発明に基づいて当業者が容易になし得たものと判断した前審決は違法である。」旨判決したものである。

そうすると、被告は、前訴判決の確定により、前引用例はもちろん、判決の中で審理の対象として用いられた第一引用例及び第二引用例についても拘束を受けるのが相当である。

しかるに、本件審決は、前訴において既に審理が尽された第一引用例及び第二引用例を再び用いて本願発明は第一引用例又は第二引用例記載の発明に基づいて当業者が容易になし得たものと審決したもので、前訴判決に示された拘束力ある判断に従つておらず、行政事件訴訟法第三十三条第一項の規定に反し違法である。

2 前審決は、第一引用例と第二引用例とを用いて行つた拒絶査定について審理し、新しい前引用例を加えて、「本願発明は、引用例に記載された発明に基づいて当業者が容易になし得たものと認められる」旨の判断をしたものであり、前審決によれば、本願発明は、審査の段階で引用された第一引用例及び第二引用例の記載だけでは、すなわち、審査の段階の拒絶理由では、本願発明を拒絶査定することが困難であるとの判断を行つたものであり、この段階で審査官による拒絶理由は、破棄されたと解するのが自然である。

そして、前審決が取り消された後の本件審決において、前審決の前述の判断を翻し、「第一引用例及び第二引用例だけで、本願発明は当業者が容易になし得たものと認められる」との理由、及び「前審決とは引用事項及び引用の趣旨が相違する」との理由により本願を拒絶したのであるから、全体の審査の流れを考慮すれば、特許法第一五九条第二項で準用する同法第五〇条の規定により、出願人である原告に対して、新たな拒絶理由通知を発し、意見書の提出及び補正の機会を改めて与えなければならないにもかかわらず、本件審判手続においてかかる手続を履践しなかつたのは違法である。

確かに、被告から昭和六三年二月二九日付け尋問書が発せられ、原告も同年五月一二日付け回答書により返答しているが、尋問書は法律の規定に存在しない手続であり、これに対する対応と、法律に規定されている拒絶理由書に対する出願人の対応とは全く異なるもので、これをもつて拒絶理由通知をする意味がないとはいえない。

3 第一引用例には、本件審決認定の構成（２）ないし（５）及び（７）が記載されていないから、これらの構成と本願発明の構成②ないし⑤及び⑦が実質的に同一

であり、両者はこの点において一致するとした本件審決の認定は誤りである。すなわち、

第一引用例記載の発明の構成（２）について

本件審決は、第一引用例には、「比較器からの出力信号（SENSE1 LINEの信号）を入力するデジタルコンピュータ（「COMPUTER」及び入出力のための周知回路である「DAC OUTPUT REGISTER」「CHANNEL OUTPUT REGISTER」「DECODER」等）」が記載されていると認定している。

しかしながら、第一引用例のFig 6及び第三八頁の説明、Fig 8及び第三九頁の説明には比較器からの出力信号がどこに印加されているかの説明はなく、「DAC OUTPUT REGISTER」等によりデジタルコンピュータを構成しているとの説明もない。Fig 6及び第三八頁右欄第一六行ないし第一八行には、「出力レジスタ」と「比較器」だけを用いる旨説明されており、「出力レジスタ（DAC OUTPUT REGISTER）」がデジタルコンピュータに含まれていないことは明確である。加えて、右出力レジスタには、「COMPUTER OUTPUT BUS」からの信号以外に「REGISTER CLK SIGNAL」も印加されており、これらの信号がどのように作用して「DAC」への「OUTPUT」を発生するかの説明もなされていないため、「出力レジスタ」からの出力と、「COMPUTER OUTPUT BUS」からの信号との関係も不明である。したがって、本件審決の前記認定は誤りである。

また、本件審決は、第一引用例記載の発明において、「比較器の出力信号がデジタルコンピュータの入力として供給されていることは、Fig 6（b）のデジタルコンピュータが実行すべきプログラムステップとして、「JUNP ON SENSE1=FALSE TO SHIFT」があることから、明らかである」旨認定している。

しかしながら、この命令は、単に（c）に示すフローチャートを実現するシステム全体のプログラムを記述したにすぎず、このようなステップがあるからといって直ちに比較器の出力信号がデジタルコンピュータの入力として供給されていることには結びつかないから、本件審決の右認定は誤りである。

さらに、本件審決は、第一引用例記載の発明においては、「比較器からの出力信号によつて、Fig 6（c）中の「X」VOLTAGE？」が判断され、その結果が「YES」又は「NO」に相当する」旨認定しているが、「X」VOLTAGE？」の判断をしているのは比較器であるから右認定は誤りである。

第一引用例記載の発明の構成（３）について

第一引用例記載の発明には、D/A変換器はあるが、D/A変換器はレジスタからの信号を入力してプロセッサからの信号を入力するものではないから、構成（３）についての本件審決の認定は誤りである。

第一引用例記載の発明の構成（４）について

本件審決は、第一引用例記載の発明において、「FROM COMPUTER」と表示された線が「CHANNEL OUTPUT REGISTER」及び「DECODER」を介して「SAMPLE & HOLD」につながっていることを根拠にして「アナログ信号保持手段」が「D/A変換器からの出力信号をコンピュータからの出力指令信号に従つてサンプル・ホールドする」旨認定している。

しかしながら、本願発明において、「プロセッサからの出力指令信号に従つてサンプル・ホールドする」の意味するところは、プロセッサがD/A変換器の出力信号をサンプル・ホールドするタイミングを直接制御することを意味する（本願明細書第一〇頁第八行ないし第一四行及び別紙図面（一）第2図（へ）参照）。しかるに、第一引用例記載の発明は、「FROM COMPUTER」と表示された線からの信号がいったん「CHANNEL OUTPUT REGISTER」で保持され、そこから「アナログマルチプレクサ」、「デコーダ」及び「プログラマブルゲインアンプ」に信号が分配され、デコーダはこの信号を受けるとともに、コントロールアウトプット2の信号を受けて各アナログ信号保持手段へサンプリングパルスを出力するような構成であり、「FROM COMPUTER」と表示された線からの信号と「SAMPLE & HOLD」に印加されている「DECODER」からのサンプリングパルスとは一対一に対応していないことは明らかであるから、本件審決の前記認定は誤りである。

第一引用例記載の発明の構成（５）について

本件審決は、第一引用例記載の発明の「デジタルコンピュータは、それが当然

有するプログラムメモリ部に記憶されている信号に従って比較器、D/A変換器で構成するループによつて入力アナログ信号をデジタル信号に変換する」旨認定しているが、「デジタルコンピュータ」がどのような形でループに入っているのか不明であるし、コンピュータとは別の「DAC OUTPUT REGISTER」が介在しているから、右認定は誤りである。

第一引用例記載の発明の構成(7)について

本件審決は、第一引用例記載の発明の「デジタルコンピュータは、デジタル信号をD/A変換器(DCA)を介してアナログ信号保持回路に出力する動作(ソフトウェアはFig 8(b)に記載されており、それは当然にプログラムメモリ部に記憶されていると認められる。)をなしている」旨認定しているが、右認定の根拠となつているFig 8(b)にはそれを示唆するようなステップは記載されていないから、誤りである。

また、本願発明の構成⑥と第一引用例記載の発明の構成(6)が相違することは本件審決認定のとおりである。

そして、以上の構成の相違により、本願発明は、動作のすべてがプログラムメモリ部からの信号によつて行われ、プロセッサの外部にA/D変換器やその他制御のための各回路(ハードウェア)を必要としないので、全体構成を簡単にかつ安価にできるという作用効果がある(本願明細書第一〇頁第一九行ないし第一一頁第五行)のに対して、第一引用例記載の発明は、ハードウェアの比較においてもプロセッサの外部に「各種のレジスタ」や「デコーダ」を使用しており、構成が複雑で高価になるという相違がある。

したがつて、本願発明は第一引用例記載の発明から当業者が容易に推考できたものに該当しない。

4 第二引用例のFIG 1(別紙図面(三)参照)には「D/A変換システム」の全体のブロック図が示され、このシステムは、比較器19、破線で囲まれた部分から成るコンピュータ10、D/A変換器(スイッチ及び梯子回路網)20、該D/A変換器20からのアナログ信号を出力選択ロジック回路25からの信号でサンプリングするストレージユニット23等で構成される回路であることが示されているが、第二引用例には、本件審決認定の構成〔2〕、〔4〕及び〔5〕が記載されていないから、これらの構成と本願発明の構成②、④及び⑤が実質的に同一であり、両者はこの点において一致するとした本件審決の認定は誤りである。すなわち、

第二引用例記載の発明の構成〔2〕について

本件審決は、第二引用例には、「比較器からの出力信号を入力とするコンピュータ(10及び周辺回路22、24、25、26)」が記載されていると認定している。

しかしながら、第二引用例の第二欄第三行ないし第三三行には、FIG 1の破線で囲まれた矩形部分がコンピュータであると明記されているから、周辺回路22、24、25、26をコンピュータに含めているのは誤りである。本願発明において「プロセッサ」は、小形化された「マイクロコンピュータ」を想定しており(本願明細書第三頁第一六行ないし第四頁第一九行)、プロセッサ20の外部にどのようなハードウェアを配置させるかは、全体構成を簡単でかつ安価にすることを目的とした本願発明においては、特に重要な判断事項である。

また、第二引用例記載の発明は、プロセッサに相当するものがあることは認められるが、比較器からの信号を入力していない。このことは、第二引用例記載の発明には、D/A変換動作を、どのタイミングで開始するかを決定する重要な役目をしているナンドゲート22があることから明らかである。加えて、第二引用例第七欄及び第八欄記載の「コンピュータプログラム」は、アナログ入力の値をデジタル値に変換するためのサブルーチンを示して、装置全体の動作を示すプログラムではない。

したがつて、本件審決の前記認定は誤りである。

第二引用例記載の発明の構成〔4〕について

本件審決は、第二引用例記載の発明において「アキュムレータ11及びメモリバツファレジスタ12からの信号がデコーダ26、出力選択ロジック回路25を介してマルチプレクサスイッチ24に与えられていること」を根拠にして、「アナログ信号保持手段24、23」が「スイッチ及び梯子回路網20の出力信号をコンピュータからの出力指令信号に従ってサンプル・ホールドする」旨認定している。

しかしながら、第二引用例記載の発明は、デコーダ26や出力選択ロジック回路25、マルチプレクサスイッチ24により、スイッチ及び梯子回路網20からの信

号をアナログ信号保持手段23に印加するような構成であり、本願発明のように、コンピュータから直接出力される出力指令信号（サンプリングパルス）によりD/A変換器からの出力をアナログ信号保持手段に印加する構成となっていない。

また、信号の経路の途中にデコーダ、出力選択ロジック回路、マルチプレクサスイッチ等が存在すれば動作のタイミングや信号形態が本願発明と異なるものになることは常識的なことである。

したがって、本件審決の前記認定は誤りである。

第二引用例記載の発明の構成〔5〕について

本件審決は、第二引用例記載の発明において、「コンピュータは、プログラムに従って比較器、コンピュータ及びスイッチ及び梯子回路網で構成されているループによつて入力アナログ信号をデジタル信号に変換する」旨認定している。

しかしながら、第二引用例記載の発明においては、比較器19の出力信号が外部からのタイミングパルスによりその開閉が制御されるナンドゲート22を介してコンピュータ10に印加されており、比較器19からの出力信号は端子17に印加される外部タイミングパルスによつてコンピュータ10に印加される構成であつて、A/D変換の動作がプログラムに従って行われているとはいえない。ナンドゲート22は、単なる信号の通りみちとしての機能だけでなく、A/D変換動作をどのタイミングで開始するかを決定する手段として重要な役目をしている。

したがって、本件審決の前記認定は誤りである。

そして、以上の構成の相違により、本願発明は、前述のとおり、動作のすべてがプログラムメモリ部からの信号によつて行われ、プロセッサの外部にA/D変換器やその他制御のための各回路を必要としないので、全体構成を簡単かつ安価にできるという作用効果があるのに対して、第二引用例記載の発明は、動作の一部がプロセッサの外部に設けたナンドゲート22やデコーダ26、出力選択ロジック回路25によるもので、構成が複雑で高価になるという作用効果上の差異がある。

したがって、本願発明は、第二引用例記載の発明から当業者が容易に推考できたものに該当しない。

第三 請求の原因に対する認否及び被告の主張

一 請求の原因一ないし三の事実は認める。

二 同四は争う。審決の認定、判断は正当であり、審決に原告主張の違法はない。

1 前審決は、本願発明は前引用例記載の発明に基づいて当業者が容易になし得たとしたもので、その際第一引用例及び第二引用例を本願発明の構成⑤及び⑦に関連し、参考としていずれも断片的に引用したにすぎない。

一方、本件審決は、第一引用例及び第二引用例を主引用例とし、本願発明の構成①ないし⑦のすべてに対応する事項を引用し、それぞれ本願発明と総合的に対比したもので、前審決とは第一引用例及び第二引用例の引用事項及び引用の趣旨が相違するから、本件審決に原告主張の違法はない。

2 本件審決は、審査における査定と同一の引用例及び同一の理由によつて本願発明は特許を受けることができないとしたものであり、審査においてした手続である拒絶理由通知及び拒絶査定は、特許法第一五八条の規定により審判においてもその効力を有し、同法第一五九条第二項の規定による再度の拒絶理由通知を要しないから、本件審判手続には同法第五〇条に違反する違法はない。

なお、本件審判手続において、原告に対し、昭和六三年二月二九日付け尋問書により原査定に不服の理由及び明細書を補正する意思の有無をたずねたところ、原告は、同年五月一二日付け回答書により回答し、あわせて、明細書を補正する意思はないと述べており、原告に対して、審査における査定の理由と同一の拒絶理由を再度通知する意味は全くない。

3 第一引用例記載の技術内容は、本件審決認定のとおりであつて、右認定に原告主張の誤りはない。

第一引用例記載の発明の構成（2）について

比較器からの出力信号（SENSE1 LINE）がコンピュータに入力されることは、第一引用例の第三八頁Fig 6のプログラム及び同図の説明から明らかである。

また、第一引用例のFig 6（b）（c）のプログラムは、同図欄外の説明文「連続近似論理はコンピュータサブルーチンに記憶される」と明記されているとおり、コンピュータの中に存在する。そして、右プログラム中には、「JUNP ON SENSE1=FALSE TO SHIFT」（センサーラインが偽ならSHIFTへ飛べ）の命令がある以上SENSE1 LINEの信号（比較器の

出力信号)がコンピュータ内で処理されること、その処理のためにコンピュータに入力されることは当然である。

さらに、「X」VOLTAGE?」の判断は、比較器の出力信号がコンピュータに入力され、実行される。コンピュータはFig 6 (a)の回路中には図示されていないが、「SENSE 1 LINE」及び「COMPUTER OUTPUT BUS」に接続されており、Fig 6 (c)のフローチャートのプログラムを(a)に示された回路のみが実行することはあり得ない。

第一引用例記載の発明の構成(3)について

第一引用例記載の発明において、コンピュータからの出力信号がD/A変換器に入力されることは、本件審決認定のとおりである。

第一引用例記載の発明の構成(4)について

第一引用例記載の発明の「CHANNEL OUTPUT REGISTER」「アナログマルチプレクサ」「デコーダ」「プログラマブルゲインアンプ」は入出力装置の一部であり、いわば信号の単なる通りみちにすぎず、アナログ信号保持手段がD/A変換器からの出力信号をコンピュータの指令に従ってサンプル・ホールドする旨の本件審決の認定を左右するものではない。

第一引用例記載の発明の構成(5)について

第一引用例記載の発明のループの形態は、Fig 6 (a) (b) (c)から一目瞭然であり、「DAC OUTPUT REGISTER」は入出力装置の一部にすぎず、右ループによりAD変換が行われる旨の本件審決の認定を左右するものではない。

第一引用例記載の発明の構成(7)について

第一引用例のFig 8 (a)の回路によれば、「DAC」の出力は「SAMPLE & HOLD」に接続されており、またFig 8 (b)には「アナログ出力命令」や「アナログ値をXに置け。XをDCAのレジスタに出力せよ。」のステップが記載されており、演算結果をD/A変換器を介してアナログ信号保持回路に出力することが明らかである。

そして、本願発明は「動作のすべてが」「制御のための各回路(ハードウェア)を必要としないこと」及び「外部に各種のレジスタやデコーダを使用しない」ことを要旨とするものでなく、外部にA/D変換器を必要としないことは第一引用例記載の発明も同じであるから、本願発明の作用効果が格別のものであるとすることはできない。

4 第二引用例記載の技術内容は本件審決認定のとおりであつて、右認定に原告主張の誤りはない。

第二引用例記載の発明の構成[2]について

本件審決が第二引用例記載の発明における汎用コンピュータ10及び周辺回路22、24、25、26を併せて「コンピュータ」としたのは、単なる呼称表現の問題である。

また、第二引用例の第七欄「コンピュータプログラム」中の「SLA」には「アナログ入力がアキュムレータの内容より大のときスキップせよ」の命令が明記されており、比較器からの信号がコンピュータに入力され処理されていることは明白である。

第二引用例記載の発明の構成[4]について

本願発明の特許請求の範囲には「D/A変換器の出力信号をサンプル・ホールドするタイミングを直接制御する」旨の記載はなく、このことは本願発明の要旨ではない。

一方、第二引用例記載の発明において、デコーダ、出力選択ロジック回路、マルチプレクサスイッチは出力のための付属的装置であり、いわば単なる信号の通りみちにすぎず、D/A変換器の出力信号をコンピュータの指令に従ってサンプル・ホールドする旨の本件審決の認定を左右するものではない。コンピュータプログラムの指定によつてD/A変換器の出力信号がサンプル・ホールドされることは、第八欄のコンピュータプログラム中の「OUTPUT」として「スイッチ及び梯子回路網20の出力をストレージユニットに出力せよ」という命令が記載されていることから明らかである。

第二引用例記載の発明の構成[5]について

第二引用例の「発明の簡単な説明」には、「私は、汎用コンピュータのプログラムされたサブルーチンによつてA/D変換の動作を行うことができることを見いだした」(第一欄第一三行ないし第一七行)と記載され、第七欄、第八欄に右プログ

ラムが開示されているから、コンピュータがプログラムに従ってアナログ信号をデジタル信号に変換していることは明らかである。第二引用例中のナンドゲート22は単なる信号の通りみちであり、本件審決の認定を左右するものではない。

また、作用効果については、本願発明の特許請求の範囲には、「動作のすべて」、「制御のための各回路を必要としない」旨の記載はないから、このことは本願発明の要旨ではない。

原告は、第二引用例記載の発明には、ナンドゲート22、デコーダ26、出力選択ロジック回路25があり複雑で高価になる旨主張するが、右ナンドゲート等に相当するものは、本願発明でも使用している。すなわち、本願明細書に記載された本願発明の実施例においても、入力ポート21、出力ポート25、割込み入力端子15が使用され、その具体的内容は省略されているが、それらの中にはゲートやデコーダ等が当然に存在しており、したがって、本願発明において制御のための各回路を必要としないとの原告の主張は理由がなく、この点で第二引用例記載の発明に差異は存しない。

第四 証拠関係（省略）

理 由

一 請求の原因一（特許庁における手続の経緯）、二（本願発明の要旨）及び三（本件審決の理由の要点）の事実、当事者間に争いがない。

二 そこで、原告主張の審決の取消事由の存否について判断する。

1 原告は、本件審決は、前訴判決に示された拘束力ある判断に従っておらず、行政事件訴訟法第三十三条第一項の規定に反し違法である旨主張する。

特許出願を拒絶する査定に対する不服の審判手続において特許庁審判官がした審決に対する取消訴訟は行政事件訴訟法第三条第一項第二項所定の行政庁の処分取消しを求める訴訟であつて、右審決を取り消す判決は同法第三十三条第一項の規定により、「その事件について、当事者たる行政庁その他の関係行政庁を拘束する」から、更に審理を行う特許庁審判官は前審決を取り消した判決に拘束され、判決の理由中の判断において否定された前審決の理由と同一の理由により前審決と同一の結論の審決をすることは許されないが、前審決の理由とは別個の理由によつて再度前審決と同一の結論の審決をすることは、判決が示した司法審査の範囲外のことであるから何ら妨げないことである。

これを本件についてみるに、成立に争いのない甲第二号証によれば、前審決は「パルス技術便覧（初版）」（日刊工業新聞社昭和四一年九月二〇日発行）第一〇六一頁、第一〇六二頁を引用例（本判決における「前引用例」）とし、この前引用例記載の技術事項を構成（1）ないし（7）に分説し、これと本願発明の構成①ないし⑦（本判決における本願発明の要旨①ないし⑦と同一）とをそれぞれ対比し、その間に格別の相違はなく、ただ本願発明は前引用例記載の発明における二種の変形を同時に適用したものに相当するが、この同時適用を妨げる格別の理由なく、目的効果についても当業者が予測し得ない相違は見いだせないから、本願発明は前引用例記載の発明に基づいて当業者が容易になし得たものと認められ、特許法第二十九条第二項の規定により特許を受けることができないとの理由により拒絶査定に対する不服の審判請求を成り立たないとしたものであり、前訴判決は、その理由中において、前引用例記載の発明は本願発明の構成⑦を有しないものであり、その結果、右発明の奏する作用効果も奏し得ないから、本願発明の構成②ないし⑥について前引用例記載の発明と対比判断するまでもなく、本願発明は前引用例記載の発明に基づいて当業者が容易になし得たものとした審決は違法であるから取消しを免れないと判断して、前審決を取り消したことが認められる。

これに対し、前記本件審決の理由の要点によれば、本件審決は、第一引用例記載の技術内容を構成（1）ないし（7）に、第二引用例記載の技術内容を構成〔1〕ないし〔7〕に分説し、これと本願発明の構成①ないし⑦とをそれぞれ対比し、

（1）ないし（5）及び（7）、〔1〕ないし〔5〕及び〔7〕と、①ないし⑤及び⑦とは一致し、（6）又は〔6〕と⑥とが相違するが、右相違点⑥の構成は当業者が容易に想到することができたものとし、結局本願発明は第一引用例又は第二引用例記載の発明に基づいて当業者が容易になし得たもので特許法第二十九条第二項の規定により特許を受けることができないとの理由により、再度本件審判請求を成り立たないとしたものであることが認められ、本件審決の理由と前訴判決の理由とを対比検討すれば、本件審決は前訴判決の理由中の判断において否定された前審決の

理由とは別個の理由によつて再度前審決と同一の結論の審決をしたものであるから、前訴判決の拘束力に反するものということとはできない。

原告は、前訴において第一引用例及び第二引用例はそれぞれ周知例 1 及び周知例 2 として審理判断の対象となり、原告被告共にこれについて意見を述べ、東京高等裁判所はこれらの主張を審理判断した上で本願発明は前引用例記載の発明に基づいて当業者が容易になし得たものと判断した前審決を違法と判決したのであるから、本件審決がこれらを再度用いて本願発明は第一引用例又は第二引用例記載の発明に基づいて当業者が容易になし得たと判断したのは、前訴判決に示された拘束力ある判断に従っていない旨主張する。

なるほど、前掲甲第二号証によれば、前審決及び前訴判決の理由中には、第一引用例が周知例 1、第二引用例が周知例 2 として摘示されていることが認められる。しかしながら、前掲甲第二号証によれば、前審決は前引用例記載の技術内容を認定するに当たり、前引用例記載の発明が構成 (5) 及び (7) を有することを認定するため本件出願当時の技術水準を明らかにする必要上周知例 1 及び周知例 2 を摘示したにすぎず、前訴判決もその理由中において、本願発明の構成⑦に関連して周知例 1 及び周知例 2 に D-A 変換器を A-D 変換系と D-A 変換系とに共用する考え方が示されているとしても、前引用例にそのような考え方が示されていないこと等を理由として、このことから前引用例記載の発明が本願発明の構成を有するものとはできないと判断しているにとどまり、周知例 1 及び周知例 2 は前引用例記載の技術内容を認定するための資料としてそのごく一部が判断の対象とされたにすぎないことが認められるから、その判断は本件審決において周知例 1 及び周知例 2 を第一引用例及び第二引用例としこの刊行物記載の技術内容から本願発明の容易推考性を判断することと何ら抵触するものではなく、原告の前記主張は採用できない。

したがって、本件審決には、前訴判決の拘束力に抵触し行政事件訴訟法第三三条第一項の規定に違反した違法は存しない。

2 次に、原告は、本件審判手続において出願人である原告に対し、特許法第一五九条第二項で準用する同法第五〇条の規定により、本願発明は第一引用例又は第二引用例記載の発明に基づき当業者が容易になし得た旨の拒絶理由通知をなすべきであつたのにこの手続を履践しなかつたのは違法である旨主張する。

特許庁審判官は、拒絶査定に対する不服の審判手続において、審査手続においてなされた拒絶理由に基づく拒絶査定の当否について判断すべきところ、拒絶査定に掲げる理由とは異なる別個の拒絶の理由を発見したときは、新たな拒絶理由通知をしなければならない（特許法第一五九条第二項、第五〇条）が、審判手続において新たな拒絶理由通知をすると、もはや原査定の理由をもつて拒絶理由とすることが許されなくなるものではない。けだし、特許出願についての審査手続と審判手続とは出願から特許査定又は拒絶査定の確定に至るまでの手続として継続性を有し、特許法第一五八条には、「審査においてした手続は、第一二一条第一項の審判においても、その効力を有する」と規定されているから、審判手続において新たな拒絶理由通知がなされたという一事をもつて、当然原査定の基になつた拒絶理由通知が失効することにはならないし、拒絶理由通知は、出願人に対し特許出願を拒絶すべき事由があることを通知することにより、出願人に意見の陳述の機会を与え（同法第五〇条）、同時に右通知に対応した必要な補正をする機会を与えるものであり、特定の理由による拒絶理由通知がなされているときは、既に出願人に意見の陳述と補正の機会が与えられているのであるから、重ねて同一の理由を示して拒絶理由通知をしなくても出願人の利益保護に欠けるところがないからである。

これを本件についてみると、成立に争いのない乙第一、第二号証及び甲第七号証によれば、特許庁審査官は、昭和五六年二月六日、原告に対し本願発明はその出願前国内において頒布された第一引用例、第二引用例に記載された発明に基づいて当業者が容易に発明をすることができたものと認められるから、特許法第二九条第二項の規定により特許を受けることができない、との拒絶理由通知をしたこと、これに対し、原告は、本願発明が (i) 比較器、プロセッサ、D/A 変換器で構成されるループによつて入力アナログ信号をデジタル信号に変換する、(ii) このデジタル信号に所定の演算を施す、(iii) 演算結果を D/A 変換器を介してアナログ信号保持回路に出力する、ことを特徴とする等を記載した意見書を提出し、同年四月一七日付け手続補正書により本願発明の特許請求の範囲を補正（その第一項は本願発明の要旨記載のとおりである。）したこと、特許庁審査官は、同年五月二八日、右意見書及び補正書を検討したが拒絶理由を覆すに足りる根拠が見いだせないとの理由（備考欄において、出願人が本願発明の特徴点とする (i) ないし

(i i i) は第一引用例、第二引用例のいずれにも記載されていると付記) で本件出願を拒絶すべきものとするとの査定をしたことが認められ、その後審判手続において、原告に対し本願発明は前引用例記載の発明に基づいて容易に発明をすることができたものとの拒絶理由通知がなされた上、前審決に至ったことは弁論の全趣旨に徴し明らかである。

そうであれば、前訴判決によつて前審決が取り消された結果、右判決の拘束力のもとに更に審理を行う特許庁審判官が本願発明は第一引用例又は第二引用例記載の発明に基づいて容易に発明をすることができたとの判断に到達した場合において、重ねて右理由を示した拒絶理由通知を発することなく本件審決をしても手続上の瑕疵があつたとはいえない。

原告は、前審決によれば、本願発明は審査の段階で引用された第一引用例及び第二引用例の記載だけでは、すなわち、審査の段階の拒絶理由では本願発明を拒絶査定にすることが困難であるとの判断を行つたものであり、この段階で審査官による拒絶理由は破棄されたと解するのが自然である旨主張するが、この主張を採用できないことは前述したところから明らかである。もつとも、出願人としては、前審決のなされる前の審判手続において新たな拒絶理由通知がなされ前審決がこれに基づく判断を示したことから、原査定に基づいた拒絶理由は失効されたものと誤認しやすいことは否めないが、それだからといつて本件審判手続に原告主張の違法があるとするとはできない。しかも、成立に争いのない乙第三、第四号証によれば、特許庁審判官は前訴判決確定後の昭和六三年二月二九日原告に対し尋問書を発し、原査定に不服の理由として昭和五六年八月二七日付け審判理由補充書の主張に付加する事項があれば述べられたい旨、具体的事項を摘示して回答を求めていること、これに対し原告は昭和六三年五月一二日付け回答書で本件審決の理由の要点(へ)ないし(り)の趣旨の回答をしたことが認められるから、右のような誤認が生じないよう配慮した処置が講じられ、出願人の利益保護が十分になされているといふことができる。

したがつて、本件審決には、特許法第一五九条第二項、第五〇条に規定する手続を履践しなかつた違法は存しない。

3 原告は、本件審決は、第一引用例及び第二引用例記載の発明の技術内容を誤認した結果、第一引用例記載の発明の構成(2)ないし(5)、(7)と本願発明の構成②ないし⑤、⑦が一致すると誤つて認定し、かつ両者の相違点の判断を誤り、また第二引用例記載の発明の構成〔2〕、〔4〕、〔5〕と本願発明の構成②、④、⑤が一致すると誤つて認定したものである旨主張するところ、本件審決の理由の要点によれば、本件審決は、本願発明は第一引用例又は第二引用例記載の発明に基づいて当業者が容易に発明をすることができたとしたものであつて、第一引用例又は第二引用例記載の発明のいずれかについて本件審決の判断を正当とするときは、本件審決には取り消すべき違法は存しないことに帰するから、まず第二引用例記載の発明についての本件審決の認定、判断に原告主張の違法が存するかについて検討する。

成立に争いのない甲第六号証及び前掲甲第七号証によれば、本願明細書には、本願発明の技術的課題(目的)、構成、及び作用効果について、次のとおり記載されていることが認められる。

(一) 本願発明は、アナログ信号を入力とし、加減演算乗除演算をはじめ各種の演算をマイクロコンピュータ等のプロセッサを用いて行うようにしたアナログ演算装置に関するもの(本願明細書第三頁第一二行ないし第一五行)であつて、マイクロコンピュータ等のプロセッサをアナログシステムに導入する場合、プロセッサの入力側にA/D変換器を、出力側にD/A変換器を設ける必要があるが、A/D変換器は回路構成が複雑で価格も高価であるため、A/D変換器とマイクロコンピュータとでシステムを構成すると、全体装置も複雑となり、その上高価となる欠点があり、特に入力信号が複雑になると、A/D変換器を入力信号の数だけ設けるか、あるいはマルチプレクサを設け複数の入力信号をここで切り換えた後A/D変換する必要があつて、構成が著しく複雑となる欠点があつた(同第三頁第一六行ないし第四頁第一四行)との知見に基づき、アナログ信号を入力としながらもプロセッサの入力側にA/D変換器やマルチプレクサ等を必要とせず、したがつて、全体構成が簡単でかつ安価なアナログ演算装置を提供すること(同第四頁第一五行ないし第一九行)を目的とするものである。

(二) 本願発明は、右目的を達成するため、特許請求の範囲第一項(本願発明の要旨)記載の構成を採用した(昭和五六年四月一七日付け手続補正書三枚目第二行

ないし四枚目第三行)ものである。

(三) 本願発明は、前記構成を採用したことにより、プロセッサの入力側に高価なA/D変換器を設ける必要がなく、全体構成を簡単かつ安価にできるものである(本願明細書第一五頁第三行、第四行)。

一方、成立に争いのない甲第四号証によれば、第二引用例記載の発明は、汎用のデジタルコンピュータを用いたD/A変換システムに関する(ABSTRACT第一行ないし第三行)ものであつて、アナログ入力を有するデジタルコンピュータは、通例かなり大規模なハードウェアを含む外部A/D変換システムを使用し、さらにいくつかのアナログ出力が必要である場合には、通例いくつかのデジタル・レジスタが装備され、そのおのおのにはデジタル数字をアナログ信号に変換するための連結スイッチと梯子回路網が備えられていた(第一欄第三行ないし第九行)が、第二引用例記載の発明は、アナログ→デジタル変換手順が外部デジタル・レジスタ及び関連の制御論理を省くことを可能とする汎用コンピュータ内のプログラムされたサブルーチンにより実行することが可能であるという知見に基づいてなされたもので、それによりコンピュータとともに用いるために装備しなければならぬ外部装置のコストを大幅に節減できる(同欄第一三行ないし第一九行)という作用効果を奏するもので、その構成を要約すると、次のとおりであることが認められる(第一欄第二〇行ないし第二欄第一四行)。

(イ) スイッチ及び梯子回路網がコンピュータ累算器のデジタル出力をアナログ形式に変換する。これは比較器によつて未知のアナログ入力と比較され、この比較器の出力はコンピュータ上のスキップ母線にゲートされる。

(ロ) 任意の数字、望ましくは最上位位置の一ビットから始まつて比較器の出力はアナログ入力累算器に記憶されている数字よりも大きい小さいかを指示する。もし小さい場合は、最上位ビットは0に変化され、大きい場合は、スキップ母線が起動してコンピュータが最上位ビットを0にクリヤする命令を飛び越すようにさせ、その後、一ビットが累算器レジスタの二番目の上位位置に挿入され、アナログ入力と第二の比較がなされる。このプロセスは、累算器レジスタ内の最上位ビットから最下位ビットへと進行して、アナログ入力信号が累算器信号よりも大きい場合は、ビットを0にクリヤする命令を飛び越すようにさせる。

(ハ) このような連続的な近似によつて、累算器のデジタル出力はアナログ入力信号と等価になる。このようにして、信号のデジタル形式への変換は、外部スイッチと梯子回路網、比較器とゲートを用い、汎用コンピュータのサブルーチンを利用して行われ、それにより外部レジスタ及び前記に必要なステップを制御するための論理システムが不要となる。

(ニ) 出力機能は直前に読み入れられた量に限定されるものでなく、計算結果を出力することにも活用できる。

(ホ) 色層分析の場合のように一連のアナログ入力に関連してこのシステムを活用するには、ディスプレイ媒体、作図装置又は他の装置で利用するため特定の値をアナログ形式で出力するのが望ましく、この目的のため複数の記憶装置を装備し、その各々をマルチプレクサスイッチ装置を介してスイッチ及び梯子回路網に接続する。

(ヘ) 数値をアナログ形式で出力するため、数値はまず累算器に装荷され、次にマルチプレクサのスイッチの一つが特定の入力出力指令を実行することによつて選択される。この指令は実行中コンピュータの記憶レジスタに現れ、スイッチ及び梯子回路網からの信号を選択された記憶ユニットへとゲートするために用いられる。

(ト) 数値を異なる記憶ユニットに出力するため第二のマルチプレクサスイッチが同様に付勢され、かつアナログ信号は第二の記憶ユニットに転送される。このプロセスは、各組のアナログ信号が異なるユニットに記憶されるまで反復される。このアナログ信号記憶方式は、それぞれのアナログ出力用にレジスタに加えてスイッチ及び梯子回路網を装備する方式に対して、汎用コンピュータと併用するために必要な補助装置を更に節減することができる。

4 以上の認定事実を前提として、第二引用例記載の発明における構成〔2〕、〔4〕、〔5〕についての本件審決の認定及び本願発明の構成②、④、⑤との同一性についての本件審決の認定の可否を逐一検討する。

(一) 第二引用例記載の発明における構成〔2〕と本願発明の構成②との同一性について

前掲甲第四証によれば、第二引用例には、「FIG 1は汎用コンピュータ及びこ

れと連結された補助装置を示す構成図である。」（第二欄第一九行、第二〇行）、「FIG 1を参照すると、汎用コンピュータの主要ユニットが点線の矩形10内の素子によつて示してある」（同欄第二九行ないし第三一行）、「コンピュータ10はプログラムされた命令を実行する際、連続的な主状態を通過する。」（第三欄第一三行、第一四行）と記載され、FIG 1（別紙図面（三）参照）には、本件審決が周辺回路とするナンドゲート22、マルチプレクサスイッチ24、出力選択ロジック回路25、デコーダ26の各ブロックは、点線の矩形10の外側に置かれており、汎用コンピュータの主要ユニットとして示されていないことが認められるから、本件審決が周辺回路を含めてコンピュータと認定したことは第二引用例でいう「コンピュータ」とは異なる用語の使い方がされているといえることができる。

しかしながら、周辺回路を含めて「コンピュータ」という用語を用いることは普通になされていることであつて、このことは前掲甲第六号証によれば、本願明細書でも、周辺回路である入力ポート21、出力ポート25を含めてプロセッサ20と称していること（第五頁第一四行ないし第一八行）が認められることから明らかである（なお、前掲甲第六号証によれば、本願発明における「プロセッサ」は「コンピュータ」と同義であると認められる。）。

したがつて、本件審決が周辺回路を含めてコンピュータと認定したのは、用語の使い方にすぎず、この点に第二引用例記載の技術内容の誤認があるとはできない。

そして、前掲甲第四号証によれば、第二引用例には、連続的な近似サブルーチンを実行し、かつ出力されるべきアナログ値を受ける記憶ユニットを選択するために必要なコンピュータ・プログラムを示す記載（第七欄第三六行ないし第八欄第七行）において、命令コード「SLA」の説明として「アナログ入力がある現在の累算器の内容より大きい場合、次の命令を飛び越す」（第七欄第五〇行ないし第五三行）、「アナログ入力がある現在の累算器の内容より大きい場合は飛び越す。」（同欄第六二行、第六三行）、「アナログ入力がある場合は飛び越す。」（同欄第七〇行）と記載されており、一方、累算器11の内容はスイッチ及び梯子回路網20でアナログ値に変換されて比較器19に送られ、アナログ入力18と比較され、比較器19の出力はナンドゲート22に送られ、プログラム中の端子17からのタイミングパルスとの一致により定まる適時にスキップ母線16を起動する（第四欄第一〇行ないし第二一行）から、「SLA」は、比較器19での比較結果により次のステップを実行するか飛び越すかを命令するものであり、これをハードウェアの動作でみれば、比較器19からの信号がナンドゲート22を介して与えられてコンピュータのプログラムが実行されているものと認められ、したがつて、第二引用例記載の発明においては、比較器からの信号がプログラムに従つてコンピュータに入力され処理されていることが明らかである。

この点に関して、原告は、本願発明における「プロセッサ」は小形化された「マイクロコンピュータ」であつて、プロセッサ20の外部にどのようなハードウェアを配置させるかは重要な判断事項である旨主張するが、本願発明の特許請求の範囲にはプロセッサを小形化された「マイクロコンピュータ」に限定する記載はないから、右主張は本願発明の要旨に基づかないものであつて理由がない。

また、原告は、第二引用例記載の発明にはナンドゲート22が存することを理由に、比較器からの信号をコンピュータに入力していない旨主張するが、ナンドゲート22がコンピュータの一要素として捉え得ることは前述のとおりであり、その存在はプログラムの実行に何らかの支障となるものではないから、原告の右主張は理由がない。

さらに、原告は、第二引用例第七欄及び第八欄記載の「コンピュータプログラム」は、アナログ入力の値をデジタル値に変換するためのサブルーチンを示して、装置全体の動作を示すプログラムでない旨主張するが、仮にそうであつても、コンピュータのプログラムがナンドゲート22を介して実行されていることに変わりがないのであるから、前記認定に何らの影響も与えるものではない。

したがつて、第二引用例記載の発明は、メモリ部11～14を有し比較器19からの出力信号を入力とするコンピュータ（10及び周辺回路22、24、25、26）を備え、メモリ部がプログラムやデータを記憶し、算術演算や論理演算をするものとした本件審決の認定に誤りはなく、この構成は、本願発明の構成②「プログラムメモリ部と演算制御部とデータメモリ部とを有し前記比較器からの出力信号を入力とするプロセッサ」と実質的に同一であることが明らかであるから、両者は右構成において一致するものとした本件審決の認定に誤りはない。

(二) 第二引用例記載の発明における構成〔４〕と本願発明の構成④の同一性について

前掲甲第四号証によれば、第二引用例記載の発明において、出力選択ロジック回路２５からマルチプレクサスイッチ２４に与えられる信号は、デコーダ２６及びメモリバツファレジスタ１２からのものであり（別紙図面（三）FIG 1参照）、これらはいずれもコンピュータに含まれること前述のとおりであるから、右信号は「コンピュータからの出力指令信号」ということができる。

原告は、第二引用例記載の発明は、本願発明のようにコンピュータから直接出力される出力指令信号（サンプリングパルス）により、D/A変換器からの出力をアナログ信号保持手段に印加する構成になつていない旨、また、第二引用例記載の発明のように、信号の経路の途中にデコーダ、出力選択ロジック回路、マルチプレクサスイッチ等が存在すれば動作タイミングや信号形態が本願発明と異なる旨主張するが、本願発明の特許請求の範囲には、出力指令信号がコンピュータから直接出力されるものとの限定はなく、また、動作のタイミングや信号形態を規定する記載もないから、右主張は本願発明の要旨に基づかないものであつて理由がない。

したがつて、第二引用例記載の発明は、スイッチ及び梯子回路網の出力信号をコンピュータからの出力指令信号（アキュムレータ１１及びメモリバツファレジスタ１２からデコーダ２６、出力選択ロジック回路２５を介してマルチプレクサスイッチ２４に与えられる信号）に従つてサンプル・ホールドするアナログ信号保持手段２４、２３を有するとした本件審決の認定に誤りはなく、右スイッチ及び梯子回路網がD/A変換器であることは当事者間に争いがないから、この構成は、本願発明の構成④「D/A変換器の出力信号を前記プロセッサからの出力指令信号に従つてサンプル・ホールドするアナログ信号保持手段を具備し」と実質的に同一であることが明らかであり、両者は右構成において一致するとした本件審決の認定に誤りはない。

(三) 第二引用例記載の発明における構成〔５〕と本願発明の構成⑤との同一性について

第二引用例記載の発明において、ナンドゲート２２がコンピュータに含まれることは、前記（一）認定のとおりである。そして、前掲甲第四号証によれば、右ナンドゲート２２は、タイミングパルス１７に依存しているが、コンピュータのプログラムがナンドゲート２２を介して実行されており、このナンドゲート２２やタイミングパルス１７がプログラムに従うコンピュータの動作の支障になるものでなく、コンピュータはプログラムメモリ部に記憶されている信号に従つて入力アナログ信号をデジタル信号に変換する動作をしているものであることが認められる。

原告は、第二引用例記載の発明においては、比較器１９の出力信号は外部からのタイミングパルス１７によりその開閉が制御されるナンドゲート２２を介してコンピュータ１０に印加されているから、A/D変換の動作がプログラムに従つて行われていない旨主張するが、第二引用例記載の発明においてナンドゲート２２がプログラムの実行の支障となるものでなく、ナンドゲート２２はコンピュータの一要素として捉えられるものであること前述のとおりであるから、ナンドゲート２２の存在を理由に、A/D変換の動作がプログラムに従つて行われていないとする原告の主張は理由がない。

したがつて、第二引用例記載の発明は、コンピュータが前記プログラムに従つて前記比較器、コンピュータ及びスイッチ及び梯子回路網で構成されるループによつて前記入力アナログ信号をデジタル信号に変換するものとした本件審決の認定に誤りはなく、この構成は本願発明の構成⑤「前記プロセッサは、前記プログラムメモリ部に記憶されている信号に従つて前記比較器、プロセッサ及びD/A変換器で構成されるループによつて前記入力アナログ信号をデジタル信号に変換し」と実質的に同一であることが明らかであり、両者は右構成において一致するとした本件審決の認定に誤りはない。

(四) 本願発明と第二引用例記載の発明との作用効果の異同について

本願発明がプロセッサの入力側に高価なA/D変換器を設ける必要がなく、全体構成を簡単かつ安価にできるという作用効果を奏することは前記３（三）認定のとおりであり、第二引用例記載の発明もこのような作用効果を奏するものであることは、以上認定の構成及び第二引用例の記載（特に第一欄第一三行ないし第二欄第一四行）から明らかである。

原告は、本願発明は動作のすべてがプログラムメモリ部からの信号によつて行われ、プロセッサの外部にA/D変換器やその他制御のための各回路を必要としない

点で第二引用例記載の発明と作用効果を異にする旨主張する。

しかしながら、周辺回路を含めてコンピュータ（プロセッサ）と称することが普通になされていることは前述のとおりであり、本願発明の前記構成②はプログラムメモリ部と演算制御部とデータメモリ部等の機能部分を有していることを規定しているのみで、その特許請求の範囲全体を検討しても、プロセッサをどのような構造のもので構成するのか規定していないから、本願発明がプロセッサの外部に制御のための各回路を必要としないとの原告の主張は、本願発明の要旨に基づかないものであつて理由がない。

5 以上のとおりであつて、本件審決には、前訴判決の拘束力ある判断に反した違法、及び本願発明が第一引用例及び第二引用例記載の発明に基づき容易になし得たものであることについての拒絶理由通知を発しないでなされた違法は、いずれも存せず、また、第二引用例記載の発明の〔2〕、〔4〕、〔5〕の構成と本願発明の②、④、⑤の構成が一致するとした本件審決の認定は正当であり、第一引用例記載の発明について検討するまでもなく、本願発明は第二引用例記載の発明に基づいて当業者が容易になし得たというべきであるから、この点においても本件審決に原告主張の違法は存しない。

三 よつて、本件審決の違法を理由にその取消しを求める原告の本訴請求は失当としてこれを棄却し、訴訟費用の負担について、行政事件訴訟法第七条、民事訴訟法第八九条の各規定を適用して主文のとおり判決する。

（裁判官 竹田稔 春日民雄 岩田嘉彦）

別紙図面（一）～（三）（省略）