

平成13年（行ケ）第103号 審決取消請求事件（平成14年9月30日口頭弁論終結）

判	決
原告	三菱電機株式会社
訴訟代理人弁理士	吉田 茂英貴
同	吉田 竹田
同	有永 田井
同	被特許庁長官
指定代理人	告 太
同	小大 林橋
	茂英貴 田信良
	明俊弘 豊一郎 雄三

主 文
特許庁が平成9年審判第1847号事件について平成13年1月15日
にした審決を取り消す。

訴訟費用は被告の負担とする。
事実及び理由

第1 当事者の求めた裁判

1 原告
主文と同旨

2 被告
原告の請求を棄却する。
訴訟費用は原告の負担とする。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は、昭和62年9月26日、名称を「半導体記憶装置」とする発明について特許出願をしたが、平成8年11月29日、拒絶査定を受け、平成9年2月13日、これに対する不服の審判を請求した。特許庁は、この請求を平成9年審判第1847号事件として審理した上、平成10年12月11日、「本件審判の請求は、成り立たない。」とする審決（以下「前審決」という。）をし、その謄本は、同月24日、原告に送達されたが、原告が提起した当庁平成11年（行ケ）第24号審決取消請求事件（以下「前訴」という。）において、平成12年9月27日、前審決を取り消す判決（以下「前判決」という。）が言い渡されたため、更に審理した上、平成13年1月15日、「本件審判の請求は、成り立たない。」とする審決（以下「本件審決」という。）をし、その謄本は、同年2月14日、原告に送達された。

2 本件特許出願の願書に添付した明細書（甲第2号証添付のものと、昭和63年1月12日付け（甲第3号証）、平成6年8月31日付け（甲第4号証）、平成8年7月30日付け（甲第5号証）及び平成9年3月14日付け（甲第6号証）各手続補正書により補正されたもの。以下「本件明細書」という。）の特許請求の範囲の請求項6に係る発明（以下「本願発明」という。）の要旨

複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを有するメインメモリを備え、前記メインメモリは、複数のメモリセルが複数列単位の複数のブロックに分割されており、

複数の記憶素子を有し、前記メインメモリから読み出された情報を記憶するキャッシュメモリをさらに備え、前記キャッシュメモリは前記メインメモリからブロック単位で読み出された情報をブロック単位で記憶し、

前記メインメモリと前記キャッシュメモリとの間に接続され、キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号及び書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従い、前記メインメモリから読み出された情報を前記キャッシュメモリに転送するための転送手段をさらに備え、

前記転送手段は、前記メインメモリの各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュ制御信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複数のトランスファゲートが非導通状態とされる、

半導体記憶装置

3 本件審決の理由

本件審決の理由は、別添審決謄本写し記載のとおり、本願発明は、特開昭56-61082号公報（本訴甲第7号証、以下「刊行物1」という。）に記載された発明（以下「第1発明」という。）に基づいて当業者が容易に発明をすることができたものであるので、特許法29条2項により特許を受けることができないというものである。

第3 原告主張の審決取消事由

本件審決の理由中、「A 事実の経過」は認める。「B 本願発明」中、1（ただし、目的、効果の認定をのぞく。）及び2は認め、3は争う。「C 刊行物記載の発明」中、「書き込み時と読み出し時で制御内容を変更することができる」との認定は争い、その余は認める。「D 本願発明の創作可能性」中、一致点の認定については「書き込み時か否かで制御内容を変更することを目的、効果とし」及び「前記ブロック単位を選択するブロック選択制御信号に従い」との点を争い、その余は認め、相違点の認定については認め、本願発明の創作可能性の点については争う。「E 本願発明の創作容易性」中、(1)'及び(2)'は認め、(3)'は争う。「F 結び」は、争う。

本件審決は、本願発明の認定を誤り（取消事由1）、かつ、第1発明の認定を誤った（取消事由2）結果、両発明の一致点の認定を誤るとともに、両発明の相違点の判断を誤り（取消事由3）、新たな拒絶理由通知を怠り（取消事由4）、前判決の拘束力に反した（取消事由5）ものであるから、違法として取り消されるべきである。

1 取消事由1（本願発明の認定の誤り）

本件審決は、「前記転送手段は『ブロック選択制御信号』によっても導通、非導通制御されていることが明らかである」（審決謄本2頁34行目～36行目）と認定するが、誤りである。

本願発明の目的、効果は、キャッシュシステムで外部制御信号を余分に増加させず、書き込み時か否かで制御内容を変更することである。この目的、効果を達成するために、ブロック選択制御信号が明示的に特定される必要はなく、ブロック選択のための機能は、公知のどのような構成で実現されてもよい。本件審決は、特許請求の範囲に明示されていない文言により本願発明の要旨にない構成を認定しており、誤りである。

2 取消事由2（第1発明の認定の誤り）

本件審決は、第1発明に関し、刊行物1（甲第7号証）に「書き込み時か否かで制御内容を変更することができる」という発明・・・が記載されている」（審決謄本4頁24行目～25行目）と認定するが、誤りである。刊行物1には、目的又は効果として、データの書き込み時と読み出し時とで異なる動作が存在することは記載されていない。

被告は、刊行物1に記載された半導体装置には、データの書き込み時と読み出し時で異なる動作が存在すると主張し、その理由として、第1に、データ入力バッファとデータ出力バッファの動作が書き込み時と読み出し時で異なることは一般的であること、第2に、データの書き換え方式（直接ストア方式とスワップ方式）においてメインメモリとキャッシュメモリの制御が書き込み時と読み出し時で異なることが周知であることを挙げている。しかしながら、上記第1の理由であるデータ入力バッファとデータ出力バッファ及び上記第2の理由であるデータの書き換え方式は、刊行物1には全く記載されていない。

3 取消事由3（相違点の判断の誤り）

本件審決は、本願発明と第1発明の相違点について、「(1) 前記メインメモリからの読み出しを、前者（注、本願発明）が、ブロック単位で行うのに対して、後者（注、第1発明）が行単位で行う（その後ブロック単位で記憶する）点、(2) メインメモリとキャッシュメモリの間に設けられる前記転送手段を、前者が、1個のトランスファゲートで形成しているのに対して、後者が2個で形成している点、(3) 前記転送手段の転送制御を、前者が、書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号（書き込み信号WE）にも従わせているのに対して、後者が書き込み信号WEに従わせているか否か明記していない点」（審決謄本5頁10行目～17行目）と認定した上、(1)～(3)の相違点は、いずれも当業者にとって容易に想到し得たと判断するが、誤りである。

本願発明では、本件特許出願の願書に添付した第5図に明記されているとおり、キャッシュ制御信号とライトイネーブル信号WEがメインメモリ・キャッシュメモリ間の転送手段に入力され、両信号に従って転送手段が制御される。確かに、

ライトイネーブル信号WE自体は、本件特許出願当時において周知の信号であるけれども、キャッシュシステムで外部制御信号を余分に増加させず、書き込み時か否かで制御内容を変更することを達成する意図の下に、キャッシュ制御信号に加えてライトイネーブル信号WEをもメインメモリ・キャッシュメモリ間の転送手段に入力し、両信号に従って転送手段を制御するという構成を採用することは、本願出願当時において当業者にとって容易想到であるとはいえない。

本件審決（甲第1号証）は、上記の構成を本願発明と第1発明の相違点(3)と認定した上、これらの構成は、例示するまでもなく周知であると認定している（審決謄本6頁15行目～22行目）。そして、被告は、「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いること」、「キャッシュメモリを有する半導体記憶装置の分野に於いて、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること」及び「キャッシュメモリを有する半導体記憶装置の分野において・・・その転送手段の導通、非導通に制御信号が用いられていること」がそれぞれ周知であると主張する。

しかしながら、まず、「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いること」は、被告主張のように特開昭62-99991号公報（乙第3号証）から周知であるとはいえない。同公報から周知であると認められる事項は、「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時又は読み出し時を知らせる制御信号として書き込み信号（ライトイネーブル信号）WEを用いること」である。一般に、ライトイネーブル信号WEは、外部から半導体記憶装置に書き込みモード又は読み出しモードを知らせることを目的とする信号であって、動作を変えて制御を行うことを目的とする信号ではない。

次に、本願発明における、メインメモリ・キャッシュメモリ間の転送手段にライトイネーブル信号WEを入力する構成は、技術的思想として一体不可分の構成であり、これが周知技術であったというためには、一体的な技術的思想として周知であったことが必要である。これを構成する各要素が周知であったとしても、そのことから直ちに、各要素を組み合わせた技術事項が周知であったということはできない。

さらに、本願発明の上記構成に加え、その目的及び効果も刊行物1（甲第7号証）に記載されていないから、その構成について、三つの周知技術を組み合わせることにより容易に想到し得たものと判断することは、誤りである。

4 取消事由4（特許法50条違反）

本件審決は、本件明細書に規定する「『書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号』という用語は・・・（実施例第5図の）『書き込み信号WE』である」（審決謄本2頁25行目～28行目）と認定する。

しかしながら、本件審決以前の審査、審判では、本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」は、刊行物1記載のいずれかの信号として、第1発明との一致点として認定されていたものであって、上記のような事実認定は、これまでの審査、審判の途中で初めてされたものであり、しかも、本件審決は、上記認定事実を本願発明と第1発明の相違点として認定した上、この相違点を「例示するまでもなく周知」と判断している。以上によれば、本件審決の上記理由は、新たな拒絶理由に該当するから、特許法159条2項において準用する同法50条の規定により、拒絶理由通知が発せられなければならない、この手続を怠ってされた本件審決は、違法である。

5 取消事由5（拘束力違反）

本件審決の「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いることは、例示するまでもなく周知であり、キャッシュメモリを有する半導体記憶装置の分野に於いて、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること、その転送手段の導通、非導通に制御信号が用いられていることも、例示するまでもなく周知である」（審決謄本6頁16行目～22行目）との認定は、前訴における被告主張の蒸し返しにすぎない。確かに、前訴判決（甲第11号証）では、被告の上記主張に対する判断は明示されていないが、前訴判決は、上記制御信号が入力される方法が認定できないから前審決（甲第10号証）の認定は誤りであるとして、これを取り消したものであって、上記制御信号が選択線から得られる信号であり、ライトイネーブル信号WEはコントロール線及び

選択線から得られる信号に含まれているとの被告主張が認められれば、前訴判決の上記判断と矛盾するから、被告の上記主張は、前訴判決の拘束力ないし既判力に抵触する。

第4 被告の反論

1 取消事由1（本願発明の認定の誤り）について

原告は、「前記転送手段は『ブロック選択制御信号』によっても導通、非導通制御されていることが明らかである」（審決謄本2頁34行目～36行目）との本件審決の認定が誤りであると主張する。

しかしながら、転送手段について、情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートを導通状態にし、残りの転送部の複数のトランスファゲートを非導通状態に制御するために、情報が読み出されるメインメモリのブロックに対応した制御信号が必要であることは、特許請求の範囲に記載がなくとも明らかである。そして、本件明細書の発明の詳細な説明には、これを実現する構成として、転送手段をブロック選択制御信号によって導通、非導通制御する実施例しか記載されていない。

本願発明は、書き込み時か否かで制御内容を変更することを目的とするものであり、本件審決は、本願発明と第1発明との対比に際して、転送手段の制御を詳細に検討するために、特許請求の範囲の請求項6に記載された本願発明を発明の詳細な説明中の記載を考慮して認定したものであり、特許請求の範囲の記載から離れて本願発明を認定するものではない。

2 取消事由2（第1発明の認定誤り）について

原告は、刊行物1（甲第7号証）には「書き込み時か否かで制御内容を変更することができる、という発明・・・が記載されている」（審決謄本4頁24行目～25行目）との本件審決の認定が誤りであると主張する。しかしながら、一般に、読み出し及び書き込みが可能な半導体記憶装置では、読み出し時には、データ入力バッファが非動作状態とされてデータ出力バッファが動作状態とされるのに対し、書き込み時には、データ入力バッファが動作状態とされてデータ出力バッファが非動作状態とされる。刊行物1に記載された半導体記憶装置も、読み出し及び書き込みが可能な半導体記憶装置であるから、データ入力バッファとデータ出力バッファの動作が、読み出し時と書き込み時で異なる。また、キャッシュメモリを有する半導体記憶装置では、メインメモリとキャッシュメモリの制御が、読み出し時と書き込み時で相違することは周知である。

3 取消事由3（相違点の判断の誤り）について

(1) 原告は、キャッシュ制御信号に加えてライトイネーブル信号WEをもメインメモリ・キャッシュメモリ間の転送手段に入力し、両信号に従って転送手段を制御するという格別の構成を採用することは、本願出願当時において例示するまでもなく周知であるとはいえないとした上、当業者にとって、相違点(3)に係る本願発明の構成を採用することは容易になし得たことであるとする本件審決の判断が誤りである旨主張する。

しかしながら、「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いること」、「キャッシュメモリを有する半導体記憶装置の分野に於いて、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること」及び「キャッシュメモリを有する半導体記憶装置の分野において・・・その転送手段の導通、非導通に制御信号が用いられていること」はいずれも周知であるから、「刊行物1に記載された第1の発明に於いて、前記転送手段の転送制御を、書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号（書き込み信号WE）にも従わせて本願発明のようにすることは、当業者が容易になし得たことである」（審決謄本6頁23行目～26行目）との本件審決の判断は正当である。

(2) 上記の各技術事項が周知であることの根拠は、以下のとおりである。

ア 社団法人情報処理学会昭和47年7月15日発行「情報処理13巻7号」（乙第1号証）には、キャッシュメモリ・システムへの情報の書き込みであるストア方式に関して、直接ストア方式では必ず主記憶とキャッシュを直ちに書きかえておくことが記載されている。そうすると、情報の読み出しの場合には、キャッシュヒット時にはキャッシュメモリから情報を読み出し、キャッシュミス時にはメインメモリから情報を読み出してキャッシュメモリに転送するのに対し、書き込みの場合には、キャッシュヒットかキャッシュミスかにかかわらず、メインメモリ

に情報を書き込む動作を行うものであるから、メインメモリとキャッシュメモリとの間の情報の転送が読み出し時と書き込み時で相違する。

また、特開昭56-77968号公報（乙第2号証）には、直接ストア方式を適用したキャッシュメモリを有する半導体記憶装置が記載されており、キャッシュメモリを有する半導体記憶装置の構成、読み出し動作及び書き込み動作が記載されている。以上のとおり、キャッシュメモリを有する半導体記憶装置の分野において、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること、その転送手段の導通、非導通に制御信号が用いられていることは、周知の事項である。

イ 特開昭62-99991号公報（乙第3号証）には、半導体記憶装置において、例えば、ライトイネーブル信号WEがハイレベルなら読み出し動作を行い、ロウレベルなら書き込み動作を行うこと、ライトイネーブル信号WEが他の制御信号とともにタイミング制御回路TCに入力される構成などが記載されており、このように、半導体記憶装置の分野において、書き込み時と読み出し時の動作を変えて制御を行う制御信号としてライトイネーブル信号WEを用いることは、周知の事項である。

(3) 原告は、半導体記憶装置の分野において、書き込み時と読み出し時の動作を変えて制御を行う制御信号としてライトイネーブル信号WEを用いることは周知ではないと主張するが、特開昭62-99991号公報（乙第3号証）の特許請求の範囲には、ライトイネーブル信号WEが、ハイレベルであれば読み出し動作を行わせ、ロウレベルであれば書き込み動作を行わせることが記載されているから、書き込み時と読み出し時の動作を変えて制御を行う制御信号として用いられている。

また、原告は、メインメモリ・キャッシュメモリ間の転送手段にライトイネーブル信号WEを入力する構成は、技術的思想として一体不可分の構成であり、これが周知技術であったというためには、一体的な技術的思想として周知であったことが必要であると主張する。しかしながら、「メインメモリ・キャッシュメモリ間の転送手段にライトイネーブル信号WEを入力する」構成が周知であるだけでなく、当業者にとって、各技術要素が周知であって、かつ、これらを組み合わせることに困難性はないから、周知技術に基づきこの構成を採用することが容易になし得たとする本件審決の判断は正当である。

なお、特開昭56-77968号公報（乙第2号証）には、メインメモリ・キャッシュメモリ間に接続される転送手段が制御信号により制御され、書き込み時と読み出し時で導通、非導通状態が異なることも示されており、このことも周知であったと認められる。

原告は、本願発明の目的、構成及び効果のいずれも刊行物1（甲第7号証）に記載されておらず、その構成について三つの周知技術を寄せ集めて容易想到と判断されているというが、本願発明の基本的な構成は刊行物1に記載されており、その目的、効果は第1発明に内在しているほか、本願発明と第1発明の相違点も、技術的に密接に関連する周知技術の結合により容易に想到し得たと判断されるのであるから、本件審決の判断に誤りはない。

4 取消事由4（特許法50条違反）について

拒絶理由通知書（甲第8号証）に示されるように、刊行物1は、審査の段階で拒絶の理由に引用され、しかも、拒絶査定の際（甲第9号証）で直接ストア方式は周知であるとの理由が示されているのであるから、審決が特許法50条に違反するところはない。また、審査の段階において、すべての周知事項を示す必要はない。

原告は、本件審決が初めて認定した相違点は新たな拒絶理由に該当すると主張するが、本件審決は、本件特許出願の拒絶査定を支持したものであり、査定の理由と異なる理由によって審判請求が成り立たないとしたものではない。拒絶の理由である適用条文及び提示すべき刊行物は、審査の段階において拒絶理由として出願人に既に通知されたものであり、審判手続において再度通知する必要はない。そして、本願発明の基本的な構成は、刊行物1にすべて記載されており、本件審決において認定した相違点(3)は、当業者であれば当然に熟知している構成に係るものであるから、この点につき新たな拒絶理由を通知しなくても、出願人に不利益とはならない。

5 取消事由5（拘束力違反）について

原告は、相違点(3)に係る被告の主張が前訴判決で退けられたものであり、前訴判決の拘束力ないし既判力に抵触すると主張する。しかしながら、相違点(3)に係

る構成が当業者にとって容易に想到し得たとする本件審決の判断は、前訴判決で判断されていないものであるから、被告の上記主張が前訴判決の拘束力ないし既判力に抵触するものではない。

第5 当裁判所の判断

1 取消事由3（相違点の判断の誤り）について

(1) 本件審決（甲第1号証）は、本願発明と第1発明との相違点(3)として「前記転送手段の転送制御を、前者（注、本願発明）が、書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号（書き込み信号WE）にも従わせているのに対して、後者（注、第1発明）が書き込み信号WEに従わせているか否か明記していない点」（審決謄本5頁15行目～17行目）を認定した上、「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いることは、例示するまでもなく周知であり、キャッシュメモリを有する半導体記憶装置の分野に於いて、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること、その転送手段の導通、非導通に制御信号が用いられていることも、例示するまでもなく周知であるので、刊行物1に記載された第1の発明に於いて、前記転送手段の転送制御を、書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号（書き込み信号WE）にも従わせて本願発明のようにすることは、当業者が容易になし得たことである」（6頁16行目～26行目）と判断するところ、原告は、この判断が誤りであると主張する。

(2) 本願発明の要旨は、上記「第2 当事者間に争いのない事実」の2記載のとおりである。

また、本件明細書（甲第6号証、平成9年3月14日付け手続補正書）には、本願発明の作用について、「この発明における半導体記憶装置の第2の態様の転送手段はキャッシュ制御信号及び書き込み制御信号に従い、メインメモリから読み出された情報をブロック単位でキャッシュメモリに転送するため、書き込み時か否かで制御内容を変更することができる」（3頁15行目～18行目）との記載が、本件明細書（甲第5号証、平成8年7月30日付け手続補正書）には、発明の効果について、「この発明の半導体記憶装置の第2の態様によれば、転送手段はキャッシュ制御信号及び書き込み及び読み出し制御信号に従い、メインメモリから読み出された情報をキャッシュメモリに転送するため、書き込み時か読み出し時かで制御内容を変更することにより、より細やかな制御を行うことができる」（3頁5行目～8行目）との記載がある。

これら本願発明の要旨及び本件明細書の記載によれば、本願発明は、「メインメモリと前記キャッシュメモリとの間に接続され、キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号及び書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従い、前記メインメモリから読み出された情報を前記キャッシュメモリに転送するための転送手段」を構成とし、これによって、「書き込み時か否かで制御内容を変更することができる」、「書き込み時か読み出し時かで制御内容を変更することにより、より細やかな制御を行うことができる」との作用、効果を奏するものと認められる。そして、本願発明のこれら構成及び作用効果は、本件審決が相違点(3)として認定しているように、刊行物1（甲第7号証）に開示されていない。

(3) 本件審決は、上記のように、相違点(3)に係る技術事項を「半導体記憶装置（メインメモリ）の分野に於いて、書き込み時と読み出し時の動作を変えて制御を行う制御信号として書き込み信号（ライトイネーブル信号）WEを用いること」、「キャッシュメモリを有する半導体記憶装置の分野に於いて、書き込み時と読み出し時で転送手段の導通、非導通状態が異なること」及び「キャッシュメモリを有する半導体記憶装置の分野に於いて・・・その転送手段の導通、非導通に制御信号が用いられていること」の3点に分割し、この分割された各技術が当業者にとって周知であったと認定するものの、更に進んで、これら三つに分割された技術を組み合わせ第1発明に適用し本願発明の構成に想到することの容易性については、何ら明示的な判断を示していない。すなわち、メインメモリ・キャッシュメモリ間に接続される「転送手段」を「キャッシュ制御信号」に加えて「書き込み及び読み出し制御信号」によって制御するようにし、本願発明の構成である「メインメモリと前記キャッシュメモリとの間に接続され、キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号及び書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従い、前記メインメモリから読み出された情報を前記キャッシュ

メモリに転送するための転送手段」を備えるようにする点の容易想到性については、何ら明示的な判断が示されていない。

(4) 被告は、本願発明の基本的な構成は刊行物1（甲第7号証）に記載されており、その目的、効果は第1発明に内在しており、本願発明と第1発明の相違点も、技術的に密接に関連する周知技術の結合により容易に想到し得たものと判断されるのであるから、本件審決の判断に誤りはないと主張する。

しかしながら、上記構成中、「転送制御を書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号にも従わせる」構成については、本件審決が相違点(3)として認定しているように、刊行物1（甲第7号証）に記載されておらず、したがって、この構成による効果が第1発明に内在するということもできない。また、本件審決が周知技術であると認定する技術分野が密接に関連するとしても、これら周知技術が記載された文献として被告が指摘するものには、メインメモリ・キャッシュメモリとの間に接続される「転送手段」を「キャッシュ制御信号」に加えて「書き込み及び読み出し制御信号」によって制御することは開示されていないのであり、本件審決の認定するこれらの周知技術の存在から直ちに本願発明の構成が容易に想到し得るといふべき根拠はない。

そうすると、本件審決が認定した相違点(3)について、メインメモリ・キャッシュメモリ間に接続される「転送手段」を「キャッシュ制御信号」に加えて「書き込み及び読み出し制御信号」によって制御する技術に関する刊行物を示さず、加えて、第1発明と本件審決が認定した周知技術との組合せの容易性についても、何ら明示的な判断を示すことなく、本願発明が当業者にとって容易に想到し得たものであるとした本件審決の判断は、是認することができず、誤りといふべきである。

2 以上のとおり、原告主張の審決取消事由3は理由があり、この誤りが本件審決の結論に影響を及ぼすことは明らかであるから、その余の点につき判断するまでもなく、本件審決は取消しを免れない。

よって、原告の請求は理由があるからこれを認容し、訴訟費用の負担につき行政事件訴訟法7条、民訴法61条を適用して、主文のとおり判決する。

東京高等裁判所第13民事部

裁判長裁判官	篠	原	勝	美
裁判官	岡	本		岳
裁判官	長	沢	幸	男