

平成 21 年 5 月 20 日判決言渡 同日原本領収 裁判所書記官

平成 19 年（ワ）第 8426 号 不当利得返還請求事件

口頭弁論終結日 平成 21 年 3 月 18 日

判 決

千葉市《以下省略》

原 告	セイコーインスツル株式会社
同訴訟代理人弁護士	増 井 和 夫
同訴訟復代理人弁護士	齋 藤 誠 二 郎
同訴訟代理人弁護士	橋 口 尚 幸
同訴訟代理人弁理士	松 尾 憲 一 郎
同 補 佐 人 弁 理 士	鈴 木 光 彌

東京都港区《以下省略》

被 告	日 本 サ ム ス ン 株 式 会 社
同訴訟代理人弁護士	大 武 和 夫
同	田 中 昌 利
同	小 原 淳 見
同	上 田 一 郎
同	須 藤 希 祥
同 補 佐 人 弁 理 士	豊 岡 静 男

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。

事 実 及 び 理 由

第 1 請 求

被告は、原告に対して、金 30 億円及びこれに対する平成 19 年 4 月 10 日から支払済みまで年 5 分の割合による金員を支払え。

第 2 事案の概要

本件は、薄膜トランジスタ装置に関する特許権を有していた原告が、被告に対して、被告が輸入、販売した別紙物件目録記載の製品（以下「被告製品」という。）が上記特許権に係る発明の技術的範囲に属し、上記特許権を侵害するとして、民法 703 条に基づき、不当利得 103 億円のうち 30 億円の返還及びこれに対する本訴状送達日の翌日である平成 19 年 4 月 10 日から支払済みに至るまで民法所定の年 5 分の割合による遅延損害金の支払を求めている事案である。

1 争いのない事実等（争いのない事実以外は、証拠を末尾に記載する。）

（1）原告の特許権

原告は、次の特許（以下「本件特許」という。また、本件特許の請求項 1 に係る発明を「本件発明」といい、本件発明に係る特許権を「本件特許権」という。）を有している。

特 許 番 号	第 2 0 2 7 9 2 9 号
発明の名称	薄膜トランジスタ装置
出願年月日	昭和 5 9 年 9 月 2 6 日
登録年月日	平成 8 年 3 月 1 9 日

特許請求の範囲請求項 1

「絶縁基板上に少なくともゲート電極、ゲート絶縁膜、半導体薄膜、ソース電極、ドレイン電極からなる薄膜トランジスタを搭載し、外部取り出し端子を複数個有する薄膜トランジスタ装置において、前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間には、少なくともその一か所が、付加薄膜半導体からなる高圧保護用の 2 端子薄膜半導体素子に接続されており、前記 2 端子薄膜半導体素子は、前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付

加ゲート電極と，前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第 1 主電極及び第 2 主電極を有し，前記絶縁基板上に形成されており，前記付加ゲート電極は，前記第 1 主電極及び第 2 主電極と平面的に重畳するように設けられており，前記付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し，前記第 1 主電極は前記共通浮遊電極に接続しており，前記共通浮遊電極は，前記外部取り出し端子と同時に，または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されており，また，前記付加ゲート電極は前記ゲート電極と同時に形成されており，前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており，前記付加薄膜半導体は前記半導体薄膜と同時に形成されていることを特徴とする薄膜トランジスタ装置。」

(2) 構成要件の分説

本件発明を構成要件に分説すると，次のとおりとなる。

- A 絶縁基板上に少なくともゲート電極，ゲート絶縁膜，半導体薄膜，ソース電極，ドレイン電極からなる薄膜トランジスタを搭載し，外部取り出し端子を複数個有する薄膜トランジスタ装置において，
- B 前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間には，少なくともその 1 箇所が，付加薄膜半導体からなる高圧保護用の 2 端子薄膜半導体素子に接続されており，
- C 前記 2 端子薄膜半導体素子は，前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極と，前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第 1 主電極及び第 2 主電極を有し，前記絶縁基板上に形成されており，
- D 前記付加ゲート電極は，前記第 1 主電極及び第 2 主電極と平面的に重畳するように設けられており，

E 前記付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し、前記第 1 主電極は前記共通浮遊電極に接続しており、

F 前記共通浮遊電極は、前記外部取り出し端子と同時に、または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されており、

G また、前記付加ゲート電極は前記ゲート電極と同時に形成されており、前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており、前記付加薄膜半導体は前記半導体薄膜と同時に形成されていること

H を特徴とする薄膜トランジスタ装置。

(3) 被告の行為

被告は、業として、被告製品を輸入し、販売した。

(4) 本件発明と被告製品との対比

ア 被告製品は、本件発明の構成要件 A、F、H を充足する。

イ 構成要件 B について

被告製品に使用されている回路保護用 T F T 素子は、外部取り出し端子と共通浮遊電極の間に存在する。

ウ 構成要件 C について

被告製品に使用されている回路保護用 T F T 素子は、ゲート絶縁膜、ゲート電極、ソース電極（本件発明の「第 1 主電極」に相当）、ドレイン電極（本件発明の「第 2 主電極」に相当）を有しており、絶縁基板上に存在する。

被告製品は、ゲート電極が薄膜半導体の基板側にある逆スタガー型である。

エ 構成要件 D について

被告製品に使用されている回路保護用 T F T 素子のゲート電極は、ソース電極（第 1 主電極）及びドレイン電極（第 2 主電極）と「平面的に重畳

するように」設けられている。

オ 構成要件 E について

被告製品に使用されている回路保護用 T F T 素子のうち，別紙物件目録図 1 の下側の素子，及び同図 2 の下側 2 つの素子に対応する素子は，ゲート電極及びドレイン電極（第 2 主電極）が「外部取り出し端子」に，ソース電極（第 1 主電極）が「共通浮遊電極」に，それぞれ接続している。

カ 構成要件 G について

被告製品に使用されている回路保護用 T F T 素子のゲート電極等は，画素用 T F T のゲート電極等と同時に形成されている。

（ 5 ）本件特許の出願の経緯

ア 原告は，昭和 5 9 年 9 月 2 6 日，本件特許の出願（以下「本件出願」といい，その願書に添付した明細書を「当初明細書」という。）をした。本件出願は，平成 5 年 8 月 2 0 日に出願公告されたが，公告時の特許請求の範囲請求項 1 は，別紙 のとおりである。

イ 本件出願について，平成 5 年 1 1 月 1 8 日，異議申立て（以下「本件異議申立て」という。）がされた（甲 1 2 ， 1 3 ）ため，原告は，補正（以下「本件補正」という。）をし（甲 1 9 ），異議決定，登録査定を経て，平成 8 年 3 月 1 9 日，本件特許の設定登録がされた。本件補正により，当初明細書の特許請求の範囲請求項 1 は，別紙 のとおり補正された（補正箇所の下線を引いた。甲 1 9 ）。

ウ 原告は，平成 1 7 年 3 月 3 0 日，訂正審判請求をし，これに対して，同年 6 月 1 日，訂正を認める旨の審決がされ（甲 3。以下，この訂正を「本件 1 7 年訂正」という。），本件特許の特許請求の範囲請求項 1 は，別紙 のとおり訂正された（構成要件 D が追加された。）。

エ 原告は，平成 2 0 年 2 月 6 日，本件特許について，訂正審判請求をし（甲 1 0 ），同年 3 月 2 6 日，訂正を認める旨の審決がされ，これにより，

本件特許の特許請求の範囲請求項１は、前記(1)で認定したとおりの記載に訂正された(甲１０、１１。以下、この訂正を「本件訂正」といい、本件訂正後の本件特許に係る明細書(甲１０添付)を「本件明細書」といい、本件訂正前の発明を「本件訂正前発明」といい、本件訂正前の明細書(甲３・６頁以下)を「本件訂正前明細書」という。)。なお、本件訂正による訂正箇所を示すと、別紙 のとおりとなる(訂正箇所に下線を引いた。)。

２ 争点

(１) 侵害論

ア 被告製品は、「２端子薄膜半導体素子」を有しているか(構成要件Ｂ、Ｃ、Ｄの充足性)

イ 「付加薄膜半導体における表面」の意味(構成要件Ｃの充足性)

ウ 第１主電極延在部を有しない構成は、構成要件Ｅを充足しないか

(２) 本件特許は、特許無効審判により無効にされるべきものか

ア 本件訂正の違法の有無

(ア) 構成要件Ｃについての訂正の違法性の有無

(イ) 構成要件Ｅについての訂正の違法性の有無

ａ 順方向接続態様に限定したことについて

ｂ 「２端子素子」の解釈に影響を与えることについて

イ 進歩性欠如の無効理由の有無

ウ 平成６年法律第１１６号による改正前の特許法(以下「旧特許法」という。)３６条５項２号違反の有無

(３) 被告の不当利得の額

３ 争点に対する当事者の主張

(１) 争点(１)ア(被告製品は、「２端子薄膜半導体素子」を有しているか)について

(原告)

ア 「２端子薄膜半導体素子」の意味について

本件発明における「２端子薄膜半導体素子」とは、保護回路の両端にあって、外部取り出し端子と共通浮遊電極を繋いでいる第１主電極及び第２主電極、これら２つの電極を有する素子のことである。理由は、以下のとおりである。

(ア) 請求項の記載

本件明細書の請求項１の記載における２端子薄膜半導体素子の規定の要点は、外部取り出し端子と共通浮遊電極との間を接続すること、付加薄膜半導体からなる高圧保護用の２端子薄膜半導体素子であること、付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極を有することの３点である。

「２端子」は、上記と の要件から、接続する対象２個と連結する２つの端子を有することを意味すると解するのが合理的である。そして、上記 から、２端子薄膜半導体素子の中心的な要素が「付加薄膜半導体」であることが理解でき、付加薄膜半導体に２つだけ存在する端子がソース電極とドレイン電極（または第１主電極と第２主電極）である。また、２端子薄膜半導体素子は、付加ゲート電極を有するが、付加ゲート電極の接続態様については何ら限定していない。

(イ) 発明の詳細な説明及び図面の参酌

本件明細書の発明の詳細な説明においては、「２端子素子」とは、ＴＦＴと同じ構造で、ＴＦＴと同時に形成される付加半導体膜を有し、「両端に第１及び第２主電極」が設けられたものであると説明されており、この記載から、「２端子」とは、素子の「両端」の「第１及び第２主電極」であると解釈される。実施例の説明についての記載及び第３図ないし第７図を見ても、いずれの「２端子素子」にも「第１及び第２主

電極」が存在することがわかる。

また、「２端子素子」についての作用効果の記載から、「２端子素子」とは、素子両端の「第１主電極」及び「第２主電極」によって、外部取り出し端子間、又は外部取り出し端子と共通浮遊電極を繋ぎ、その間に電流を流すことで静電気を分割し、ＴＦＴが静電気により破壊されることを防止する回路であることが理解される。

(ウ) 本件発明において、第１主電極及び第２主電極の２端子間の電流のオンとオフを制御する要素であるゲート電極の接続態様は、限定されておらず（浮遊するか、ソース電極と短絡するか、ドレイン電極と短絡するかのいずれでもよい）、技術的に見て、素子の内部でゲート電極とドレイン電極が短絡する必要性はない。

(エ) 本件明細書に開示された「２端子素子」の実施例は、いずれも、画素ＴＦＴと同様の構造を有し、第１主電極、第２主電極及び付加ゲート電極の３つの電極を有しているが、そういうものを本件発明では「２端子素子」と呼んでいる。

(オ) 被告の親会社である三星電子株式会社の特許出願（特開平１１－１９４３６８号公報）において、回路図上は外部と３箇所接続されたＴＦＴ素子（本件事件において被告が３端子であると主張する素子）について、「ダイオード」（本件事件において被告が２端子素子の典型として説明する素子）という用語を使用している。

(カ) ２端子薄膜半導体素子についての被告の解釈は、本件明細書には記載されていない、素子の「内部」、「外部」という要素を検討するものであり、明細書に基づかない解釈であって、失当である。

そして、ＩＣ回路においては、配線部分と素子部分が融合しており、素子の内部・外部という区別は技術的な意味に乏しいし、配線と素子を明確に区別することは困難で意味がない。

(キ) 被告は、本件明細書の実施例では、付加ゲート電極は、電氣的に浮いているか、第2主電極と素子内部で短絡しているかのいずれかであると主張するが、上記実施例は、いずれも本件発明の実施例にすぎず、本件発明を限定する意味はない。

また、被告は、本件特許の特許公報(甲2。以下「本件公報」という。)の第4図を、第2主電極及び付加ゲート電極が各々独立した端子として導体と接続されている例ではないと主張する。

しかしながら、本件公報の第4図ないし第6図においては、付加ゲート電極と第2主電極とが短絡する短絡点よりも更に外側に、第2主電極が延在しているが、この延在部が外部取り出し端子を構成する配線であるか、第2主電極を構成する配線であるかは、単に当該箇所をどう呼ぶか(どう見るか)という問題である。延在部は外部取り出し端子であると思えば、第2主電極106と付加ゲート電極12が共に「外部取り出し端子」に「独立」して接続していることになるし、延在部は第2主電極を構成する配線であると思えば、その更に外側にある「外部取り出し端子」と「独立」して接続しているのは、第2主電極だけ、ということになる。このように、同じ第4図でも、見方によって端子の数が変わるのであり、第4図が被告のいうところの「3端子素子」なのか「2端子素子」なのかは、明確には決められない。

イ 対比

被告製品の保護回路の回路保護用TFT素子は、その両端に、外部取り出し端子と共通浮遊電極を繋いでいる第1主電極及び第2主電極を有するから、本件発明の「2端子薄膜半導体素子」に該当する。

したがって、被告製品は、本件発明の構成要件B、C、Dを充足する。

(被告)

ア 「2端子薄膜半導体素子」の意味について

本件発明における「２端子薄膜半導体素子」とは、トランジスタ構造の中から外へ接続されている出入口の数が２つであるものを意味し、ゲート電極が、ソース電極及びドレイン電極とは独立して、外部と接触している構成のものは、「２端子薄膜半導体素子」に含まれないと解すべきである。理由は、以下のとおりである。

(ア) 一般に、「端子」とは「電気回路の接続をするため設けた電流の出入口」(新村出編岩波書店刊「広辞苑」第五版)とされており、本件における「端子の数」が、素子自体として外部に接続するための出入口の数(素子から出る配線の数)を意味することは、技術常識からも明らかである。

(イ) 本件訂正前明細書の特許請求の範囲第１項には、「２端子薄膜半導体素子」は、外部取り出し端子間、又は、外部取り出し端子とこれに近接して設けられた共通浮遊電極との間に接続されていること、及び「２端子薄膜半導体素子」は、付加ゲート電極を有し、付加ゲート電極はＴＦＴのゲート電極と同時に形成されていることが示されている。また、同第３項には、「２端子薄膜半導体素子」の一方の端子は、付加ゲート電極と短絡されていること(すなわち、「２端子薄膜半導体素子」の一方の端子は、付加ゲート電極そのものではないこと)が示されており、同第５項には、「２端子薄膜半導体素子」の上面には、これを構成する両端子及び付加薄膜半導体にかけて絶縁膜が形成され、かつ、前記絶縁膜の表面には、両端子のうち、いずれか一方の端子が、他方の端子表面の絶縁膜上部にまで延在されていること(すなわち、「２端子薄膜半導体素子」の両端子は、両端子にかけて絶縁膜が形成できる位置関係にあること)が示されている。

(ウ) 本件発明の「２端子薄膜半導体素子」には、第１主電極、第２主電極及び付加ゲート電極の３つの電極があるところ、これらの接続関係を

どのように構成するかで、端子の数が変わることになることは技術常識であり、T F Tなどのトランジスタは、ソース電極、ドレイン電極及びゲート電極の3つの電極を有し、それぞれ独立して外部に接続されているために「3端子素子」と呼ばれていることも技術常識である。

そして、本来、ソース、ゲート及びドレインの3電極から外部に接続する出入口が構成されていることから3端子素子というべきT F Tを、2端子素子とするためには、ゲート電極をフローティング状態にして外部と接続させないか、ゲート電極とソース電極又はドレイン電極とをT F T（素子）の内部で短絡させるかしかない。

そのため、本件明細書では、T F Tのソース、ゲート及びドレインの3電極に相当する第1主電極、付加ゲート電極及び第2主電極を有する「2端子薄膜半導体素子」は、付加ゲート電極をフローティング状態にした実施形態、又は、付加ゲート電極と第2主電極とを「2端子薄膜半導体素子」の内部で短絡させる実施形態のみを採用しているものであり、第2主電極及び付加ゲート電極が各々独立した端子として導体と接続され、素子の外部で導体を介して短絡された実施例の記載はない。

このように、実施例に素子の外部で導体を介して短絡された例が示されていないことは、素子の内部で、第2主電極と付加ゲート電極とが接触して短絡されると2端子素子といえるが、第2主電極及び付加ゲート電極が各々独立した端子として導体と接続され、素子の外部で導体を介して短絡されても、2端子素子とはいえないことを明確に示しているというべきである。

当業者としても、通常は、「3端子」となりそうなものを、本件明細書においては「2端子」としているのは、上記の実施例の態様を前提としているものと理解する。

（エ）本件明細書の特許請求の範囲は、3つの電極を有する「薄膜半導体

素子」を，あえて「２端子」と規定したのであるから，付加ゲート電極の接続態様がどのようなものであってもよいという解釈は明らかに誤りであり，本件発明は，２つの電極によって外部に接続するという構成を当然の前提としているといわざるを得ない。

(オ)原告は，本件公報の第４図ないし第６図について，延在部を外部取り出し端子であると見れば，第２主電極１０６と付加ゲート電極１２が共に「外部取り出し端子」に「独立」して接続していることになる旨主張する。

しかしながら，上記第４図ないし第６図では，「１０６第２主電極」が明らかに１つの部材として記載されており，しかも，「１２付加ゲート電極」と短絡した部分から右方向（素子の外部方向）に向かって，「１０６第２主電極」が延びているものとして明記されている。つまり，短絡点よりも更に素子の外部方向に延びている部分は，第２主電極の一部として記載されていることが明らかである。その第２主電極の延在部がどこで外部取り出し端子と接続しているかは図示されていないが，少なくとも，図示された範囲内にまで，外部取り出し端子を構成する配線が延びてきていることは記載されていない。したがって，第４図ないし第６図は，「１０６第２主電極」と「１２付加ゲート電極」とが短絡した後，「１０６第２主電極」のみが素子の外部方向に向かって延在していることを明らかにしているのである。「延在部は外部取り出し端子であると見れば」という原告の主張は，明細書の記載に基づかないものとして，失当である。

イ 対比

被告製品においては，回路保護用ＴＦＴ素子のゲート電極，ソース電極及びドレイン電極は，互いに短絡したり，電氣的に浮遊したりすることなく，それぞれ独立して，外部取り出し端子又は共通浮遊電極と接続し，

「３端子」を構成している。

したがって、被告製品の回路保護用ＴＦＴ素子は、本件発明の「２端子薄膜半導体素子」には該当せず、被告製品は、本件発明の構成要件Ｂ，Ｃ，Ｄを充足しない。

（２）争点（１）イ（「付加薄膜半導体における表面」の意味）について
（原告）

後記（３）で主張するとおり、「付加薄膜半導体における表面」とは、「付加薄膜半導体」の「外側の面」のことであり、「基板とは反対側の面」を意味するものではなく、したがって、本件発明の構成要件Ｃには、ゲート電極が半導体薄膜の上側（基板と反対側）にあるスタガー型だけでなく、ゲート電極が半導体薄膜の下側（基板側）にある逆スタガー型も含まれるから、逆スタガー型である被告製品も構成要件Ｃを充足する。

（被告）

後記（３）で主張するとおり、構成要件Ｃの「付加薄膜半導体における表面」とは、付加薄膜半導体における基板とは反対側にある面（半導体薄膜の上側）と解すべきであり、したがって、ゲート電極が半導体薄膜の下側（基板側）にある逆スタガー型は、本件発明の技術的範囲に含まれないと解すべきである。

そして、被告製品は、ゲート電極が、薄膜半導体の下側（基板側）にある逆スタガーであるから、被告製品は、構成要件Ｃを充足しない。

（３）争点（１）ウ（第１主電極延在部を有しない構成は、構成要件Ｅを充足しないか）について

（原告）

被告は、被告製品は、第１主電極延在部を有しないから、構成要件Ｅを充足しない旨主張する。

しかしながら、構成要件Ｅは、「前記付加ゲート電極及び前記第２主電極

は前記外部取り出し端子に接続し，前記第 1 主電極は前記共通浮遊電極に接続しており」というものであり，「第 1 主電極延在部」という要素は，構成要件 E には含まれない。請求項の権利範囲は，実施例に具体的に開示された態様のものに限定されるものではないことは，特許請求項解釈の基本である。被告の主張は，何の理由もなく，本件明細書の請求項 1 の権利範囲を，実施例の具体的態様に限定するものであり，請求項解釈の基本原則に反している。

（被告）

ア 本件発明が，「両方向に電流を流しやすい構造」を有するとの原告の主張が正しいと仮定しても，本件発明が，「両方向に電流を流しやすい構造」を実現するすべての構成を含むものであるとはいえない。そのような効果を発揮するのに不可欠の手段が複数存在する場合において，本件発明がその複数の手段の構成をすべて含むというためには，特許請求の範囲に記載された発明の範囲が，本件明細書にその複数の手段の構成を記載することによってサポートされていなければならない。しかしながら，本件明細書では，そのうち 1 つの方法が開示されているだけである。すなわち，原告も認めるとおり，第 7 図（a），第 6 図のように，第 2 主電極と付加ゲート電極を短絡させるとともに，第 1 主電極延在部を設けることによって，「両方向に電流を流しやすい構造」となるのである。これ以外の「両方向に電流を流しやすい構造」とする手段，つまり第 1 主電極延在部という構成を使わない手段としては，被告製品のように，1 個の T F T ではなく，ゲート電極を順方向に接続した 2 端子薄膜半導体素子と逆方向に接続した 2 端子薄膜半導体素子の 2 個を並列に繋ぐことが考えられる。しかしながら，上記の 2 つの手段は，主電極に延在部を付加するか否か，T F T を 2 個とするか否かにみられるように，全く異なる技術であり，前者が，明細書に記載されているからといって，後者が，記載するまでもなく当業者に自明な事項といえないことは明らかである。

したがって、仮に、本件発明が、「両方向に電流を流しやすい構造」を有するものと解釈するならば、明細書に唯一開示されている「第1主電極延在部」という構成によって「両方向に電流を流しやすい構造」としたものであると解釈するほかない。

イ 被告製品は、ゲート電極を順方向に接続した2端子薄膜半導体素子と逆方向に接続した2端子薄膜半導体素子の2個を並列に繋ぐことによって、「両方向に電流を流しやすい構造」を実現しているのであるから、構成要件Eを充足しない。

(4) 争点(2) ア(ア) (構成要件Cについての訂正の違法性の有無) について

(被告)

ア 構成要件Cの「付加薄膜半導体における表面」の意味

(ア) 本件訂正前明細書(甲3)では、「表面」という用語は、特許請求の範囲第1項の「付加薄膜半導体の表面」、特許請求の範囲第5項の「絶縁膜の表面」、同項の「他方の端子表面」、〔問題点を解決するための手段〕の「付加半導体薄膜表面」、〔実施例〕の「表面保護膜」(3箇所)の7箇所に記載されるのみである(上記各記載部分を、以下、末尾に上記の番号を付して、「本件記載部分」などという。)。

上記の「表面」という用語が本件明細書でどのような意味で使われているかについて、以下検討する。

(a) 本件記載部分 について

本件記載部分 の「絶縁膜の表面」という用語は、請求項第5項において、「前記2端子薄膜半導体素子の上面には、これを構成する両端子および付加薄膜半導体にかけて絶縁膜が形成され、かつ、前記絶縁膜の表面には、両端子の内、いずれか一方の端子が、他方の端子表面の絶縁膜上部にまで延在されている・・・」という記載の中で使わ

れている。これによれば，2端子薄膜半導体素子の上面に絶縁膜が形成され，前記絶縁膜の表面にいずれか一方の端子が延在されているのであるから，ここでいう「表面」とは，上記の上面，すなわち，「付加薄膜半導体における基板とは反対側にある面」を意味することは明らかである。

(b) 本件記載部分 について

本件記載部分 の「他方の端子表面」という用語における「表面」は，前記(a)の請求項5の記載にあるように，「他方の端子」の上面に絶縁膜があり，その上に「一方の端子」が延在されているのであるから，「他方の端子表面」という場合の「表面」とは，「他方の端子」の上面，すなわち，「付加薄膜半導体における基板とは反対側にある面」を意味することは明らかである。

(c) 本件記載部分 について

本件記載部分 の「付加半導体薄膜表面」でいう「表面」も，「付加薄膜半導体における基板とは反対側にある面」を意味することは明らかである。

この点に関連して，本件訂正審決（甲11）は，次のように認定した（5頁下から3行ないし6頁8行）。

「本件特許明細書には，『付加薄膜半導体の表面』が，付加薄膜半導体のどの部分を意味するのか，明確に定義されてはいないが，本件特許明細書の〔問題点を解決するための手段〕の欄には「さらに，この2端子素子が両方向に電流を流せる様に，付加半導体薄膜表面に絶縁膜を介して延在し，第1主電極と同電位の第1主電極延在部を設ける。」（本件特許公告公報第3欄第22行～第25行）と記載されており，この〔問題点を解決するための手段〕の記載はその後説明される全ての実施例を対象としていると解されるから，上記第1主電極

延在部について説明する第 6 図及び第 7 図 a を参照すると、本件特許明細書及び図面には、付加半導体薄膜の“表面”として、基板に対して反対側の上面である場合と、基板側の下面である場合と、両方の場合がそれぞれ記載されている。」

しかしながら、特許請求の範囲において、第 1 主電極延在部を規定しているのは第 5 項のみである。ところで、第 5 項には前記のとおり、「前記 2 端子薄膜半導体素子の上面には、これを構成する両端子および付加薄膜半導体にかけて絶縁膜が形成され、かつ、前記絶縁膜の表面には、両端子の内、いずれか一方の端子が、他方の端子表面の絶縁膜上部にまで延在されている」と記載されており、2 端子薄膜半導体素子の上面に絶縁膜が形成され、その上に一方の端子が延在されているというのであるから、第 6 図に対応しているものであり、第 7 図は関係のないものである。

また、本件訂正前明細書（甲 3）には、本件訂正審決が指摘する「問題点を解決するための手段」の上記記載の直前に、「T F T のゲート電極及びゲート絶縁膜と同時に形成できる付加ゲート電極及び付加ゲート絶縁膜を有し、遮光と場合によれば半導体薄膜にチャンネルを形成する。このチャンネル形成は、付加ゲート電極と第 2 主電極との短絡、または容量結合による。」と記載されている。

遮光に関して、本件訂正前明細書には、「第 3 図 a は、本発明に使用される 2 端子素子の実施例を、第 3 図 b の T F T の構造と対応して示す。T F T は逆スタガー構造例であり、基板 1、ゲート電極 2、ゲート絶縁膜 3、半導体薄膜 4、ソース、ドレイン電極 5、6 及び必要に応じ遮光膜も含む表面保護膜 7 から成る。この T F T に対応し、同時作製可能な 2 端子素子は、ゲート電極 2 と同時に形成される付加ゲート電極 1 2、以下同様に付加ゲート絶縁膜 1 3、付

加半導体薄膜 1 4 , 第 1 及び第 2 主電極 1 0 5 , 1 0 6 及び表面保護膜 1 7 より成る。この例では , 付加ゲート電極 1 2 は電氣的に浮いており , 遮光の役目を果たす。」(7 頁下から 3 行ないし 8 頁 3 行) と記載されており , 第 3 図 a の付加ゲート電極 1 2 が遮光の役目を果たすことが記載されている。さらに , 「第 4 図乃至第 6 図は , 第 3 図 b の逆スタガー型 T F T と同時に作成できる 2 端子素子の断面例である。第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 1 2 と第 2 主電極 1 0 6 を短絡した例で , 」(8 頁 7 行ないし 8 行) , 「第 5 図は , 第 4 図の例において付加ゲート電極 1 2 と第 1 主電極 1 0 5 の間に平面的重畳をなくし , いわゆるオフセットを設け , 見かけ上 V_{TH} を高くした例である。第 6 図は , さらに第 5 図の例において遮光膜を第 1 主電極延在部 2 7 として第 1 主電極 1 0 5 に接続した例で , 両方向に電流を流しやすい構造を有している。」(8 頁 1 2 行ないし 1 5 行) と , 第 4 図ないし第 6 図の付加ゲート電極 1 2 は , 第 3 図 a の付加ゲート電極 1 2 と同じ , 遮光の役目を果たすことが記載されている。

これに対し , 第 7 図 a の付加ゲート電極 1 2 は遮光の役目を果たすとは記載されていない。「必要に応じ遮光膜も含む表面保護膜 7 から成る。」(7 頁末行) と記載されているように , T F T 上部に遮光部を設けることは必要に応じなされることであり , 第 7 図 a の付加ゲート電極 1 2 は遮光のために設けられているのではないのである。

そうすると , 「T F T のゲート電極及びゲート絶縁膜と同時に形成できる付加ゲート電極及び付加ゲート絶縁膜を有し , 遮光と場合によれば半導体薄膜にチャンネルを形成する。」とは , 付加ゲート電極 1 2 は遮光の役目を果たすことが明記されている第 4 図ないし

第 6 図に示された 2 端子素子を指していると解される。

よって、「さらに、この 2 端子素子が両方向に電流を流せる様に、付加半導体薄膜表面に絶縁膜を介して延在し、第 1 主電極と同電位の第 1 主電極延在部を設ける。」との記載は、第 6 図に対応するものである。

さらに、本件訂正前明細書（甲 3）には、「第 7 図 a には第 4 図に対応する構造例を示した。・・・第 7 図 a の 2 端子素子は、遮光膜 3 7 と同時形成できる第 1 主電極延在部 5 7、以下同様に絶縁膜 4 7、第 1 及び第 2 主電極 1 0 5、1 0 6、付加半導体薄膜 1 4、付加ゲート絶縁膜 1 3、付加ゲート電極 1 2 から成り、付加ゲート電極 1 2 と第 2 主電極 1 0 6 とが短絡され、必要により第 1 が第 2 主電極配線 1 1 5、1 1 6 が設けられている。」と記載されている。これによれば、第 4 図には、第 6 図のような両方向に電流を流しやすい構造の第 1 主電極延在部はないのであるから、第 7 図 a は、第 4 図に対応するとされる以上、「この 2 端子素子が両方向に電流を流せる様に、付加半導体薄膜表面に絶縁膜を介して延在し、第 1 主電極と同電位の第 1 主電極延在部を設ける」ものに相当しないと解さざるを得ない。

なお、本件記載部分 の用語が含まれる「問題点を解決するための手段」の記載は、特許請求の範囲の記載に整合すればよいのであって、その後に説明されるすべての実施例を対象としていると解すべき理由は全くない。

以上のように、本件訂正審決が指摘する「問題点を解決するための手段」の上記記載は、第 6 図を根拠とすべきものであるから、本件記載部分 の「付加半導体薄膜表面」という「表面」も、「付加薄膜半導体における基板とは反対側にある面」を意味することにな

る。

(d) 本件記載部分 について

本件記載部分 の「表面保護膜 17」とは、基板上に形成された素子の外気に接する面に設けられる保護膜であるから、ここでいう「表面」とは、「付加薄膜半導体における基板とは反対側にある面」を意味することは明らかである。

これに対し、原告は、本件記載部分 の「表面保護膜」は、「表面」とは別の言葉であって、本件記載部分 の「表面」の解釈の参考にならないと主張する。しかしながら、「表面保護膜」とは、文字どおり「表面」を保護する膜なのであり、本件記載部分 ないし の「表面」と異なる意義であることを正当化する理由はないから、原告の上記主張は失当である。

(e) 以上のとおり、本件訂正前明細書(甲3)に記載されている本件記載部分 ないし の「表面」という用語は、すべて「付加薄膜半導体における基板とは反対側にある面」を意味していることに照らせば、本件記載部分 の特許請求の範囲請求項1の「付加薄膜半導体の表面」という用語の「表面」も、特に、「付加薄膜半導体における基板とは反対側にある面」とは異なる意義付けをしていない以上、本件記載部分 ないし と同様に、「付加薄膜半導体における基板とは反対側にある面」という意味に解すべきである。

これに対して、原告は、請求項1の「表面」の意味が、明細書のただ1箇所の記載にすぎない本件記載部分 の「表面」の意味に限定されなければならない根拠が明らかでない旨主張する。

しかしながら、原告の上記主張は、本件記載部分 のみが根拠であるかのような前提自体において誤りがある。また、明細書及び特許請求の範囲における用語は、統一的に使用しなければならないものであ

る以上，請求項 1 における「表面」もまた，本件記載部分 から までの「表面」と同様に，「上面」すなわち「付加薄膜半導体における基板とは反対側の面」を指すものと解すべきである。

(イ) 本件異議申立時の特許請求の範囲請求項 1 では，2 端子素子がスタガー型及び逆スタガー型の両者を含むかのような内容となっているのに対し，請求項 2 では逆スタガー型のみの内容となっており，請求項 3 ないし 5 は，請求項 2 及びこれを引用した請求項のみを引用しているから，逆スタガー型のみが規定されていることになる。

そして，本件公報においては，「表面」という用語が使用されているのは，本件記載部分 （本件補正で「表面」という限定が入れられた。）を除き，本件記載部分 ないし の 6 箇所なのであるから（前記のとおり，本件記載部分 ないし の「表面」という用語は，すべて「付加薄膜半導体における基板とは反対側にある面」を意味している。），「表面」とは「付加薄膜半導体における基板とは反対側にある面」であると解すべきである。そして，本件補正により，「C．前記 2 端子薄膜半導体素子は，前記付加薄膜半導体の表面に付加ゲート絶縁膜を介して設けられた付加ゲート電極を有し，前記絶縁基板上に形成されている」という記載が付加されたのであるから，結局，本件補正により，請求項 1 においても，スタガー型に限定されることが明らかになったものと解すべきである。

なお，本件補正により，特許請求の範囲請求項 1 に記載された発明はスタガー型であるが，請求項 1 を引用する請求項 2 ないし 5 に記載された発明は逆スタガー型という矛盾を含むことになるようにも思える。しかしながら，本件発明は昭和 59 年に出願されたものであり，請求項 2 ないし 5 は実施態様項にすぎないことから，本件異議申立てでは，本願発明の認定の根拠として請求項 1 のみを引用しており，異議申立ての審

理においては、専ら請求項 1 のみが審理対象となり、請求項 2 ないし 5 項の記載は考慮されることなく、特許が維持されたものと考えられる。

イ 以上に説明したことに照らせば、本件訂正の構成要件 C に係る部分のうち、「前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第 1 主電極及び第 2 主電極を有し、」との部分は、「前記付加ゲート電極とは反対側の」という修飾語を付したところで、付加薄膜半導体の表面に、付加ゲート電極と第 1 主電極及び第 2 主電極とをどのように配置するのか不明であるから、特許請求の範囲に記載された構成要件を不明瞭にするものであって、「特許請求の範囲の減縮」、「誤記の訂正」又は「明りょうでない記載の釈明」に該当するということとはできず、旧特許法 126 条 1 項ただし書に違反するものである。

また、訂正後の特許請求の範囲の記載が不明瞭であるから、特許を受けようとする発明の構成に欠くことができない事項のみを記載したものとはいえず、旧特許法 36 条 5 項 2 号の規定を満足しないものであり、独立特許要件を満たさないものとして、旧特許法 126 条 3 項に違反する。

なお、仮に、「反対側の」という修飾語を付して特許請求の範囲の記載が明瞭になったものであるとして、原告が主張するように、「表面」という用語に「付加薄膜半導体における基板側」すなわち「付加半導体薄膜の下面」をも含むようになったというのであれば、新規事項を追加するもの、又は、実質上特許請求の範囲を拡張ないし変更するものであって、旧特許法 126 条 1 項ただし書又は同条 2 項に違反することになる。

(原告)

ア 被告は、本件記載部分 及び の「表面」は、請求項 5 に使用されているのであり、請求項 5 の記載から、これらの「表面」は「上面」を指すことも明らかであり、したがって、本件記載部分 の「表面」も同じように解釈すべきであると主張する。

しかしながら，本件訂正前明細書には，請求項 1 ないし 5 の 5 つの請求項が規定されているが，請求項 2 以下はすべて請求項 1 を引用する従属請求項であり，独立請求項は請求項 1 ただ 1 つである。つまり，請求項 2 以下は，すべて請求項 1 の特定の実施態様にすぎず，請求項 5 についていえば，第 6 図の実施態様に特定した記載となっている。請求項 1 は，第 6 図のみならず，その他の実施例，すなわち，第 3 図 a，第 4 ないし 6 図及び第 7 図 a をすべて包括する，本件特許の技術全体を規定する基本的な請求項なのであり，他の請求項すべてを包含するのであるから，その請求項 1 の権利範囲が，1 実施態様にすぎない請求項 5 の記載により限定される解釈など，請求項解釈としてあり得ない。言い換えれば，本件記載部分及びの「表面」が「上面」の意味であるのは，請求項 5 が第 6 図の実施態様を規定する実施態様項であるからにすぎないことは，本件訂正前明細書を読んだ当業者ならば即座に理解できるのであり，そのような当業者が，請求項 1 に使用されている「表面」の意味が請求項 5 の「表面」の意味と同じく「上面」に限定されると解釈することなどあり得ない。

イ また，本件記載部分の「表面」は，「表面保護膜」という，基板上の 1 つの膜を指す言葉の一部であり，「表面」の部分だけ取り出すべきではない。つまり，本件記載部分の「表面保護膜」は，本件記載部分の「表面」とは別の言葉なのであり，本件記載部分の「表面」の解釈について参考にはならない。

ウ そして，本件記載部分の「表面」の意味について，被告は，第 6 図のみを参照して「上面」と解釈すべきであると主張するが，この解釈には無理がある。

すなわち，被告は，「また，TFT のゲート電極及びゲート絶縁膜と同時に形成できる付加ゲート電極及び付加ゲート絶縁膜を有し，遮光と場合によれば半導体薄膜にチャンネルを形成する。」との記載の付加ゲート電

極 1 2 は，第 4 ないし 6 図の 2 端子素子を指すことを前提として，「さらに，この 2 端子素子が両方向に電流を流せる様に，付加半導体薄膜表面に絶縁膜を介して延在し，第 1 主電極と同電位の第 1 主電極延在部を設ける。」という記載は，第 6 図にのみ対応し，第 7 図 a を含まないと主張するが，これらは別個の文章であり，前半の文章が第 4 図ないし第 6 図のことを指すとしても，後半の文章が第 6 図に限定されて第 7 図 a を含まないという理由にはならない。

また，被告は，第 7 図 a は，第 4 図に対応するとされる以上，〔問題点を解決するための手段〕に記載された，「この 2 端子素子が両方向に電流を流せる様に，付加半導体薄膜表面に絶縁膜を介して延在し，第 1 主電極と同電位の第 1 主電極延在部を設ける」ものに相当しないと解さざるを得ないというが，第 7 図 a には明確に第 1 主電極延在部が記載されており，この図を見た当業者ならば，この第 1 主電極延在部は素子に両方向に電流を流せるように設けられたものであることは即座に理解する。「第 4 図に対応する」というただ 1 文により，当業者が第 7 図 a に明記された第 1 主電極延在部の存在と，そこから容易に読み取れる回路特性を否定して考えることなどあり得ない。

仮に，被告の主張のとおり，本件記載部分 の「表面」の意味が「上面」であるとしても，なぜ請求項 1 の「表面」の意味が，明細書のただ 1 箇所の記載にすぎない本件記載部分 の「表面」の意味に限定されなければならないのか，その根拠が被告の主張では全く明らかではない。

エ 前記アで主張したとおり，本件訂正前明細書には，請求項 1 ないし 5 の 5 つの請求項が規定されているが，請求項 2 以下はすべて請求項 1 を引用する従属請求項であり，独立請求項は請求項 1 ただ 1 つである。つまり，請求項 2 以下は，すべて請求項 1 の特定の実施態様にすぎず，その権利範囲は請求項 1 より狭くなる。本件訂正前明細書に接した当業者であれば，

請求項１こそが、本件発明の権利範囲を包括する、最も重要な請求項であることを即座に理解する。

そして、本件訂正前明細書には、実施例として第３図a、第４図ないし第６図、第７図aの構成が開示されているところ、当業者であれば、これらの実施例はすべて請求項１に包含されるものと理解する。そして、当業者は、第３図a、第４図ないし第６図はすべて逆スタガー型であり、第７図aはスタガー型のTF Tであることを、容易に理解するから、請求項１は、スタガー型及び逆スタガー型の双方のTF T構造を包含するものと理解する。つまり、当業者であれば、請求項１の「付加薄膜半導体の表面」とは、単に、「付加薄膜半導体」の「外側の面」のことであり、それが「上面」（基板と反対側）か「下面」（基板と同じ側）かは、スタガー型か逆スタガー型かで変わるのであって、「表面」にはその両方が含まれると理解するのである。

オ オーム社発行の「薄膜ハンドブック」（昭和５８年１２月１０日第１版第１刷発行）でも、薄膜半導体の「上側」及び「下側」の両面を「表面」と説明している。

カ 以上のとおり、本件訂正前明細書の請求項１の「付加薄膜半導体の表面」とは、単に、「付加薄膜半導体」の「外側の面」のことであり、「基板とは反対側の面」を意味するものではないから、本件発明の構成要件Ｃが不明瞭となることはなく、また、構成要件Ｃに係る本件訂正が新規事項の追加となることもない。

（５）争点（２）ア（イ）a（構成要件Eについての訂正の違法の有無 - 順方向接続態様に限定したことについて）について

（被告）

ア（ア）本件訂正前明細書及び図面の記載には、第４図の説明として、「第４図は第３図aの２端子素子の付加ゲート電極１２と第２主電極１０６

を短絡した例で，第2主電極106に電圧が印加されたときTFTの V_{TH} とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには，TFTよりチャンネル長を長く，またはチャンネル幅を狭くすることが望ましい。また，第2主電極106を共通浮遊電極に接続することが好ましい。」と，第2図の説明として，「例えば，端子10に印加された静電気は，2端子素子110，共通電極100，2端子素子120，130，140・・・を経て端子20，30，40・・・に放電し，端子10に接続されたTFT等を保護する。そのため，この例での2端子素子は，外部取り出し電極側から共通浮遊電極側へ電流が流れるしきい値電圧より逆方向のしきい値電圧の方が低いことが望ましい。」と，それぞれ記載されている。

上記各記載によれば，外部取り出し端子と共通浮遊電極とを接続する2端子素子においては，ある外部取り出し端子に印加された静電気を，2端子素子，共通浮遊電極，他の2端子素子を経て，他の外部取り出し端子に放電すべく，外部取り出し端子から共通浮遊電極へ電流が流れるしきい値電圧より逆方向のしきい値電圧の方が低いことが望ましいとしており，第4図に示す2端子素子では付加ゲート電極と第2主電極とを短絡した上で，第2主電極を共通浮遊電極に接続することが好ましいとしているものである。このようにすると，外部取り出し端子から共通浮遊電極へ電流が流れるしきい値電圧は，逆方向しきい値電圧であり，共通浮遊電極から外部取り出し端子へ電流が流れるしきい値電圧は，順方向しきい値電圧であって，後者は前者より低くなり，外部取り出し端子に静電気が印加され，電圧が上昇して逆方向しきい値電圧以上になると，静電気は共通浮遊電極に流れ，更に順方向しきい値電圧分だけ電圧が上昇すると，静電気は他の外部取り出し端子に放電されることになる。

以上を要するに，本件訂正前明細書においては，外部取り出し端子と

共通浮遊電極とを接続する２端子薄膜半導体素子であって、付加ゲート電極を第１主電極及び第２主電極と平面的に重畳するように設け、付加ゲート電極と第２主電極とを短絡したもののに関しては、付加ゲート電極と短絡した第２主電極を共通浮遊電極に接続し、外部取り出し端子から共通浮遊電極へ電流が流れるしきい値電圧よりも逆方向のしきい値電圧の方を低くすることにより、外部取り出し端子に印加された静電気が共通浮遊電極に流れると、当該静電気を他の外部取り出し端子に放電しやすくすることが記載されているものといえる。

(イ)これに対して、本件発明は、構成要件Ｅにおいて、「前記付加ゲート電極及び前記第２主電極は前記外部取り出し端子に接続し、前記第１主電極は前記共通浮遊電極に接続しており、」と規定しているから、外部取り出し端子から共通浮遊電極へ電流が流れるしきい値電圧は、順方向しきい値電圧であると解され、逆方向のしきい値電圧よりも低くなっているから、外部取り出し端子に印加された静電気は共通浮遊電極に流れやすいとしても、当該静電気を他の外部取り出し端子に放電するには、更に逆方向しきい値電圧分だけ電圧が上昇する必要がある、放電しにくくなっている。

そうすると、本件発明は、本件訂正前明細書及び図面に開示された発明ということとはできない。

少なくとも、本件訂正前発明は、外部取り出し端子と共通浮遊電極との間に２端子薄膜半導体素子が接続されるものにおいては、外部取り出し端子に印加された静電気が共通浮遊電極に流れると、当該静電気を他の外部取り出し端子に放電しやすくなる構成要件しか備えていないと解されるのに対し、本件発明は、外部取り出し端子に印加された静電気は共通浮遊電極に流れやすいとしても、当該静電気は他の外部取り出し端子に放電しにくい構成要件を備えている以上、本件訂正は実質上特許請

求の範囲を変更するものであるといわざるを得ない。

イ これに対し、原告は、付加ゲート電極及び第2主電極を外部取り出し端子に接続する接続態様（順方向接続態様）も、本件訂正前明細書の請求項1に含まれていた旨主張する。

しかしながら、請求項に記載する発明は、少なくとも明細書の記載から自明といえる範囲のものである必要があるところ、逆方向接続態様は、実施例の「好ましい」あるいは「望ましい」態様として記載されているのに対し、順方向接続態様については、明細書に一切記載されておらず、明細書の記載から自明であるとは到底いえない。したがって、順方向接続態様は、本件発明の範囲に含まれるものではない。

また、仮に、本件訂正前の請求項1に、形式的には、上記両接続態様が含まれていたとしても、明細書に意味のあるものとして記載があったのは逆方向接続態様のみである。

ウ 次に、原告は、順方向接続態様の作用効果について、本件訂正前明細書には、「第4図は第3図aの2端子素子の付加ゲート電極12と第2主電極106を短絡した例で、第2主電極106に電圧が印加されたときTFTの V_{TH} とほぼ同じ値で電流が流れる。」（甲2・5欄34行ないし37行）との記載があり、これが順方向接続態様の作用効果であると主張する。

しかしながら、本件訂正前明細書の第4図の説明には、原告が指摘する記載に続いて、「そのため静電気保護素子と用いるときには、TFTよりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。また、第2主電極106を共通浮遊電極に接続することが好ましい。」と記載されている。この記載は、保護素子として用いるときには、画素用TFTと同じしきい値電圧では不都合なので、しきい値電圧を大きくすべきことを示しており、かつ、前記のとおり、本件訂正前明細書には、逆方向接

続態様が好ましいと記載されているのである。

したがって、原告の指摘する記載が、画素用 T F T と同じしきい値電圧で共通浮遊電極に放電することを記載したものとは解されない。

(原告)

本件明細書に、被告が引用した箇所の記載が存在することは確かであるが、これらはいずれも、第 2 図及び第 4 図という実施例について、「好ましい」あるいは「望ましい」と説明されているものにすぎない。要するに、それぞれ実施例の 1 態様にすぎないのであって、これらの記載により請求項の権利範囲が制限されるものではない。実施例はあくまで、請求項に記載された発明を実施する具体的な態様の 1 つにすぎず、実施例の記載によって請求項の権利範囲が制限されるものでないことは、請求項解釈の基本である。

そして、本件訂正前明細書の特許請求の範囲請求項 1 は、別紙 のとおりであり、付加ゲート電極及び第 2 主電極を、外部取り出し端子側に接続する態様と、共通浮遊電極側に接続する態様の双方を含んでいる。

構成要件 E に係る本件訂正は、第 4 図ないし 6 図、第 7 図 a の実施例における付加ゲート電極・第 2 主電極を、外部取り出し端子側に接続する態様を請求項 1 に明記したものであり、もともと請求項 1 に含まれていた実施態様の一部を明記したものであるから、新規事項を盛り込んだ訂正などではない。

また、本件発明の作用効果である「比較的低い電圧で共通浮遊電極へ放電され、T F T 保護の面で有効」ということについても、本件訂正前明細書には、「第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 1 2 と第 2 主電極 1 0 6 を短絡した例で、第 2 主電極 1 0 6 に電圧が印加されたとき T F T の V_{TH} とほぼ同じ値で電流が流れる。」(甲 2・5 欄 3 4 行ないし 3 7 行)との記載があり、当該箇所の記載を見た当業者であれば、第 4 図

の実施例のとおり，構成要件 E の接続方法（第 2 主電極及び付加ゲート電極を外部取り出し端子側に，第 1 主電極を共通浮遊電極側に繋ぐ接続方法）で繋がれば，外部取り出し端子側から共通浮遊電極側へのしきい値電圧が低くなり，その結果，低い電圧で静電気が放電されることは容易に理解し得る。また，当業者であれば，第 4 図と同じく第 7 図 a についても，第 2 主電極・付加ゲート電極を外部取り出し端子側に，第 1 主電極を共通浮遊電極側に接続すれば，同様に，外部取り出し端子側から共通浮遊電極側へのしきい値電圧が低くなり，低い電圧で静電気が放電されることも容易に理解し得る。

以上より，本件発明の構成要件 E 記載の構成は，本件訂正前明細書の記載の事項の範囲内で行われたものであって，新規事項の追加ではない。

（ 6 ）争点（ 2 ）ア（イ）b（構成要件 E についての訂正の違法性の有無 - 「 2 端子素子」の解釈に影響を与えることについて）について
（被告）

原告は，本件訂正により，請求項 1 において「付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し」とされ，付加ゲート電極を第 2 主電極に短絡させる必要のないことが明確化された旨主張するところ，同主張は，本件訂正は，付加ゲート電極が第 2 主電極に短絡せず，独立の端子を構成して外部取り出し端子に接続する場合も，本件発明の技術的範囲に含まれるようにしたという主張であると解されるが，もしそうであれば，前記(1)で主張したとおり，本件訂正前明細書には，付加ゲート電極が第 2 主電極に短絡せず，独立の端子を構成して外部取り出し端子に接続する場合を含むことは開示されていないから，本件訂正によって新たな技術的事項が導入されたことになる。

したがって，本件訂正は，新規事項を追加又は実質上特許請求の範囲を変更したことになり，訂正の要件を欠く違法な訂正というべきである。

(原告)

争う。

(7) 争点(2)イ(進歩性欠如の無効理由の有無)について

(被告)

ア 特開昭59-16378号公報(以下「乙1文献」という。)を主引用例とした場合の進歩性欠如

(ア) 乙1文献に記載された発明(以下「乙1発明」という。)と本件発明との相違点は、以下のとおりである。

a 相違点1

2端子薄膜半導体素子が接続されている対象が、本件発明では「前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間」であるのに対し、乙1発明では、「外部取り出し端子と接地端子との間」である点

b 相違点2

本件発明では、「前記付加ゲート電極及び前記第2主電極は前記外部取り出し端子に接続し、前記第1主電極は前記共通浮遊電極に接続して」いるのに対し、乙1発明では、「ゲートバスラインの外部取り出し端子がソース電極(第1主電極に相当)に接続され、ゲート電極とドレイン電極(付加ゲート電極及び第2主電極に相当)とが接続されてアースされる保護トランジスタを有し」ている点(換言すれば、共通浮遊電極とアースとの違いをおけば、本件発明では順方向接続であるのに対し、乙1発明では逆方向接続である点)

c 相違点3

本件発明では、「前記共通浮遊電極は、前記外部取り出し端子と同時に、または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されて」いるのに対し、乙1発明では、共通浮遊電

極はないから，その形成方法も開示されていない点

(イ) 相違点についての検討

a 相違点 1 について

(a) 2 端子薄膜半導体素子が設けられている理由は，薄膜トランジスタを静電気から保護するためであるから，本件明細書の〔作用〕の項に，「外部取り出し端子間，または外部取り出し端子と共通浮遊電極の間に非線形特性を有する 2 端子素子を挿入することにより，例えば 1 つの端子に静電気が印加されたとき 2 端子素子を通して他の端子にも静電気を分割し，実質的な印加電圧を低くする。共通浮遊電極を設けた場合には，静電気は 2 端子素子から共通浮遊電極さらに 2 端子素子を通して他の複数の端子に放電されるので，さらに印加電圧を低くすることができる。」と記載されているとおり，一方の外部取り出し端子に発生した静電気を，2 端子薄膜半導体素子を導通させて，他に逃がす必要がある。そして，同じく本件明細書の〔作用〕の項に，「TFT 装置に外部取り出し端子として共通接地端子がある場合には，この端子を共通浮遊電極と同様に利用することができる。」と記載されていることから理解できるとおり，2 端子薄膜半導体素子から逃がした静電気は，他の端子や共通浮遊電極を介して他の複数の端子に分割して流れるようにしてもよいし，接地端子に流してもよいのである。

このことは，特開昭 59 - 126663 号公報（以下「乙 2 文献」という。）に，「第 2 図のアクティブマトリックスが組立工程の途上にある時は，配線 A はフローティングとなっている。従って前記静電気が配線 A に流れる割合は，配線 A のフローティング電位と該配線の容量によって決まる。」（2 頁右下欄 16 行な

いし 3 頁左上欄 1 行) 及び「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は、配線 A も G N D 電位に接続するとよい。この場合は静電気だけでなく、周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」(3 頁左上欄 7 行ないし 1 2 行) との記載があり、配線 A が、フローティング電位であっても、G N D 電位であっても、静電気に対する保護回路の保護機能につき何ら変わりがない旨記載されていることから理解できる。

そして、本件発明では静電気が他の端子にも分割して流れるようにしているところ、乙 1 発明では接地端子に流れるようにしているのであるが、機能としては何ら変わらない。したがって、上記相違点は、実質的な相違点ではないといえる。

仮に、上記相違点が実質的な相違点であるとしても、次に示す理由により、当業者ならば何ら困難なく推考し得る設計変更にすぎない。

すなわち、乙 2 文献には、絶縁基板上に形成され、T F T で構成されるアクティブマトリックスを静電気から保護するために、各 T F T のゲートに接続され、両端に外部回路と接続するための電極を備える X ラインが、前記アクティブマトリックスの周辺領域で、直列に接続された 2 個の M O S 型トランジスタを介してフローティング電位である 1 つの配線に接続されるという保護回路を備える発明が記載されている。そして、乙 2 文献における直列に接続された 2 個の M O S 型トランジスタは、X ライン(ゲート配線) に生じた静電気を、当該トランジスタを介して配線に逃がす機能を有するものである点で、乙 1 発明の保護用トランジスタと共通しているから、乙 1 発明と上記の乙 2 文献に記載された発

明（以下「乙２発明」という。）の技術とは，共に，絶縁基板上に形成されるＴＦＴを静電気から保護するために，ＴＦＴのゲート配線と他の端子との間に保護用トランジスタを接続するものであるといえる。

そうすると，乙１発明の「保護用トランジスタは，外部取り出し端子と接地端子とに接続されている」構成に，上記の乙２発明の技術を適用し，本件発明の「外部取り出し端子とこれに近接して設けられた共通浮遊電極との間」に接続する構成に変更することは，当業者ならば何ら困難性なく推考し得る設計変更にすぎないことになる。

（ｂ）この点，原告は，乙１文献には，１つのゲートバス（外部取り出し端子）に印加された静電気を他のゲートバス（外部取り出し端子）へ分散放電するという，本件発明の技術的思想は開示されておらず，また，乙２文献にも，１つのＸラインに印加された静電気を他のＸラインに放電するという本件発明の技術的思想が記載されているとはいえないから，静電気を逃がす先を，アースから，アース接続しない共通浮遊電極に変更することは，当業者にとって容易に想定し得ることではなかったと主張する。

しかしながら，そもそも，相違点１は，２端子薄膜半導体素子が接続されている対象が，本件発明では「前記外部取り出し端子とこれに近接して設けられた共通浮遊電極との間」であるのに対し，乙１発明では，「外部取り出し端子と接地端子との間」である点であって，外部取り出し端子に印加された静電気は，２端子素子の保護回路を通じて共通浮遊電極へ，更に他の外部取り出し端子へと分割されるか否かという点ではない。

また，原告は，「両方向に電流を流しやすい構造でないもの」

も本件発明に含まれることを自認しているのであるから、本件発明の技術思想として、上記のような分散放電を挙げることは許されない。

したがって、分散放電するという技術思想が乙 1 文献にも乙 2 文献にも開示されていないことを理由として、容易想到性を否定することはできない。

また、前記 (a) で主張したように、乙 1 発明において、アースを共通浮遊電極に変更することは何らの困難性もなく推考し得る設計変更にすぎないのであるから、乙 1 文献に静電気を他の外部取り出し端子へ分散放電するという技術的思想が開示されていないことは、相違点 1 に関する判断には影響しない。

さらに、本件発明には、第 1 主電極延在部を備える旨の規定はないから、逆方向しきい値電圧以上にならないと、共通浮遊電極から他の外部取り出し端子に電流が流れるとはいえないのであり、したがって、本件発明においては、静電気は、ある外部取り出し端子の電圧が順方向しきい値電圧以上になると、当該外部取り出し端子から 2 端子素子を介して共通浮遊電極へ流れ、更に電圧が上昇して共通浮遊電極の電圧が逆方向しきい値電圧以上になると、共通浮遊電極から他の 2 端子素子を介して他の外部取り出し端子に電流が流れるのである。

一方、乙 1 発明のアースを共通浮遊電極に変更したものでは、静電気は、ある外部取り出し端子の電圧が逆方向しきい値電圧以上になると、当該外部取り出し端子から 2 端子素子を介して共通浮遊電極へ流れ、更に電圧が上昇して共通浮遊電極の電圧が順方向しきい値電圧以上になると、共通浮遊電極から他の 2 端子素子を介して他の外部取り出し端子に電流が流れるのであって、外部

取り出し端子に印加された静電気が、2端子素子の保護回路を通じて共通浮遊電極へ、更に他の外部取り出し端子へと分割される際に必要とされる電圧に差異はない。

また、乙2文献において、配線Aに蓄積された電荷が他のXラインへ流れるためには、大きな電圧上昇が必要であるとしても、当該電圧上昇があれば、他のXラインに電荷が流れることは自明である。さらに、乙2文献においては、Xラインから配線Aへ流れるしきい値電圧と配線Aから他のXラインへ流れるしきい値電圧とは同じである。そして、Xラインから配線Aへ流れるしきい値電圧については、後記b(a)のとおり、本件出願当時の当業者の技術常識を参酌すると、画素用TFTの動作電圧より高く、破壊電圧より低い電圧、すなわち、画素用TFTの動作電圧の数倍程度であると解され、本件発明の順方向しきい値電圧もこれと同程度であり、本件発明の逆方向のしきい値電圧は、これよりも大きいものと解されるから、乙2文献の配線Aから他のXラインへ流れるしきい値電圧は、本件発明の逆方向しきい値電圧より小さいと解するのが相当である。

以上のことと、本件明細書の特許請求の範囲には、順方向しきい値電圧及び逆方向しきい値電圧の数値に関する規定はないことから、乙2文献には1つのXラインに印加された静電気を他のXラインに放電するという本件発明の技術的思想が記載されているとはいえないとの原告の主張は誤りである。

1つの端子に印加された静電気を他の端子に分散放電することは、特開昭59-143368号公報（以下「乙3文献」という。）にも記載されている。また、保護回路を介してではないが、特開昭58-116573号公報（以下「乙8文献」という。）

には、「この時列電極線 3 は基板周辺において、第 2 図の A、D で示される様に互いに短絡して構成するとともに、さらに、E、F、G、H で示される様に周辺で行電極線ともコンタクトを取り、すべての行電極線と列電極線が同電位となる様にする。以上の様にマトリックスアレー基板を構成する事により、基板の以降の工程において、いかなる静電気にさらされても、基板内は常に同電位に保たれるので、静電気に対し、非常に強くなる。」(2 頁左下欄 9 行ないし 17 行)と記載されているし、特開昭 58 - 79219 号公報(以下「乙 9 文献」という。)には、「電極パターン(1)、(2)及びそのリード端子(3)、(4)を形成するとき同時に、各電極間の短絡部(6)を形成し、この状態でラビングにより配向処理を行えば、各電極間が同電位に保たれるため配向処理面の絶縁破壊は防止される。」(2 頁右上欄 3 行ないし 8 行)と記載されている。

このように、静電気による絶縁破壊を防止するために、1 つの端子に印加された静電気を他の端子に分散放電して実質的な印加電圧を低くすることは、周知の技術であったのであり、この点に何らの進歩性もない。

原告は、乙 2 文献に分散放電の技術思想が開示されていないことの根拠として、配線 A の容量が大きい点を挙げている。

しかしながら、本件発明の共通浮遊電極にも一定の静電容量があることは、原告も認めるところであり、かつ、本件発明の請求項には、共通浮遊電極の静電容量について何ら規定されていないから、共通浮遊電極ないし配線 A の容量の違いを理由とする原告の主張は、請求項の記載に基づくものではなく、失当である。

(c) また、原告は、乙 2 文献は、組立てが完了してからは、配線 A

を G N D 電位に接続することを推奨しているものであり，配線 A がフローティング電位であっても，静電気に対する保護回路の保護機能につき何ら変わりがない旨は記載されていないと主張する。

しかしながら，乙 2 文献には，「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は，配線 A も G N D 電位に接続するとよい。この場合は静電気だけでなく，周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」（ 3 頁左上欄 7 行ないし 1 2 行）と記載されているのであって，配線 A を G N D 電位に接続したときの効果は，「周辺回路を通して入力するサージ」に対する効果である。したがって，静電気から保護するために G N D 電位にすることを推奨しているとは解されず，むしろ，静電気から保護するためには，配線 A をフローティング電位にすることと G N D 電位にすることとの間に差はないことが記載されていると解するのが相当である。

また，仮に，配線 A をフローティング電位にすることと G N D 電位にすることとが同等でないとしても，組立工程においては，配線 A をフローティング電位にすることにより，静電気から保護していることは明らかであるから，乙 2 文献には，配線 A を， G N D 電位に接続しても，フローティング電位に接続しても，静電気から保護し得ることが記載されていることに変わりはない。なお，本件明細書の「〔従来技術〕」の項には，「 T F T は通常ガラス基板等の絶縁基板上に設けられるため，製造プロセス中や実装工程中の静電気破壊しやすい問題を有していた。」と記載されており，「〔発明の効果〕」の項には，「上述の如く，本発明によれば T F T 装置の特に実装工程における静電気破壊をなくせるので最終的な歩留りが向上し，コスト低減に役立つ。」と記載されている。このように，

本件発明の課題の主眼は、T F T 装置の製造プロセス中や実装工程中の静電気破壊を防止することにある。このことから、乙 2 文献記載の技術を乙 1 発明に適用する動機付けは十分にあるといえる。

b 相違点 2 について

(a) 静電気を逃がす先がアースか共通浮遊電極かは、実質的な相違ではないか、あるいは、設計変更にすぎないことは既に示したとおりであるから、相違点 2 の検討においては、付加ゲート電極及び第 2 主電極を共通浮遊電極に接続し、第 1 主電極を外部取り出し端子に接続することに換えて、付加ゲート電極及び第 2 主電極を外部取り出し端子に接続し、第 1 主電極を共通浮遊電極に接続すること、すなわち、逆方向接続を順方向接続に変更することが容易か否かを検討する。

前記 a のとおり、外部取り出し端子に印加された静電気が、2 端子素子の保護回路を通じて共通浮遊電極へ、更に他の外部取り出し端子へと分割される際に必要とされる電圧は、上記両者の接続の仕方において差異はないから、両者の接続の仕方において差異があるのは、静電気が外部取り出し端子から 2 端子素子を介して共通浮遊電極へ流れる際のしきい値電圧である。

また、本件明細書（甲 1 0 添付）には、「以上の 2 端子素子は、内部の T F T 動作に影響を与えない様、チャンネル長、チャンネル幅、 V_{TH} の選択がされるが、さらに付加ゲート電極と第 1 主電極の間、第 1 主電極延在部と第 2 主電極の間にオフセット領域を設定することも可能である。」、「2 端子素子は、それ故 T F T 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。」、「第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 1 2 と第 2 主電極 1 0 6 を短絡した例

で、第2主電極106に電圧が印加されたときTF Tの V_{TH} とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには、TF Tよりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。また、第2主電極106を共通浮遊電極に接続することが好ましい。第5図は、第4図の例において付加ゲート電極12と第1主電極105の間に平面的重畳をなくし、いわゆるオフセットを設け、見かけ上 V_{TH} を高くした例である。」との記載がある。すなわち、2端子素子は、内部のTF T動作に影響を与えないように、TF Tの V_{TH} より高く、破壊電圧より低い電圧で電流が流れるようにするために、TF Tよりチャンネル長を長くすること、チャンネル幅を狭くすること、逆方向接続すること、オフセットを設けることが記載されている。

しかしながら、本件明細書には、2端子素子を、画素TF Tの動作電圧とほぼ同じ電圧で電流が流れるようにすることや、当初、共通浮遊電極に電流が流れるが、共通浮遊電極の電位が上昇して電流を流さない方向に自動的に変化することなどは記載されていないのみならず、画素TF Tの動作電圧の数倍の逆方向しきい値電圧以上とならなければ、2端子素子からの放電が開始しない接続態様である、付加ゲート電極と第2主電極とを短絡した上で、第2主電極を共通浮遊電極に接続する態様を推奨している。

乙1文献には、「第4図に保護トランジスタ Tr_3 のゲート電圧 V_G 対ドレイン電流 i_D 特性をn-チャンネル飽和ドレイン電流 i_{DS} で規格化して示す。図に於いて $V_G(+)$ 側で i_D が急増する電圧を閾値電圧 V_T とすれば、図の特性では $3V_T$ 程度のゲート電圧印加により、 i_D はほぼ飽和電流に達する。保護トランジスタを2段直列接続した第3図の構成では、 Tr_1 のゲートに

対する入力端 2 a から見た回路のインピーダンスは $V_G = 2 V_T$ までは大きいですが、 $V_G > 2 V_T$ となると急激に低下し、ゲート電極 2 に過大な電圧が印加されるのを防止することができた。第 4 図の特性例を考慮すると、保護トランジスタを 3 段に接続すれば、 T_{r1} を十分に飽和電流まで駆動でき、且つ、飽和電流を与えるゲート電圧以上ではゲート回路の入力インピーダンスは急激に減少する。この様に保護トランジスタの接続段数は必要に応じて増減すれば良い。」(2 頁左下欄 14 行ないし右下欄 11 行)との記載がある。すなわち、画素 TFT (T_{r1}) を十分に飽和電流まで駆動でき、かつ、過大な電圧が印加するのを防止するために、保護 TFT (T_{r3}) のしきい値電圧を画素 TFT のしきい値電圧の 3 倍程度とすることが記載されている。

また、乙 1 文献には、「ゲートバスに加えられた正電圧が特に高くない場合 ($0 < V_G < 20 \sim 30 V$) 保護トランジスタの p チャンネル電導は顕著でなく、ゲートバス 51, 52, 53 に加えられたゲート電圧は減衰することなく各要素トランジスタ (31, 32, 41, 42 等) のゲートに印加され、各要素トランジスタを十分にオンすることができる。更に過大正電圧が印加されれば、保護トランジスタ 21, 22, 23 の p - チャンネル電導が動き、要素トランジスタのゲート電圧を低下させることができる。」(3 頁左下欄 5 行ないし 15 行)との記載がある。これは、第 5 図に示された実施例 2 に関する説明であるが、前記記載にかんがみれば、保護 TFT の逆方向しきい値電圧は、画素 TFT を十分に飽和電流まで駆動でき、かつ、過大な電圧が印加するのを防止するために必要な、画素 TFT のしきい値電圧の 3 倍程度に相当するものとして記載されているものと解される。このことは、

乙 1 文献に，「最近ではゲート絶縁膜に窒化シリコン，窒化，酸化シリコン，酸化シリコン等を用いた a・Si TFT 素子では，10V 内外又はそれ以下のゲート電圧で十分にトランジスタのオン・オフ制御が可能となり，その工業的応用の可能性が極めて濃厚となって来た。」（2 頁左上欄 1 行ないし 7 行）と記載されていることから裏付けられる。

さらに，特開昭 59 - 50559 号公報（以下「乙 5 文献」という。）には，「本発明の特徴は，上記目的を達成するために，非晶質 Si で形成される半導体素子を含む直列回路ごとに，そのブレイクダウン電圧よりは小さいが回路駆動用電圧よりは大きいクランプ電圧値をもつクランプ回路を設けて，このクランプ回路で静電気を放電させる構成とするにある。」（2 頁右上欄 11 行ないし 16 行），「本体の薄膜トランジスタ 32 と同一プロセスでクランプ回路内の薄膜トランジスタを構成した場合，本体素子をしきい値電圧以上で駆動させることが望ましく，そして第 22 図実施例のように 2 個以上直列接続した薄膜トランジスタをクランプ回路内に使用することが望ましい。」（4 頁左上欄 2 行ないし 8 行）と，クランプ電圧値は，本体 TFT のブレイクダウン電圧よりは小さいが駆動用電圧よりは大きい，本体 TFT のしきい値電圧の数倍程度が望ましいことが記載されている。

以上のことから，本件出願当時の当業者の技術常識としては，保護用 TFT の動作電圧は，画素用 TFT の動作に影響を与えないようにするために，画素用 TFT の動作電圧より高く，破壊電圧より低い電圧，すなわち，画素用 TFT の動作電圧の数倍程度としていたのであり，本件明細書の記載や本件発明においても同様と考えられる。

さらに、乙５文献の第５図及び第２１図には、ＴＦＴを静電気から保護するために、保護用ＴＦＴを１個だけ順方向に接続することが示されている。

以上のとおり、本件明細書には、２端子素子は、内部のＴＦＴ動作に影響を与えないように、ＴＦＴのＶＴＨより高く、破壊電圧より低い電圧で電流が流れるようにすることが記載されており、また、２端子素子のしきい値電圧は、チャンネル長やチャンネル幅などで調整できるものであるから、本件発明の２端子素子が順方向接続であるからといって、特許請求の範囲に２端子素子の順方向しきい値電圧の数値が規定されていない以上、内部のＴＦＴと同程度のしきい値電圧であるとはできず、乙１発明の２端子素子と同様、内部のＴＦＴを十分に飽和電流まで駆動でき、かつ、過大な電圧が印加するのを防止するためのしきい値電圧を有するものと解すべきである。

また、乙１文献においては、第３図に２個の保護用ＴＦＴを順方向接続することが示されており、「この様に保護トランジスタの接続段数は必要に応じて増減すれば良い。」（２頁右下欄１０行ないし１１行）との記載は、保護用ＴＦＴを１個だけ順方向接続することを示唆するものであり、乙５文献に具体的に保護用ＴＦＴを１個だけ順方向に接続することが示されていることを考慮すれば、乙１発明において、保護トランジスタを順方向接続とし、かつ、１個のみとすることに何らの困難性もない。

したがって、乙１発明の保護回路の接続態様について、逆方向接続を順方向接続に変更することは容易である。

(b) この点、原告は、本件発明は、２端子薄膜半導体素子の導通する電圧を、画素ＴＦＴの動作電圧と同程度にまで低下させて効果的

に静電破壊を防止することができるのに対して、乙１文献に開示された保護回路の接続態様では、しきい値電圧の２倍以上（乙１の第３図）、又は数倍の逆方向しきい値電圧以上（乙１の第５図）とならなければ、保護回路からの放電が開始しない旨主張する。また、原告は、本件発明の構成においても、駆動時に外部取り出し端子に要素トランジスタの動作電圧以上の駆動信号が印加されると、２端子薄膜半導体素子から共通浮遊電極に当初電流が流れるが、その先の共通浮遊電極が接地端子や電源端子に接続されていないため、共通浮遊電極の電位が上昇する方向に変動し、このように、共通浮遊電極の電位が上昇すると、駆動信号が印加された外部取り出し端子と共通浮遊電極との間の電位差が減少し、そうすると、２端子薄膜半導体素子は電流を流さない方向に自動的に変化し、その結果、駆動信号の漏れ電流が減少し、電圧降下も回復し、要素トランジスタには正常な駆動信号が供給され、したがって、本件発明においては、構成要件Ｅの接続態様を採用して、２端子薄膜半導体素子の動作電圧を、保護すべき要素トランジスタ（画素ＴＦＴ等）の動作電圧程度まで低下させても問題は生じない旨主張する。

しかしながら、本件明細書の特許請求の範囲には、順方向しきい値電圧及び逆方向しきい値電圧の数値に関する規定はなく、また、本件明細書には、しきい値電圧を考慮すると、付加ゲート電極及び第２主電極は共通浮遊電極に接続することが好ましいとしか記載されておらず、付加ゲート電極及び第２主電極を外部取り出し端子に接続することにより、２端子薄膜半導体素子の導通する電圧を、画素ＴＦＴの動作電圧と同程度にまで低下させることができ、ＴＦＴの保護の面でメリットがあるとは記載されていない。また、第１主電極を共通浮遊電極に接続することにより、２

端子薄膜半導体素子の動作電圧を，画素 T F T の動作電圧程度まで低下させても問題は生じないことも記載されていない。

原告の上記主張は，本件明細書の記載に基づかないのみならず，本件明細書の記載に反するものであって，失当である。

また，順方向接続態様は，本件明細書に一切記載されておらず，本件明細書から自明といえるものでもなく，順方向接続態様の作用効果や技術的意義についても記載がないのであるから，構成要件 E に係る本件訂正は，新規事項の追加に該当する。仮に，この訂正が新規事項の追加に該当しないとすれば，順方向接続態様と逆方向接続態様とは，適宜選択できる設計的事項にすぎないことになる。

原告の上記主張は，保護回路の動作電圧を要素トランジスタの動作電圧と同程度に設定すると，当初は，駆動信号が共通浮遊電極に漏れるが，流れ込んだ静電気によって共通浮遊電極の電位が上昇して，外部取り出し端子と共通浮遊電極との電位差が保護回路の動作電圧以下となるから，それ以降は漏れ電流が減少し，要素トランジスタの動作に支障が生じない，というものである。

そこで，原告が主張するように，「保護回路の動作電圧」（以下「 V_{th} 」という。）と「要素トランジスタの動作電圧」を同程度に設定した場合を想定する。上記の説明から，駆動信号の電圧は， V_{th} より大きいことは明らかであるところ，これを，乙 1 文献の記載を参考にして，仮に $3 V_{th}$ とする。 $3 V_{th}$ の駆動信号を外部取り出し端子に印加すると，保護回路はオンとなり，共通浮遊電極に静電気が流れ込む。やがて，共通浮遊電極の電位が $2 V_{th}$ になると，保護回路はオフとなり，静電気は共通浮遊電極に流れることはなく，要素トランジスタが正常に動作するこ

とになる。そして、これ以降は、駆動信号が $3V_{th}$ を超えた場合にのみ保護回路がオンとなるのであり、 $3V_{th}$ 以下ではオンとならない。

すなわち、保護回路の動作電圧を要素トランジスタの動作電圧と同程度に設定し、順方向接続態様とした作用効果とは、 $3V_{th}$ の駆動信号を印加した当初に、共通浮遊電極の電位が $2V_{th}$ になるまで、共通浮遊電極に駆動信号を漏れ続けさせるという効果であり、共通浮遊電極の電位が $2V_{th}$ になり、要素トランジスタが正常に動作する状態になって以降は、駆動信号が $3V_{th}$ を超えないと保護回路はオンとならないから、乙1文献のように、しきい値電圧が $3V_{th}$ の保護回路を使用したときと、保護回路の導通電圧に差はないこととなる。

この説明は、駆動信号の電圧を $3V_{th}$ と仮定した場合に限らず、 V_{th} を超えるすべての駆動信号の電圧について当てはまるものである。

したがって、原告の主張する、「本件発明は、乙1文献と比較して、2端子素子の導通電圧を画素TFTの動作電圧まで低下させることで、より有効に静電破壊を防止する」との作用効果は、駆動信号を印加した当初のごく短時間には奏することができるが、通常使用状態になって以降には奏することのできないものである。

(c) また、原告は、乙1発明では、保護回路のトランジスタが画素TFTの動作電圧とほぼ同じ電圧で動作するときは、画素TFTの駆動に障害が生ずるおそれがあるとともに、駆動時において駆動信号が漏れ出して消費電流も増加するから、乙1発明の構成に、本件発明の構成要件Eの接続態様のような低い動作電圧を有する保護回路を組み合わせることについては、阻害要因がある旨主張する。

しかしながら、原告の上記主張は、本件発明について、特許請求の範囲に順方向しきい値電圧が低いことを規定していることを前提にしている点で誤っているのであるが、その点はおくとしても、乙１発明の２端子素子がアースに接続されたことを前提としている点で誤っている。すなわち、相違点１について主張したとおり、乙１発明において、アースは共通浮遊電極と実質的に同等なものであるか、又は、アースを共通浮遊電極に変更することは何らの困難性もなく推考し得る設計変更にすぎないのであるから、検討すべきは、アースを共通浮遊電極に置換した乙１発明についての相違点２の容易推考性である。

そして、置換した乙１発明について、低い動作電圧を有する保護回路を組み合わせることに阻害要因がないことは明らかである。

原告の上記主張は、乙１文献において、保護用ＴＦＴと画素用ＴＦＴを同時形成していることを理由に、保護用ＴＦＴの順方向しきい値電圧が画素用ＴＦＴの順方向しきい値電圧と同程度となることを前提としたものと解される。

しかしながら、本件明細書にも記載されているとおり、保護用ＴＦＴと画素用ＴＦＴを同時形成しても、チャンネル長、チャンネル幅及びオフセット領域などを設定することにより、しきい値電圧を調整することができることは技術常識であるから、保護回路のトランジスタの順方向しきい値電圧は、画素用ＴＦＴの順方向しきい値電圧と同程度であるとは限らない。

乙１文献において、上記技術常識を参酌して、トランジスタのしきい値電圧を V_{th} より大きな適宜の値にすれば、接続先が共通浮遊電極であろうとアースであろうと、トランジスタを順方向接続の１段にすることに何の問題もないことは明らかである。

そして、本件発明においても、2端子薄膜半導体素子と薄膜トランジスタは同時形成されているが、2端子薄膜半導体素子の順方向しきい値電圧の値は規定されておらず、また、本件明細書には、「以上の2端子素子は、内部のTFT動作に影響を与えない様、チャンネル長、チャンネル幅、 V_{TH} の選択がされるが、さらに付加ゲート電極と第1主電極の間、第1主電極延在部と第2主電極の間にオフセット領域を設定することも可能である。」、「第4図は第3図aの2端子素子の付加ゲート電極12と第2主電極106を短絡した例で、第2主電極106に電圧が印加されたときTFTの V_{TH} とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには、TFTよりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。」との記載があるから、前記しきい値電圧は、画素用TFTの動作電圧より高いと解すべきであり、同程度であるとはいえない。上記「内部のTFT動作に影響を与えない様」とは、乙1の記載を参酌すれば、内部のTFTを十分飽和電流まで駆動できる電圧以上のしきい値電圧にすべきものと解される。

したがって、保護用TFTと画素用TFTが同時形成されることを理由に、保護用TFTの順方向しきい値電圧が、画素用TFTの順方向しきい値電圧と同程度となるという原告の議論の前提は、乙1発明においても本件発明においても、誤っている。

(d) 以上より、相違点2は当業者が容易に推考し得ることである。

c 相違点3について

乙1文献には、「以上説明したように本発明では、保護トランジスタの作製は各要素トランジスタの製作工程と全く同じ工程で同時に可能であり、且つ各要素トランジスタの過大ゲート電圧が印加されるの

を防止できた。こうして特に工程数を増やすことなく，保護トランジスタをアレー中に作り込むことができ，アレーの各要素トランジスタのゲート絶縁膜破損を防止することができ，ＴＦＴを大規模に集積したＴＦＴアレーを歩留り良く製作することが可能となった。」（３頁左下欄１６行ないし右下欄５行）と記載されている。

また，特開昭５８－７８７４号公報（以下「乙４文献」という。）には，「工程数の増加は必然的にコストの上昇と歩留りの低下に反映するので工程数の増加を防ぎつつ保護ダイオードを内蔵させたＭＯＳトランジスタを得ることは極めて重要である。」（３頁左上欄１０行ないし１４行）と記載されている。

これらの記載にあるように，ＴＦＴを静電気から保護するためのトランジスタやダイオードの作製において，工程数を増やさないようにすることは周知の課題といえ，共通浮遊電極はソース・ドレイン電極，ゲート電極やソースライン，ゲートラインなどと同じ材料で作製されるものであるから，乙１発明に共通浮遊電極を形成する場合に，工程数を増やさないようにするために，これらと同時に形成することは，当業者が当然に採用する技術的手段にすぎない。

したがって，相違点３は当業者が容易に推考し得ることである。

（ウ）以上のとおり，本件発明は，乙１発明及び乙２発明の技術に基づいて，当業者が容易に発明をすることができたものである。

イ 乙３文献を主引用例とした場合の進歩性欠如

（ア）乙３文献に記載された発明（以下「乙３発明」という。）と本件発明との相違点は，以下のとおりである。

ａ 相違点１

２端子薄膜半導体素子が接続されている対象が，本件発明では，「前記外部取り出し端子間とこれに近接して設けられた共通浮遊電極

との間」であるのに対し，乙３発明では，外部取り出し端子と共通 GND 電位（VSS）となる電源配線との間である点

b 相違点 2

本件発明では，２端子薄膜半導体素子は，薄膜トランジスタと同じ絶縁基板上に形成されているのに対し，乙３発明では，保護回路用 TFT の形成方法は記載されていない点

c 相違点 3

本件発明では，「前記付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し，前記第 1 主電極は前記共通浮遊電極に接続して」いるのに対し，乙３発明では，「ソース又はドレインのいずれか一方は入力端子に接続され，他方のソース又はドレインはゲートと接続された後に電源配線に接続されている」点

d 相違点 4

本件発明では，「前記共通浮遊電極は，前記外部取り出し端子と同時に，または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されて」いるのに対し，乙３発明では，共通浮遊電極はないから，その形成方法も記載されていない点

e 相違点 5

本件発明では，付加ゲート電極はゲート電極と同時に形成されており，付加ゲート絶縁膜はゲート絶縁膜と同時に形成されており，付加薄膜半導体は半導体薄膜と同時に形成されているのに対し，乙３発明では，保護回路用 TFT の形成方法は記載されていない点

（イ）相違点についての検討

a 相違点 1 について

（a）前記ア（イ）a で主張したように，本件発明においては，一方の外部取り出し端子に発生した静電気を，２端子薄膜半導体素子を

導通させて、他に逃がす必要があり、そして、2端子薄膜半導体素子から逃がした静電気は、他の端子や共通浮遊電極を介して他の複数の端子に分割して流れるようにしてもよいし、接地端子に流してもよい。

そして、乙3文献には、「第1図に示す本発明による保護回路では、各入力端子がTFTを介して V_{SS} 乃至 V_{DD} に接続されているため、基本的にTFTLSIの総ての端子がいくつかのPN接合を介して接続されることになる。従っていずれかの端子に、静電気が印加しても、PN接合乃至ソース・ドレインのブレイクダウンにより、TFTLSI回路全体に静電気が伝わり、TFTLSIの各部分の間の電位差はあまり大きくならないため、静電気による破壊に対して強くなる。」(2頁左下欄9行ないし18行)と記載されており、各入力端子がTFTを介して V_{SS} に接続されていると、いずれかの端子に静電気が印加しても、PN接合のブレイクダウンにより、TFTLSI回路全体に静電気が伝わると解されるところ、この作用は上記の本件発明の作用と同じである。

したがって、相違点1は実質的な相違点ではない。

- (b) 仮に、相違点1が実質的な相違点であるとしても、前記ア(イ)aで主張した乙2発明の構成からすれば、乙3発明の「保護回路用TFTは、外部取り出し端子と共通GND電位(V_{SS})となる電源配線とに接続されている」構成に、上記の乙2発明の技術を適用し、本件発明の「外部取り出し端子とこれに近接して設けられた共通浮遊電極との間」に接続する構成に変更することは、当業者ならば何ら困難性なく推考し得る設計変更にすぎない。
- (c) 原告は、乙3発明は、静電気を電源ラインに逃がすことを特徴とする発明であり、入力配線に印加された静電気を他の入力ライン

に分散させるという技術的思想は開示されていないと主張する。

しかしながら、乙3文献には、「第1図に示す本発明による保護回路では、各入力端子がTFTを介して V_{SS} 乃至 V_{DD} に接続されているため、基本的にTFTLSIの総ての端子がいくつかのPN接合を介して接続されることになる。したがっていずれかの端子に、静電気が印加しても、PN接合乃至ソース・ドレインのブレイクダウンにより、TFTLSI回路全体に静電気が伝わり、TFTLSIの各部分の間の電位差はあまり大きくならないため、静電気による破壊に対して強くなる。」(2頁左下欄9行ないし18行)と記載されており、具体的な接続経路を理解できるか否かとは関係なく、入力配線に印加された静電気を他の入力ラインに分散させるという技術的思想が記載されていることは明らかである。

b 相違点2及び5について

乙1文献に、「以上説明したように本発明では、保護トランジスタの作製は各要素トランジスタの製作工程と全く同じ工程で同時に可能であり、且つ各要素トランジスタの過大ゲート電圧が印加されるのを防止できた。こうして特に工程数を増やすことなく、保護トランジスタをアレー中に作り込むことができ、アレーの各要素トランジスタのゲート絶縁膜破損を防止することができ、TFTを大規模に集積したTFTアレーを歩留り良く製作することが可能となった。」(3頁左下欄16行ないし右下欄5行)と記載されているように、信号処理用TFTと保護回路用TFTとを、工程数を増やすことのないように、同じ絶縁基板上に同時に形成することは、当業者にとって周知の課題についての解決手段にすぎない。

このような課題が周知であることは、乙4文献に、液晶画像表示装置に用いられる絶縁性基板上に形成されたスイッチ用非晶質シリコン

MOSトランジスタにおいて、静電気などによる絶縁破壊からゲート絶縁膜を保護するための保護ダイオードを、工程数の増加を防ぐべくMOSトランジスタの作製と同時に作製する技術が記載されており、また、乙5文献に、薄膜トランジスタをマトリクス状に接続してなる半導体装置を静電気から保護するための、薄膜トランジスタで構成したクランプ回路を備える半導体装置保護回路において、保護されるべき薄膜トランジスタと同一プロセスで、前記クランプ回路の薄膜トランジスタを形成する技術が記載されていることから明らかである。

したがって、乙3発明において、周知の課題を解決すべく、乙1文献記載の技術を適用して、保護回路用TFETを、TFETLSIのTFETと同じ絶縁基板の上に同時に形成することは、当業者ならば、容易に推考し得ることにすぎない。

c 相違点3について

乙3文献の第4図のTFET(T2)と、乙1文献の第5図の保護TFET21などの接続態様は同じであるから、相違点3は、前記ア(イ)bでの主張と同じ理由により、当業者が容易に推考し得ることである。

d 相違点4について

前記ア(イ)cで主張したように、TFETを静電気から保護するためのトランジスタやダイオードの作製に工程数を増やさないようにすることは周知の課題といえ、共通浮遊電極はソース・ドレイン電極、ゲート電極やソースライン、ゲートラインなどと同じ材料で作製されるものであるから、乙3発明に共通浮遊電極を形成する場合に、工程数を増やさないようにするために、これらと同時に形成することは、当業者が当然に採用する技術的手段にすぎない。

したがって、相違点4は、当業者が容易に推考し得ることである。

(ウ) 以上のとおり、本件発明は、乙3発明及び乙1文献に記載された技

術に基づいて（又は，乙 3 発明並びに乙 1 発明の技術及び乙 2 発明の技術に基づいて），当業者が容易に発明をすることができたものである。

この点，原告は，乙 3 発明に乙 1 発明の同時形成の技術的思想を適用し，かつ，第 2 接続態様とした場合，通常，保護用 T F T と画素 T F T のしきい値電圧は同様の特性となるから，駆動信号は保護用 T F T から V S S ラインに漏れ出し，画素 T F T に印加される駆動信号が減衰して画素 T F T が正常に駆動しなくなるおそれがあり，これは，乙 3 発明に乙 1 発明を適用する際の阻害要因となると主張する。

しかしながら，そもそも，保護用 T F T と画素 T F T を同時形成をしたとしても，これらのしきい値電圧は，必ずしも同様の特性となるとは限らず，また，本件明細書には，チャンネル長，チャンネル幅及びオフセット領域などを設定することにより，しきい値電圧を調整することができることが記載されているから，原告の上記主張は理由がない。

（原告）

ア 乙 1 文献を主引用例とした場合の進歩性

（ア）乙 1 発明と本件発明との相違点は，以下のとおりである。

a 構成要件 B について

2 端子薄膜半導体素子が接続されている対象が，本件発明では「前記端子とこれに近接して設けられた共通浮遊電極との間」であるのに対し，乙 1 発明では，「外部取り出し端子と接地端子との間」である。

b 構成要件 E について

乙 1 文献の第 5 図には，保護トランジスタのソースがゲートバス 5 1 に接続され，保護トランジスタのドレイン及びゲートがアースに接続された構成が記載されている。これに対して，本件発明は，ゲートに相当する付加ゲート電極がゲートバスに相当する外部取り出し端子に接続されている。

また、乙 1 の第 3 図には、直列接続する 2 つの保護トランジスタからなる保護回路が記載され、一方の保護トランジスタ T_{r2} のゲート 4 とドレイン 9 が入力端 2 a に接続し、保護トランジスタ T_{r2} のソースが他方の保護トランジスタ T_{r3} のゲート及びドレインに接続し、保護トランジスタ T_{r3} のソースがアースに接続する構成が記載されている。つまり、保護トランジスタが 2 段階に接続されている。一方、本件発明の構成要件 E は、1 つのトランジスタ構造を有する 2 端子素子を、外部取り出し端子と共通浮遊電極の間に接続する構成となっている。

c 構成要件 F について

乙 1 文献には共通浮遊電極に相当する浮遊電極が記載されておらず、本件発明の構成要件 F を備えていない。

(イ) 本件発明の特徴からの検討

a 本件発明の特徴は、以下の 3 点である。

(a) 特徴

高圧保護用の 2 端子薄膜半導体素子と薄膜トランジスタを同時に形成して、製造工程を増やすことなく静電気保護回路を構成すること

(b) 特徴

付加ゲート電極が外部取り出し端子側に接続する単一の 2 端子薄膜半導体素子を、外部取り出し端子と共通浮遊電極との間に挿入し、外部取り出し端子から共通浮遊電極へ低電圧で、例えば、薄膜トランジスタ（保護回路によって静電気から保護されるトランジスタ）の動作電圧とほぼ同じ電圧で電流が流れるようにして、放電が開始されること

(c) 特徴

外部取り出し端子に印加された静電気は、2端子素子の保護回路を通じて共通浮遊電極へ、更に他の外部取り出し端子へと分割されるので、アース等の外部に繋がった固定電位に接続する必要がないこと

b 上記 a の本件発明の各特徴の点から、本件発明と乙 1 発明との相違を、以下で検討する。

(a) 特徴 について

乙 1 文献には、保護トランジスタと要素トランジスタ（保護回路により保護されるトランジスタ）を同時に形成することが記載されているが、保護回路の構成要素である配線まで同時に形成することは記載されていない。そして、乙 1 文献の第 5 図の回路図では、各保護トランジスタ 2 1 , 2 2 , 2 3 を、それぞれアースに接続した上で、絶縁基板上でどのようにして配線を設けるかについて、第 1 図、第 2 図を参照しても理解することができない。

また、乙 1 文献は、2 端子薄膜半導体素子と共通浮遊電極を共に内部の薄膜トランジスタと同時に形成し、製造工程を増やさないという本件発明の技術的思想を記載も示唆もしていない。

(b) 特徴 について

一般に、印加された静電気の電圧が高いほど、また、印加される時間が長いほど、静電破壊が発生しやすい。そのために、要素トランジスタ（画素 T F T ）に印加される静電気の電圧及び電気量は、可能な限り低減すべきである。

乙 1 文献には、ゲートバスからアースに向けて、保護トランジスタのゲート電極をアース側に接続した逆方向接続の保護回路（第 5 図）と、ゲート電極をゲートバス側に接続した順方向接続の保護トランジスタを 2 個直列に接続した保護回路（第 3 図）が

記載されている。

ところで、保護トランジスタが逆方向接続であるときは、乙1文献の3頁左下欄5行ないし7行に記載されるとおり、p-チャンネル電導となって、電圧が20ないし30V以上に上がらないとゲートバスからアースへの導通が顕著とならない。一方、乙1文献の第6図に示されるように、保護トランジスタが「順方向接続」(n-チャンネル電導)の場合は、ゲート電圧が約4Vでドレイン電流はほぼ飽和する。つまり、順方向接続のしきい値電圧は4V以下である。このように、逆方向接続のしきい値電圧(電圧20ないし30V)は、順方向接続のしきい値電圧(4V)よりもはるかに高い。ちなみに、画素TF Tのゲート線はすべてゲートバスラインに接続されているため、画素TF Tの動作電圧は、順方向接続のしきい値電圧とほぼ同じになる。

したがって、乙1文献の第5図に示された保護回路では、保護トランジスタが逆方向接続であるため、ゲートバスに静電気が印加されたとき、順方向しきい値電圧よりもはるかに高い逆方向しきい値電圧にならなければ保護機能を発揮できない。また、乙1文献の第3図に示す保護回路では、2個の保護トランジスタが順方向接続で直列に接続されているため、順方向しきい値電圧の2倍以上の電圧(8V以上)にならなければ、保護機能を発揮することができない。

これに対して、本件発明の2端子薄膜半導体素子は、構成要件Eの接続態様であるため、順方向しきい値電圧、すなわち、保護すべき画素TF Tの動作電圧とほぼ同じ電圧で電流が流れ、より低い電圧で静電気の放電が開始される。

乙1文献に開示された構成では、本件発明のように保護トラン

ジスタの導通を画素 T F T の動作電圧と同程度に低下させると、画素 T F T が十分には駆動しなくなるおそれがある。

例えば、第 3 図に示された回路において、ゲートバスに接続する順方向接続の保護トランジスタを $T r_2$ の 1 個のみとした場合を考えてみる。端子 2 a に要素トランジスタ $T r_1$ の動作電圧 V_t 以上、例えば電圧 $2 V_t$ の駆動信号を与えて $T r_1$ を駆動しようとする、保護トランジスタ $T r_2$ のゲート電極 4 にも同じ電圧が印加され、保護トランジスタ $T r_2$ も導通してゲートバス 2 に印加された駆動信号がアースに流れ出ることになる。そうになると、要素トランジスタ $T r_1$ のゲート電極に与えられるべき駆動信号が減衰して、要素トランジスタ $T r_1$ の駆動が阻害されるおそれがある。また、保護トランジスタ $T r_2$ からアースに駆動信号が漏れ出して、消費電力も増加するおそれがある。

このように、乙 1 文献に記載された半導体装置においては、保護回路の動作電圧を要素トランジスタの動作電圧と同程度に設定すると、駆動信号が漏れ出して減衰し、要素トランジスタの動作に支障をきたすおそれがある。乙 1 文献の第 3 図において、保護トランジスタを 2 個直列接続するのは、上記のような駆動信号の漏れや減衰を回避するためである。乙 1 文献に接した本件出願当時の当業者ならば、上記の事情を容易に理解することができる。

これに対して、本件発明においては、構成要件 E の接続態様を採用して、2 端子薄膜半導体素子の動作電圧を、保護すべき要素トランジスタの動作電圧程度まで低下させても問題は生じない。本件発明の構成においても、駆動時に外部取り出し端子に要素トランジスタの動作電圧以上の駆動信号が印加されると、2 端子薄膜半導体素子から共通浮遊電極に当初電流が流れるが、その先の

共通浮遊電極が接地端子や電源端子に接続されていないため、共通浮遊電極の電位が上昇する方向に変動する。共通浮遊電極の電位が上昇すると、駆動信号が印加された外部取り出し端子と共通浮遊電極との間の電位差が減少する。すると、2端子薄膜半導体素子は電流を流さない方向に自動的に変化する。その結果、駆動信号の漏れ電流が減少し、電圧降下も回復し、要素トランジスタには正常な駆動信号が供給されるのである。

(c) 特徴 について

乙1文献に記載される半導体装置においては、その第3図及び第5図のいずれの実施例においても、ゲートバスに接続する保護回路の2つの端子の一方はアースに接続している。したがって、乙1文献には、1つのゲートバス（外部取り出し端子）に印加された静電気を他のゲートバス（外部取り出し端子）へ分散放電するという、本件発明の技術的思想は開示されていない。

c 上記 a の本件発明の各特徴の点から、本件発明と乙2発明との相違を、以下で検討する。

(a) 特徴 について

乙2文献では、絶縁基板上にTFTアクティブマトリックスを形成するが、保護回路が2個の直列接続するMOS型トランジスタであること以外に構造や形成方法が何ら記載されておらず、乙2文献に保護素子とTFTとを同時に形成するという技術的思想は存在しない。

(b) 特徴

乙2文献に記載される保護回路は、本件発明の構成要件Eの接続態様と異なり、接続方向の異なる2つのトランジスタ（順方向接続のMOS型トランジスタと逆方向接続のMOS型トランジスタ）が

直列に繋がっている。したがって、Xラインから配線Aに電流が流れるためには、配線Aに対してXラインの電位が、1つのMOS型トランジスタのソース・ドレイン間の逆方向しきい値電圧と他の1つのMOS型トランジスタの順方向しきい値電圧の合計を超えなければならない。ソース・ドレイン間の逆方向しきい値電圧は、薄膜トランジスタ（画素TFT）の動作電圧よりもはるかに高いから、乙2文献の2つのMOS型トランジスタを接続した保護回路は、本件発明の「薄膜トランジスタ（画素TFT）の動作電圧とほぼ同じ電圧で2端子薄膜半導体素子が動作する保護回路」と比べて、はるかに高い電圧の静電気に対してしか作動せず、薄膜トランジスタの保護機能において劣っている。

したがって、乙2文献には、保護回路の2端子薄膜半導体素子について、薄膜トランジスタ（画素TFT）とほぼ同じ動作電圧で電流が流れるようにするという技術的思想は開示されていない。

（c）特徴

乙2文献の配線Aは、組立工程においてはフローティング（浮遊電極）であるが、乙2文献の記載によると、組立てが完成した後は接地端子に接続することが推奨されている。このように、乙2文献では、接地することで静電気をアースに逃がして破壊防止効果を大きくすることが推奨されているのである。

また、乙2文献に開示されている2つのMOS型トランジスタを順方向と逆方向に直接に繋いだ保護回路では、配線Aから他のXラインへと静電気を分散することは難しい。配線Aから見た場合、配線Aに蓄積された電荷が他のXラインへ流れるためには、配線Aの電位が、1つのMOS型トランジスタの順方向しきい値電圧に、他の1つのMOS型トランジスタのソース・ドレイン間の逆方向しき

い値電圧を加えた電圧よりも上昇しなければならない。しかしながら、乙 2 文献には、「配線 A の容量は大きい方が静電気による破壊防止の効果が大きい。具体的には配線 A の配線巾を大きくしたり、第 2 図に示した配線 A はアクティブマトリックスの外周 1 / 2 に配線されているが、全外周に配線することなどにより、配線 A の面積をより大きくするとよい。」と記載されている（3 頁左上欄 2 行ないし 7 行）ように、配線 A の容量は大きいから、配線 A の電位は上昇し難いのであり、したがって、配線 A から他の X ラインへは電流が流れ難い。

このように、乙 2 文献には、1 つの X ラインに印加された静電気を他の X ラインに放電するという本件発明の技術的思想が記載されているとはいえない。

d 乙 1 文献と乙 2 文献との組合せ

前記 b、c で主張したとおり、乙 1 文献及び乙 2 文献のいずれにも、本件発明の構成要件 E の接続態様の保護回路を使用して、外部取り出し端子から共通浮遊電極へ、保護すべき薄膜トランジスタ（画素 T F T 等）の動作電圧とほぼ同じ電圧で電流が流れるようにする技術的思想、及び他の外部取り出し端子へ静電気を分散させる技術的思想は、記載も示唆もされていない。

また、前記 b で主張したとおり、乙 1 発明では、保護回路のトランジスタが画素 T F T の動作電圧とほぼ同じ電圧で動作するときは、画素 T F T の駆動に障害が生ずるおそれがあるとともに、駆動時において駆動信号が漏れ出して消費電流も増加する。したがって、乙 1 文献に開示された構成に、本件発明の構成要件 E の接続態様のような低い動作電圧を有する保護回路を組み合わせることについては、阻害要因がある。

また、前記 b、c で主張したとおり、乙 2 文献には、配線 A の製造方法は何ら記載されておらず、乙 1 文献にも、保護回路とアースを結ぶ配線の形状や製造工程は何ら記載も示唆もされていないから、乙 2 文献の配線 A を乙 1 文献の保護回路とアース間の配線に適用しようとしても、乙 1 文献のゲートバス 5 1、5 2、5 3 とソースバス 5 5、5 6、5 7 に絶縁膜を介して交差させ、かつ、要素トランジスタ 3 1、3 2、4 1、4 2 のゲート電極又はソース電極、ドレイン電極とどのようにして同時に形成するかについて、当業者といえども容易に想到できるものではない。

したがって、当業者が、乙 1 文献及び乙 2 文献から本件発明を容易に想到できるとはいえない。

(ウ) 相違点についての検討における被告の主張に対する反論

a 相違点 1 について

(a) 被告は、乙 2 文献の「第 2 図のアクティブマトリックスが組立工程の途上にある時は、配線 A はフローティングとなっている。従って前記静電気が配線 A に流れる割合は、配線 A のフローティング電位と該配線の容量によって決まる。」(2 頁右下欄 16 行ないし 3 頁左上欄 1 行)、及び「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は、配線 A も GND 電位に接続するとよい。この場合は静電気だけでなく、周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」(3 頁左上欄 7 行ないし 12 行)との記載について、配線 A がフローティング電位であっても、GND 電位であっても、静電気に対する保護回路の保護機能につき何ら変わりがない旨記載されていると主張する。

しかしながら、乙 2 文献の上記各記載を続けて読めば、これは、配線 A を GND 電位に接続することを推奨していることは明らかで

ある。組立工程の途上にあるときは、配線 A は、当然フローティングにならざるを得ない（組立工程の途上のライン上では、配線 A を GND 接続することは難しい。）。その場合には、配線 A の電気容量によって静電気を配線 A にどれだけ流し込めるかが決まることを、上記抜粋の前半の文章は説明している。そして後半の文章には、「組み立てが完了した時は、配線 A も GND 電位に接続するとよい。」と、明らかに、組立てが終わって配線 A を GND 電位に接続できるようになった状態では、そちらのほうが良いと推奨しているのである。

このように、乙 2 文献の被告が抜粋している箇所は、配線 A について GND 電位にすることを推奨しているのであり、配線 A がフローティング電位であっても GND 電位であっても、静電気に対する保護回路の保護機能につき何ら変わりがないということは記載されていない。

(b) 被告は、本件発明には、第 1 主電極延在部を備える旨の規定はないから、逆方向しきい値電圧以上にならなければ、共通浮遊電極から他の外部取り出し端子に電流が流れるとはいえず、したがって、乙 1 発明のアースを共通浮遊電極に変更したものと、本件発明の保護回路とでは、2 端子素子の保護回路を通じて共通浮遊電極へ、更に他の外部取り出し端子へと分割される際に必要とされる電圧に差異はない旨主張する。

被告の上記主張は、「乙 1 発明のアースを共通浮遊電極に変更したもの」を、本件発明の保護回路と比較した議論であるが、そもそも、1 つのゲートバス（外部取り出し端子）に印加された静電気を、共通浮遊電極を通じて他のゲートバス（外部取り出し端子）に分散放電するという本件発明の技術的思想は、乙 1 文献にも乙 2 文献に

も開示されていない以上，乙１発明のアースを共通浮遊電極に変更した構成とすることは，当業者が容易に想到し得るものではない。

(c) 被告は，乙２文献においては，Ｘラインから配線Ａへ流れるしきい値電圧と配線Ａから他のＸラインへ流れるしきい値電圧は同じであること，本件発明において，特許請求の範囲には順方向しきい値電圧及び逆方向しきい値電圧の数値に関する規定はないことから，乙２文献には１つのＸラインに印加された静電気を他のＸラインへ放電するという本件発明の技術的思想が記載されているとはいえないとの原告の主張は誤りである旨主張する。

しかしながら，「乙２文献においては，Ｘラインから配線Ａへ流れるしきい値電圧と配線Ａから他のＸラインへ流れるしきい値電圧は同じであること」や，「本件発明において，特許請求の範囲には順方向しきい値電圧及び逆方向しきい値電圧の数値に関する規定はない」ことから，なぜ「乙２文献には１つのＸラインに印加された静電気を他のＸラインへ放電するという本件発明の技術的思想が記載されているとはいえないとの主張は誤り」といえるのか，被告の主張は理解できない。乙２文献に，「１つのＸラインに印加された静電気を他のＸラインへ放電するという本件発明の技術的思想が記載されていない」ことについては，前記(イ)のとおりである。

(d) 被告は，乙２文献の配線ＡをＧＮＤ電位に接続したときの効果として，「この場合は静電気だけでなく，周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」（３頁左上欄９行ないし１２行）と記載されていることを根拠として，静電気から保護するためにＧＮＤ電位にすることを推奨しているとは解されず，むしろ，静電気から保護するためには，配線Ａをフローティング電位にすることとＧＮＤ電位にすることとの間に差はない旨が記載さ

れていると主張する。

しかしながら，乙２文献の上記記載は，「この場合は静電気だけでなく・・・」という出だしになっており，ＧＮＤ電位にすることが「静電気に対して役立つ」ことは当然の前提とされた上で，「サージに対しても・・・役立つ」と続いているのである。

(e) 被告は，乙２文献には，組立工程において配線Ａをフローティング電位にすることが記載されていることと，本件明細書の発明の効果としてＴＦＴ装置の製造プロセス中や実装工程中の静電気破壊防止があげられていることから，乙２文献記載の技術を乙１発明に適用する動機付けは十分にあると結論付けている。

しかしながら，発明の課題が共通であるだけで，組み合わせる動機が十分であるとはいえない。乙２文献の配線Ａをフローティングにしたものを，いかなる目的で乙１文献に組み合わせようと当業者が発想するのか，その理由について被告は全く説明していない。

また，乙２文献記載の技術を乙１発明に適用する動機付けがあったとしても，そのみでは，乙２発明と乙１発明を組み合わせる本件発明へと想到することの困難性は相変わらずである。乙１発明の構成に，乙２文献に開示された配線Ａをフローティング電位にする構成を組み合わせても，それだけでは保護回路の構成が異なるため（乙１文献には構成要件Ｅの接続態様の保護回路は開示されていない。），本件発明には至らない。保護回路の接続先をＧＮＤ電位にすることが前提の乙１発明や乙２発明では，構成要件Ｅの保護回路を使用することは，通常，当業者が想到し得ることではない。

(f) 被告は，原告は，「両方向に電流を流しやすい構造でないもの」も本件発明に含まれることを自認しているのであるから，本件発明の技術思想として，分散放電を挙げることは許されないと主張

する。

しかしながら，本件明細書には，分散放電という技術思想が開示されているのは事実である。一方，乙１文献には保護回路が接地された構成しか開示されていないし，乙２文献においても保護回路の接続先は，ＧＮＤ電位にすることが推奨されている。静電気は保護回路を通じてアースに流されるのであり，両文献には，分散放電の技術思想は開示されていない。

本件発明に，「両方向に電流を流しやすい構造ではないもの」，すなわち，構成要件Ｅの接続態様のみから構成される保護回路を含むからといって，そのことゆえに，乙１発明及び乙２発明と比較して，「本件発明には分散放電の技術思想が開示されている」という相違がなくなるものではない。構成要件Ｅの接続態様のみの保護回路でも，共通浮遊電極を介した分散放電は生じるからである。

この点について，被告は，乙２発明も，相応の電圧がかかれば分散放電が可能な構造をしているので，本件発明を乙２発明と比較した場合の進歩性を裏付ける相違点とはならないと主張する。

しかしながら，乙２文献では，静電気からの保護のために，配線ＡをＧＮＤ電位とすることを推奨しているところ，配線ＡをＧＮＤ電位に接続すると，静電気は配線Ａを通じてアースへと流れ出してしまうため，分散放電は生じない。また，乙２文献では，組立工程において配線Ａがフローティング状態にある場合には，静電気保護は配線Ａの容量を大きくすることで図られると記載されており，やはり，分散放電の技術思想は開示されていない。

また，乙２文献に開示されている保護回路は，いずれも，２つのトランジスタを逆方向に接続した構成のものであり，Ｘライン（本件発明の外部接続端子に相当）に印加された静電気が保護回路を通

過して配線 A に流れ、配線 A から再度保護回路を通して他の X ラインへと分散されるためには、逆方向接続のトランジスタを 2 回通過しなければならない。一方、本件発明の場合、構成要件 E の接続態様のみの保護回路であっても、再分散のためには逆方向接続のトランジスタは 1 回通過すればよいだけであり、乙 2 文献の構成に比較すると、再分散が生じやすくなっている。

このように、本件発明が、構成要件 E の接続態様のみの保護回路を含むとしても、本件明細書に分散放電という発明思想を利用することが開示されており、本件発明の保護回路の構成が再分散が生じやすい接続態様となっている点は、乙 2 文献記載の技術との相違点なのである。

(g) 被告は、静電気による絶縁破壊を防止するために、1 つの端子に印加された静電気を他の端子に分散放電して実質的な印加電圧を低くすることは周知の技術であったことの証拠として、乙 8 文献及び乙 9 文献を提出する。

しかしながら、乙 8 文献は、静電気を逃すための保護回路が使用されていない。乙 8 文献に記載された発明（以下「乙 8 発明」という。）は、特許請求の範囲に、「前記列電極線及び行電極線を該基板上に構成する工程においては、該電極線はすべて該基板周辺で短絡接続されており、該基板の完成時に、上記列電極線及び行電極線を個々に切りはなす事を特徴とする」と説明されているように、製造工程においてのみ、列電極線・行電極線を基板周辺で繋いでおいて製造工程における静電気の分散を行うが、完成時には、その繋いだ線を全て切り離してしまう、というものである。このように、乙 8 発明では、製造工程における静電気からの保護のみが問題とされており、製品完成後の静電気対策のことは一切考慮されていない。

このように、乙８発明は、製品完成後も保護回路を通じた静電気の分散を行って画素ＴＦＴを静電気から保護する本件発明とは、その構成も作用効果も全く異なる。したがって、乙８文献の開示は、本件発明の参考となるものではない。

乙９文献は、発明の名称を「液晶表示素子用電極板の配向処理方法」というものであり、液晶を基板上にラビング法で配向処理（液晶の配向方向をそろえる処理）を行う際に、電極間を短絡してラビング時の静電気による配向膜の絶縁破壊を防止する、というものである。本件発明との共通点は、「液晶表示装置」についての「静電気防止」という点のみであり、その他は全く異なる。乙９文献は、保護回路を使用した静電気防止のための構成ではないし、保護の対象も全く異なる。

（ｈ）被告は、乙２文献においては、Ｘラインから配線Ａへ流れるしきい値電圧と配線Ａから他のＸラインへ流れるしきい値電圧とは同じであるから、乙２文献の配線Ａから他のＸラインへ流れるしきい値電圧は、本件発明の逆方向しきい値電圧より小さい旨主張するが、乙２文献の保護回路は、順方向接続と逆方向接続のトランジスタを２個直列に接続したものであるから、配線Ａから他のＸラインへ流れるしきい値電圧は、順方向しきい値電圧に逆方向しきい値電圧を加えたものとなり、本件発明の場合の逆方向しきい値電圧（構成要件Ｅの接続のみの保護回路の場合）と比べ、明らかに大きい値となる。

また、被告は上記結論の前提として、乙２文献の保護回路のしきい値電圧は、ＴＦＴの動作電圧よりも高く、ＴＦＴの破壊電圧よりも低いことは自明であり、また、本件発明の順方向しきい値電圧も、これと同程度であると説明しているが、この前提も誤りである。本

件発明の保護回路の動作電圧は、順方向しきい値電圧であって、これは画素 T F T と同程度にすることが可能であるが、乙 2 文献の保護回路のしきい値電圧は、順方向しきい値に逆方向しきい値電圧を加えたものであって、画素 T F T と同程度に低い電圧とすることができないからである（逆方向しきい値電圧は、画素 T F T の動作電圧より相当に高い。）。

b 相違点 2 について

（ a ）被告の主張は、静電気を逃がす先がアースか共通浮遊電極かは、実質的な相違ではないか、又は設計変更にすぎないことを前提としているが、前記のとおり、この前提が間違っている。

（ b ）被告は、 本件明細書の特許請求の範囲には、順方向しきい値電圧及び逆方向しきい値電圧の数値に関する規定はなく、 本件明細書には、しきい値電圧を考慮すると、付加ゲート電極及び第 2 主電極は共通浮遊電極に接続することが好ましいとしか記載されておらず、付加ゲート電極及び第 2 主電極を外部取り出し端子に接続することにより、2 端子薄膜半導体素子の導通電圧を、画素 T F T の動作電圧と同程度にまで低下させることができ、T F T の保護の面でメリットがあるとは記載されていない、 第 1 主電極を共通浮遊電極に接続することにより、2 端子薄膜半導体素子の動作電圧を、画素 T F T の動作電圧まで低下させても問題は生じないことも記載されていない、したがって、原告の主張は明細書の記載に基づかず、失当であると主張する。

しかしながら、上記の被告の ないし の主張は、以下のとおり、いずれも本件明細書の誤った解釈に基づくものである。

上記 の点について

しきい値電圧の数値に関する規定がなくとも、「付加ゲート電

極及び第２主電極は外部取り出し端子に、第１主電極は共通浮遊電極に接続」した場合と、「ゲートバスラインの外部取り出し端子がソース電極（第１主電極に相当）に接続され、ゲート電極（付加ゲート電極に相当）とドレイン電極（第２主電極に相当）とが接続」した場合を比較すると、前者は後者に比べて、より低い電圧の静電気を外部取り出し端子側から共通浮遊電極側へ流しやすいことは、当業者ならば容易に理解し得ることである。

上記 の点について

本件明細書には、構成要件Ｅの接続による作用効果の明示的な記載はなくとも、上記の作用効果は、本件明細書に接した当業者であれば容易に理解し得る作用効果であり、明細書に記載されているのも同然と理解する事項である。

上記 の点について

「第１主電極を共通浮遊電極に接続することにより、２端子薄膜半導体素子の動作電圧を、画素ＴＦＴの動作電圧まで低下させても問題は生じないこと」も、本件明細書に明示的には記載されていないが、当業者であれば、保護回路の接続先の共通浮遊電極を接地せず「浮遊電極」としておけば、この作用効果が生じることとは容易に理解できる。

（ｃ）被告は、「本件明細書には、２端子素子を、画素ＴＦＴの動作電圧とほぼ同じ電圧で電流が流れるようにすること」や、「当初共通浮遊電極に電流が流れるが、共通浮遊電極の電位が上昇して電流を流さない方向に自動的に変化すること」などは記載されておらず、むしろ、「画素ＴＦＴの動作電圧の数倍の逆方向しきい値電圧以上とならなければ、２端子素子からの放電が開始しない接続態様である、付加ゲート電極と第２主電極とを短絡した上で、第２主電極を

共通浮遊電極に接続する態様を推奨している」とも主張する。

しかしながら、以下のとおり、被告の上記主張も、本件明細書の理解不足によるものである。

すなわち、本件明細書には、実施例に開示された 2 端子素子を接続する方向についての限定はないが、本件明細書には「第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 12 と第 2 主電極 106 を短絡した例で、第 2 主電極 106 に電圧が印加されたとき T F T の V_{TH} とほぼ同じ値で電流が流れる。」との記載があり、この記載に接した当業者であれば、第 4 図や第 6 図、第 7 図 (a) の 2 端子素子を、第 2 主電極・付加ゲート電極側を外部取り出し端子側に、第 1 主電極を共通浮遊電極側に繋げば、「画素 T F T の動作電圧とほぼ同じ電圧で電流が流れる」2 端子素子となることは容易に理解できる。

また、「当初共通浮遊電極に電流が流れるが、共通浮遊電極の電位が上昇して電流を流さない方向に自動的に変化すること」については、接地されていない共通浮遊電極に静電気を流し続ければ、当然そのようになることは当業者ならば容易に理解し得ることであり、これも、明示的な記載はなくとも、本件明細書に記載されているのと同然であると理解する事項である。

また、「付加ゲート電極と第 2 主電極とを短絡した上で、第 2 主電極を共通浮遊電極に接続する態様を推奨している」という点については、第 2 図及び第 4 図という実施例について、「好ましい」あるいは「望ましい」と説明されているものにすぎず、それぞれ実施例の 1 態様にすぎないのであって、これらの記載により明細書に開示された事項の範囲が制限されるものではない。

(d) また、被告は、乙 1 文献においては、第 3 図に 2 個の保護用 T

F Tを順方向接続することが示されており、「この様に保護用トランジスタの接続段数は必要に応じて増減すれば良い。」との記載は、保護用T F Tを1個だけ順方向接続することを示唆するものであり、乙5文献に具体的に保護用T F Tを1個だけ順方向に接続することが示されていることを考慮すれば、乙1発明において、保護トランジスタを順方向接続とし、かつ、1個のみとすることに何の困難性もないと主張する。

しかしながら、乙1文献の第3図の保護回路は、その接続先がアースであるところ、保護回路の接続先を接地端子とすると、保護回路の動作電圧を低くした場合、画素T F Tの制御が不十分になり、画像表示装置としての機能に支障をきたす可能性がある。したがって、上記の第3図に示された回路において、順方向接続の保護トランジスタを1個のみとした場合、要素トランジスタ T_{r1} の駆動が阻害されるおそれや、保護トランジスタ T_{r2} からアースに駆動信号が漏れ出して消費電力も増加するおそれがある。乙1文献に接した当業者ならば、このことは容易に理解できるのであるから、「この様に保護用トランジスタの接続段数は必要に応じて増減すれば良い。」との記載に接しても、これが保護用T F Tを1個だけ順方向接続することを示唆するとは理解しない。乙1文献にも、「第4図の特性例を考慮すると、保護トランジスタを3段にすれば、 T_{r1} を十分に飽和電流まで駆動でき、且つ、飽和電流を与えるゲート電圧以上ではゲート回路の入力インピダンスは急激に減少する。」（2頁右下欄6行ないし10行）との記載があり、 T_{r1} の十分な駆動のためには3段のトランジスタが必要であることが明記されている。

これに対して、本件発明では、保護回路の接続先がアースされて

いない共通浮遊電極であるため、保護回路の動作電圧を低くすることが可能なのである。

したがって、当業者であれば、乙１文献の接地された保護回路において、保護回路のトランジスタを順方向接続の１段のみにすることなど、通常は考えもしないのである。

(e) さらに、被告は、乙５文献には、具体的に保護用ＴＦＴを１個だけ順方向に接続することが示されていることを考慮すれば、乙１発明において、保護トランジスタを順方向接続１個のみとすることに困難性はないと主張するが、以下に説明するように、乙１文献及び乙５文献には、共通浮遊電極については記載も示唆もされていないので、乙５文献の保護回路の構成を乙１発明に適用しても、本件発明を想到することはできない。

乙５文献の請求項１は、半導体装置保護回路についての物の請求項であるが、その中に、「一定電位に固定される共通配線と上記各直列回路の各入出力端子との間に、・・・設けたことを特徴とする」という構成要件が含まれている。つまり、乙５文献の保護回路は、「一定電位に固定される共通配線」と、「各入出力端子」の間に設けられる。

被告は、乙５文献の第５図及び第２１図について、「ＴＦＴを静電気から保護するために、保護用ＴＦＴを１個だけ順方向に接続することが示されている」と評価しているが、上記の第５図及び第２１図の回路は、保護回路の接続先が一定電位に固定される共通配線であり共通浮遊電極となっていない。また、乙１文献においても、保護回路は接地されており、共通浮遊電極ではない。したがって、乙１文献の保護回路と乙５文献の第２１図を組み合わせても、本件発明を想到できないのである。

(f) 被告は、「本件発明は、乙1文献と比較して、2端子素子の導通電圧を画素TFTの動作電圧まで低下させることで、より有効に静電破壊を防止する」との作用効果は、駆動信号を印加した当初のごく短時間は奏することができるが、通常使用状態になって以降には奏することができない旨主張する。

しかしながら、以下のとおり、被告の上記主張は誤りである。

まず、本件明細書の〔従来技術〕に説明されているように、静電気による破壊は、主に製造工程において大きな問題となる。製造工程においては、外部取り出し端子に駆動電圧はかかっていないから、被告が仮定する「外部取り出し端子に $3V_{th}$ 以上の電圧がかからなければ保護回路が作動しない」状態は生じない。この状態では、乙1文献の保護回路に比べて、本件発明の保護回路ははるかに低い電圧から静電気を逃がすことができるのであり、静電気保護機能が高いのである。

また、画素TFTに駆動電圧が掛けられている通常の使用状態のものでも、本件発明の構成により、より低い電圧から静電気に対する保護機能が働く、という作用効果は存在している。

すなわち、駆動電圧を $3V_{th}$ とするというのは被告の仮定であり、実際の画素TFT装置における駆動電圧は、画素TFTの動作電圧以上の適宜な電圧に設定されるので、以下、その設定した駆動電圧を V_g とすると、乙1文献の保護回路においては、保護回路のしきい値電圧が $3V_{th}$ であると、駆動電圧 V_g をいかなる電圧に設定しても、外部取り出し端子に $3V_{th}$ より高い電圧がかからなければ保護回路は作動しないが、一方、本件発明の構成においては、駆動電圧を V_g とすると、画素TFTの動作中は共通浮遊電極の電位は $V_g - V_{th}$ において安定し、通常の動作状態ではそれ以上駆

動電流が共通浮遊電極に流出しないが、その状態で外部取り出し端子に電圧が V_g 以上の静電気が加われば、保護回路は直ちに作動して静電気を共通浮遊電極に逃し、 V_g を $3V_{th}$ より低い電圧に設定すれば、 $3V_{th}$ より低い電圧に対しても保護回路が作動することになる。つまり、本件発明の構成においては、 V_g の設定によって、より低い電圧でも保護回路が作動可能なように、装置を設計できるのである。

このように、本件発明の保護回路は、画素TFTの駆動中であっても、駆動電圧 V_g の設定によって $3V_{th}$ より低い電圧に対しても作動する設計が可能であり、乙1文献のしきい値電圧が $3V_{th}$ の保護回路と比較して、「より低い電圧から静電気に対する保護機能が働くような設計が可能」という作用効果を奏しているのである。

(g) 被告は、TFTのしきい値電圧は、チャンネル長、チャンネル幅及びオフセット領域などを設定することにより、しきい値電圧を調整できることを理由に、接地されている乙1文献の保護回路を順方向接続にすることも、適宜なしきい値電圧さえ設定すれば可能であると主張する。

しかしながら、TFTは、順方向接続と逆方向接続で、しきい値電圧が全く異なることは技術常識である。チャンネル長やチャンネル幅によって若干の V_{th} の調整は可能であっても、順方向接続と逆方向接続では、明らかにしきい値電圧が異なり、当業者であれば、乙1文献のように接地された保護回路について、しきい値電圧が低くなる順方向接続を使用しようとは、通常は考えないのである。被告の議論は、順方向接続と逆方向接続のしきい値電圧の相違という技術常識を無視したものである。

c 相違点3について

この相違点について、被告は、乙１文献に「保護トランジスタの作成は各要素トランジスタの製作工程と全く同じ工程で同時に可能であり」という記載があることから、同時形成は当業者が当然に採用する技術的手段にすぎないと主張する。

しかしながら、被告の上記主張は、乙１発明では共通浮遊電極はないから、その形成方法も記載されていないという相違点についての反論となっていない。

また、被告が引用している、乙４文献の「工程数の増加は必然的にコストの上昇と歩留まりの低下に反映するので工程数の増加を防ぎつつ保護ダイオードを内蔵させたＭＯＳトランジスタを得ることは極めて重要である。」という記載は、工程数は減らしたほうが良いというごく一般的なことを述べているにすぎず、乙４文献には結局、「共通浮遊電極と外部取り出し端子やゲート、ソース、ドレインの同時形成」について、記載も示唆もされていない。

イ 乙３文献を主引用例とした場合の進歩性

(ア) 乙３発明と本件発明との相違点は、被告の主張のとおりである。

(イ) 本件発明の特徴からの検討

前記ア(イ) aで主張した本件発明の各特徴の点から、本件発明と乙３発明との相違を、以下で検討する。

a 特徴 について

乙３文献には、絶縁基板上に内部ＴＦＴ（画素ＴＦＴ）が記載され、これを保護するためのＴＦＴからなる保護回路が記載されているが、これらのＴＦＴの構造や製造工程、ＶＤＤやＶＳＳの配線の製造工程が記載されていない。

保護回路を構成するＴＦＴと内部ＴＦＴとを同時に製造するという本件発明の技術的思想は、乙３文献に記載も示唆もされていない。

b 特徴 について

乙3文献の第1図，第2図，又は第4図においては，入力端子とVSSラインとの間に挿入される保護回路は，逆方向に直列接続する2つの保護用TFET，又はゲートがVSSラインに接続する1つの保護用TFETから構成されている。したがって，入力配線からVSSラインへと静電気による電流が流れるためには，入力配線とVSSライン間の電圧が，1つの保護用TFETの順方向しきい値電圧と他の1つの保護用TFETのソース・ドレイン間の逆方向しきい値電圧（ブレイクダウン電圧），又は，1つの保護用TFETのソース・ドレイン間の逆方向しきい値電圧（ブレイクダウン電圧）を超えなければならない。一般的にトランジスタのソース・ドレイン間の逆方向しきい値電圧は，順方向しきい値電圧よりもはるかに高いため，乙3文献に開示された保護回路では，本件発明の「薄膜トランジスタの動作電圧とほぼ同じ電圧で2端子薄膜半導体素子が動作する保護回路」と比べて，はるかに高い電圧の静電気に対してしか作動せず，薄膜トランジスタ（画素TFET）の保護機能において劣っている。

さらに，乙3文献には，「TFETLSIが通常動作する電圧範囲では，第1図において T_1 と T_3 が常にOFFとなるため，本発明による保護回路を通して無駄な電流が流れることはなく，入力信号も初期の信号レベルでLSI内部回路に伝達出来る。」（2頁右上欄9行ないし13行）と記載されており，少なくとも保護回路を構成するTFET（ T_1 ）及びTFET（ T_3 ）のしきい値電圧は，内部TFET（ T_5 ）のしきい値電圧よりも高い。この記載に接した当業者であれば，内部TFETと保護用TFETとは電気特性を異にするものと推考すると思われる。これに対して，本件発明の保護回路は，構成要件Eの接続態様を備えた2端子素子であり，内部薄膜トランジスタ（画素TF

T)の動作電圧(しきい値電圧)とほぼ同じ低い電圧から静電気を放電するので、外部取り出し端子の電位上昇を効果的に抑えることができる。乙3文献には、このような保護回路の接続態様が記載も示唆もされていない。

c 特徴 について

乙3文献の第1図、第2図及び第4図のいずれの実施例においても、入力配線に印加された静電気は、保護回路を通してVSS又はVDDラインの電位を有する配線に放電される。VSSラインやVDDラインは、定電位を保持するから、静電気が放電されてもその配線の電位は上昇しない。したがって、乙3文献の保護回路では、1つの入力配線に印加された静電気を他の入力配線に分割して放電することがない。

なお、乙3文献には、「一方TFTL SIでは、前記単結晶シリコンに相当する導電性の基板がないため、組立工程での静電気破壊には特に弱い。第1図に示す本発明による保護回路では、各入力端子がTF Tを介してV_{SS}ライン乃至V_{DD}ラインに接続されているため、基本的にTF T L S Iの総ての端子がいくつかのPN接合を介して接続されることになる。」(2頁左下欄6行ないし13行)という趣旨が記載されている。PN接合とは、半導体に形成されるP型領域とN型領域が接する接合をいう。ここで、「基本的にTF T L S Iの総ての端子が」と記載されているから、入力配線やVSSライン、VDDライン及び内部TF T(T₅)を含むすべての端子をいうものと考えられるが、第1図にはPN接合が形成される場所が明示されていないので、どのような経路ですべての端子がPN接合を介して接続するものなのか不明である。したがって、その後段の「従っていずれかの端子(に、)静電気が印加しても、PN接合乃至ソース・ドレインのブレイクダウンにより、TF T L S I回路全体に静電気が伝わり、TF T

L S I の各部分の間の電位差はあまり大きくならないため、静電気による破壊に対して強くなる。」（２頁左下欄１３行ないし１８行）に記載される具体的な接続経路を理解することができない。そして、乙３文献に、「以上説明したように、本発明はT F T L S Iの入力端子から印加した静電気を、O F FしたT F Tのソース・ドレイン間のブレイクダウン乃至P N接合の逆方向ブレイクダウンにより、配線容量の大きな電源ライン（ V_{SS} 、 V_{DD} ）に逃がすことを特徴としている」（３頁左上欄１３行ないし１８行）と記載されるように、乙３発明は、静電気を電源ラインに逃がすことを特徴とする発明であり、乙３文献には、入力配線に印加された静電気を他の入力ラインに分散させるという技術的思想は記載されていない。

仮に、上記引用箇所について、P N接合の説明が不明瞭であるという点はさておき、乙３文献に、「組立工程時において、ソース・ドレインのブレイクダウンを介して入力配線と V_{SS} ラインや V_{DD} ラインに静電気が伝わり、入力配線と V_{SS} ラインや V_{DD} ラインの電位差があまり大きくならない」ということが開示されていると解したとしても、乙３文献の第１図、第２図及び第４図に開示された保護回路は、本件発明の２端子素子の保護回路と比較して相当に高い電圧がかからなければ作動しないため、静電気の分割がより困難な構成となっていることから、乙３文献には、本件発明の基本的な発明思想である「他の外部取り出し端子への静電気の分散」という構成が記載又は示唆されているとはいえない。

（ウ）乙３文献と乙１文献の組合せについて

乙１文献及び乙３文献のいずれにも、保護トランジスタのソース電極（又はドレイン電極）とゲート電極を入力端子側に接続し、ドレイン電極（又はソース電極）を静電気を逃がす側のラインに接続して、入力端

子から低電圧で静電気を逃がす保護回路の接続態様は記載されていない。

また、乙3文献に記載される保護回路では、製造時においてVSSラインやVDDラインがフローティングとなるとしても、製造後はVSSラインやVDDラインが電源などの固定電圧端子に接続される。仮に、乙3文献の第4図に記載されるTF T L S Iに乙1文献の同時形成の技術的思想を適用し、かつ、保護用TF Tのゲートを入力配線側に接続するとすれば、通常、保護用TF Tと内部TF T（画素TF T）のしきい値電圧は同様の特性となるから、入力配線に与えられる駆動信号は、保護用TF TからVSSラインに漏れ出し、内部TF Tに印加される駆動信号が減衰して正常に駆動しなくなるおそれがある。このことは、本件出願当時の当業者であれば容易に理解できる技術的事項であり、乙3文献の第4図に記載される回路に乙1文献の同時形成の技術的思想を適用する際の阻害要因となるから、これらの公知例から本件発明の構成要件Eの接続態様を当業者が容易に想到できるものではない。

さらに、乙3文献に記載されるVSSラインやVDDラインは、回路構成であり、具体的な物理的構造が記載されておらず、また、乙1文献のアースに接続する配線も、具体的な構造や製造方法が示されていないから、保護トランジスタ及び内部トランジスタ以外の構成について、内部トランジスタの形成と同時に形成することがいずれの刊行物においても記載されていない。

したがって、2端子薄膜半導体素子以外の保護回路の構成である共通浮遊電極を内部トランジスタ（画素TF T等）と同時に形成することを、当業者が容易に想到することはできない。

（エ）乙1文献、乙2文献及び乙3文献の組合せについて

乙1発明及び乙3発明においては、保護回路から静電気を逃すラインが接地端子（アース端子）や電源装置に接続されているため、保護回路

トランジスタのゲートを入力端子側に接続すると駆動時の駆動信号が保護回路から漏れ出し、駆動信号が減衰して画素ＴＦＴの正常な駆動が阻害されるおそれがある。

乙２文献の配線Ａについては、「組立工程では」フローティングとなることが記載されてはいるが（組立後は接地端子に繋ぐことが推奨されている。）、乙２文献の保護回路は逆方向接続する２つのＭＯＳ型トランジスタが直列接続する構成であるから、入力配線の静電気が、ソース・ドレイン間の逆方向しきい値電圧（ブレイクダウン電圧）と順方向しきい値電圧の合計の２倍を超える電圧でなければ、配線Ａを通じて他の外部取り出し端子に静電気が分割されない。

結局、乙１ないし乙３文献のいずれにも、保護回路トランジスタのソース電極（又はドレイン電極）とゲート電極を入力端子側に接続し、ドレイン電極（又はソース電極）を他の端子に接続して、入力端子から他の端子に低電圧で静電気を逃がす技術的思想が記載も示唆もされていないから、当業者といえども本件発明を容易に想到できるとはいえない。

さらに、乙３文献に記載されるＶＳＳラインやＶＤＤライン、乙２文献に記載される配線Ａは、いずれも回路構成であり、具体的な物理的構造が記載されておらず、また、乙１文献のアースに接続する配線も、具体的な構造や製造方法が示されていないから、保護回路トランジスタ及び薄膜トランジスタ（画素ＴＦＴ等）以外の構成について、薄膜トランジスタ（画素ＴＦＴ等）の形成と同時に形成することがいずれの刊行物においても記載されていない。

したがって、前記（ウ）と同様に、共通浮遊電極を薄膜トランジスタ（画素ＴＦＴ等）の構成要素のいずれかと同時に形成することを、当業者が容易に想到することはできない。

（８）争点（２）ウ（旧特許法３６条５項２号違反の有無）について

(被告)

本件発明は、以下のとおり、旧特許法 36 条 5 項 2 号に違反しており、本件訂正は、独立特許要件を満たさないものとして、同法 126 条 3 項に違反し、したがって、本件特許は、同法 123 条 1 項 7 号に該当し、無効とされるべきである。

ア 本件発明が T F T 装置を実施できない発明を含んでいること

(ア) 以下においては、T F T のしきい値電圧を V_{th} 、破壊電圧を V_{bd} 、2 端子素子の順方向しきい値電圧を V_f 、逆方向しきい値電圧を V_b と表記する。なお、議論を簡単にするために、共通浮遊電極の容量については考慮しないことにする。

本件明細書 (甲 10 添付) には、「2 端子素子は、それ故 T F T 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。」と記載されているところ、この記載は、本件出願当時の当業者の技術常識である、「保護用 T F T の動作電圧は、画素用 T F T の動作に影響を与えないようにするために、画素用 T F T の動作電圧より高く、破壊電圧より低い電圧、すなわち、画素用 T F T の動作電圧の数倍程度としていた」ことを考慮すれば、外部取り出し端子から共通浮遊電極に電流が流れるときの電圧を規定したものと解するのが相当である。

そこで、本件出願当時の当業者の技術常識に従い、 $V_{th} < V_f < V_{bd}$ とした場合について検討する。

本件訂正後の発明では、特許請求の範囲に V_f 及び V_b についての規定はないから、 $V_{th} < V_f < V_{bd}$ とした場合に、 V_b は V_f よりも高いということしか特定のしようがない。そうすると、逆方向電圧は、 V_{bd} と同程度のものを含むということになる。

ところで、ある外部取り出し端子に静電気電圧 $V (> V_f)$ が印加さ

れたとき，そのラインにある２端子素子はオンとなり，共通浮遊電極へ電流が流れてその電圧は $(V - V_f)$ となる。

この電圧値は V が大きくなるに従って大きくなり，やがて $(V - V_f)$ が V_b を超えると，他のラインにある複数の２端子素子がオンし，共通浮遊電極から他の外部取り出し端子に電流が流れる。

つまり，共通浮遊電極の電圧値 $(V - V_f)$ は， V が大きくなるに従って V_b までは大きくなるが，それ以上になると，静電気が他のラインにある２端子素子を通じて他のラインに流れるから，それ以降は，静電気が漏れない限り V_b のままである。

ここで，あるライン上で静電気電圧 V が T F T の破壊電圧 V_{bd} にまで上昇したと仮定する。

そのラインの２端子素子は当然オンとなり，静電気は，外部取り出し端子から２端子素子を介して共通浮遊電極に流れ，共通浮遊電極の電圧は $(V_{bd} - V_f)$ となる。

本件発明は， V_b が V_{bd} と同程度の場合を含むから，その場合には，

$$(V_{bd} - V_f) < V_{bd} - V_b$$

となり，他のラインの２端子素子はオンしないから，静電気は，共通浮遊電極から他の外部取り出し端子には流れない。

そのラインの静電気電圧 V が T F T の破壊電圧 V_{bd} を超えて更に上昇すると，そのラインの２端子素子はオンし，共通浮遊電極の電圧も， $V_b - V_{bd}$ に近くなるまでは更に上昇する。

共通浮遊電極の電圧は静電気が他に流れない限り減少しないから，その電圧が $V_b - V_{bd}$ に近い数値になっているとすると，ある外部取り出し端子に静電気電圧 V が印加されたとき， $V < V_{bd} + V_f$ であれば，そのラインの２端子素子はオンしない。

要するに，ある外部取り出し端子に T F T の破壊電圧 V_{bd} 以上の静

電気電圧が印加されたのに、2端子素子がオンしない事態が生じ、静電気は共通浮遊電極に放電されることはなく、T F Tに印加されるのである。このとき、T F Tが破壊されることは自明であるから、T F T装置の保護装置は機能しない。

このように、本件発明は、T F T装置を実施できない発明を含んでいる。

したがって、本件発明の特許請求の範囲は、特許を受けようとする発明の構成に欠くことができない事項のみを記載したものとはいえず、旧特許法36条5項2号の規定を満足しない。

(イ)原告は、2端子素子の逆方向しきい値電圧 V_b を、T F Tの破壊電圧 V_{bd} とほぼ等しくなるような高い水準に設定することなどあり得ないと主張する。

しかしながら、本件発明の特許請求の範囲には、順方向しきい値電圧、逆方向しきい値電圧、共通浮遊電極の静電容量などの値が何ら規定されていない以上、原告の上記主張は、請求項の記載に基づく主張ではない。

イ 本件発明の特許請求の範囲に「両方向に電流を流しやすい構造」という発明に必須の構成要件の記載がないこと

本件発明が、原告が主張するとおり、「両方向に電流を流しやすい構造」の発明を含むものと仮定すると、本件発明の特許請求の範囲には、両方向に電流を流しやすくするための構造（本件明細書には、その構造として、第1主電極延在部を備えるという構造が開示されている。）が記載されていなければならないが、本件発明の特許請求の範囲には、その記載がない。

したがって、本件発明の特許請求の範囲は、特許を受けようとする発明の構成に欠くことができない事項のみを記載したものとはいえず、旧特許法36条5項2号の規定を満足しない。

(原告)

ア T F Tが破壊される構成が含まれるという主張について

被告の主張は、 V_b が V_{bd} と同程度のものも本件発明の範囲に含まれることを前提としている。

しかしながら、本件明細書には、2端子素子の寸法、構造、チャンネル長、チャンネル幅、オフセットなどにより、2端子素子の V_{th} を調整することが記載されている。本件明細書に接した当業者であれば、本件発明の効果が十分発揮されるように、 V_{th} を含む2端子素子の電気特性を適宜調整する必要があることは、回路設計に際して当然に理解することである。その際、2端子素子の逆方向しきい値電圧 V_b を、T F Tの破壊電圧 V_{bd} とほぼ等しくなるような高い水準に設定することなどあり得ない。

また、本件発明の中心となる技術思想は、外部取り出し端子に印加された静電気を、2端子素子を通じて共通浮遊電極へ、更にはもう一度2端子素子を通じて他の外部取り出し端子に分散することで、静電気の電圧を速やかに低下させて静電気によるT F Tの破壊を防止するということである。本件発明の構成の2端子素子のみを使用した保護回路においては、静電気が外部取り出し端子から共通浮遊電極、共通浮遊電極から他の外部取り出し端子へと分散されるためには、その電圧が $V_f + V_b$ 以上であることが必要である。逆に言えば、 $V_f + V_b$ 以上の静電気が印加されると、2端子素子を通じた静電気の分割が生じ、電圧が速やかに低下するために、これ以上高い電圧がT F Tにかかることを防止し得るということである。T F Tを静電気から保護するための保護回路としての2端子素子は、T F Tの動作に支障を与えない範囲でなるべく低い電圧で静電気を分散させるように設計することは当然のことである。したがって、静電気の分散の生じる電圧である $V_f + V_b$ は、T F Tの動作に支障を与えない範囲でなるべく低く設計される。 V_b が V_{bd} と同程度になるような設計をすると、静

電気の分散が十分に行われず，ＴＦＴが破壊される可能性が高くなってしまふことは，当業者ならば当然に理解するから，当業者がそのような回路設計を行うはずがない。本件発明においては， $V_b + V_f$ が V_{bd} より十分に低いことは，当然の前提となっているのである。

このように，被告の主張の前提は，誤りであって現実的とはいえない。

イ 本件発明の特許請求の範囲に「両方向に電流を流しやすい構造」という発明に必須の構成要件の記載がないという主張について

原告は，本件発明の請求の範囲に，「両方向に電流を流しやすい構造」をも包含すると主張だけであり，「両方向に電流を流しやすい構造」が発明に必須の要素であると主張するものではない。

(9) 争点 (3) (被告の不当利得の額) について

(原告)

被告は，大韓民国のサムスングループの日本における拠点として設立された会社であり，サムスン製の液晶パネルモジュールは，すべて被告を通じて同国から日本に輸入され，販売されている。

平成 11 年から平成 16 年 9 月 26 日 (本件特許満了日) までに，被告が日本国内で販売したサムスン製液晶パネルモジュールの売上額は，以下のよう
に推定される。

すなわち，公表されている被告の総売上高 (全商品) を上記期間につき合計すると 4 兆 3 0 1 3 億円 (平成 16 年は日割計算) であり，被告の売上げのうち，液晶パネルモジュールの占める割合は平均して 8 % (3 4 4 1 億円) を下回らないと推定される。

この金額に通常の実施料率として 3 % を乗ずると，実施料相当額としての不当利得額は，1 0 3 億円を下回らない。原告は，本訴において，その一部である 3 0 億円の支払を求める。

(被告)

争う。

第3 当裁判所の判断

1 争点(2)イ(進歩性欠如の無効理由の有無)について

本件事案の性質にかんがみ、まず、争点(2)イ(進歩性欠如の無効理由の有無)について判断する。

(1) 乙1発明の内容

ア 乙1文献の記載

乙1文献には、以下のとおりの記載がある(乙1)。

(ア)「本発明は半導体装置更に詳しくは薄膜半導体を用いた薄膜トランジスタ(以下TFTという)に関する。

TFTは例えばX-Yマトリックス駆動表示装置あるいは長尺イメージセンサのスイッチ素子としてその実用化が長らく要望されて来た。近年シランのグロー放電分解その他の方法により製膜される非晶質シリコン(以下a・Siという)は、ギャップ中の局在準位密度が小さく、且つ比較的化学的に安定で、膜質の再現性、均一性が良いことから、例えば前記した用途等に用いるTFT素子用半導体材料として有望視されてきた。最近ではゲート絶縁膜に窒化シリコン、窒化、酸化シリコン、酸化シリコン等を用いたa・Si TFT素子では、10V内外又はそれ以下のゲート電圧で十分にトランジスタのオン・オフ制御が可能となり、その工業的応用の可能性が極めて濃厚となって来た。しかしながら、前記した例えばX・Yマトリックス表示装置等には数千から数10万個のTFTが集積して使用されねばならず、これら多数の素子のうち1ケでも動作不良があれば、その装置は使用不能とされざるを得ない宿命を担っている。

一方これらのTFTではゲート絶縁膜には気相からの堆積薄膜が用いられる。これらの薄膜には基板上のゴミその他の原因により、平均的堆

積膜厚に比べて薄く電氣的耐圧の低い部分が発生しがちである。この最低のゲート耐圧を有する素子が設計値を満すならば装置は使用に供し得る。しかし、設計値以上のゲート電圧が静電気その他の理由により印加された場合、まず最低耐圧を有する素子が破壊され、装置全体が使用不能となる。

本発明は前記した T F T に於て、ゲート絶縁膜の破壊を防止し得る構造を容易に実現することを目的とするもので、信号処理用の T F T とゲート保護用の T F T を簡便に一体化した構造を提供するものである。」

(1 頁右欄 1 0 行ないし 2 頁右上欄 5 行)

(イ) 「〔実施例 1 〕

第 1 図、第 2 図、第 3 図は本発明の半導体装置の第 1 の実施例の概略を示す。第 1 図はその平面図を、第 2 図は第 1 図 - ' 線断面図を、第 3 図はその等価回路図を示す。本実施例の装置は以下のようにして製作した。ガラス基板 1 の一主面上に蒸着された C r 薄膜よりゲート電極 2 , 3 , 4 を選択的に形成する。その後ゲート電極 2 , 3 , 4 及び基板 1 を被覆するように絶縁膜 5 として酸化シリコン膜を 3 0 0 n m , 半導体薄膜 6 として a ・ S i 膜を 4 0 0 n m プラズマ C V D 法により連続して堆積した。続いて A l を約 5 0 0 n m 蒸着し、ソース又はドレインとなる電極 7 , 8 , 9 , 1 0 , 1 1 を選択形成した。

第 1 図、第 2 図に於てゲート電極 2 , ソース電極 7 , ドレイン電極 8 にて構成される T F T がゲートに信号が入力されドレインより出力信号がとり出される信号処理用の主トランジスタ T r ₁ である。そしてその右方の部分が主ゲート電極 2 上のゲート絶縁膜の破損を防止するためにもうけられた保護用のトランジスタ T r ₂ , T r ₃ である。第 3 図の回路図に示すように主トランジスタ T r ₁ のゲート電極 2 と保護用トランジスタ T r ₂ のゲート電極 4 及びドレイン電極 9 は接続されている。更

に $T r_2$ のソース電極 10 は $T r_3$ のドレイン電極となり，このドレイン電極 10 とゲート電極 3 が接続され $T r_3$ のソース電極 11 はアースされている。」（2 頁右上欄 7 行ないし左下欄 13 行）

（ウ）「第 4 図に保護トランジスタ $T r_3$ のゲート電圧 V_G 対ドレイン電流 i_D 特性を n -チャンネル飽和ドレイン電流 i_{DS} で規格化して示す。図に於いて $V_G(+)$ 側で i_D が急増する電圧を閾値電圧 V_T とすれば，図の特性では $3 V_T$ 程度のゲート電圧印加により， i_D はほぼ飽和電流に達する。保護トランジスタを 2 段直列接続した第 3 図の構成では， $T r_1$ のゲートに対する入力端 2a から見た回路のインピーダンスは $V_G = 2 V_T$ までは大きい， $V_G > 2 V_T$ となると急激に低下し，ゲート電極 2 に過大な電圧が印加されるのを防止することができた。

第 4 図の特性例を考慮すると，保護トランジスタを 3 段に接続すれば， $T r_1$ を十分に飽和電流まで駆動でき，且つ，飽和電流を与えるゲート電圧以上ではゲート回路の入力インピーダンスは急激に減少する。この様に保護トランジスタの接続段数は必要に応じて増減すれば良い。」（2 頁左下欄 14 行ないし右下欄 11 行）

（エ）「〔実施例 2〕

第 5 図は本発明の第 2 の実施例の装置，即ち $a \cdot Si$ TFT により $X \cdot Y$ マトリックス駆動液晶表示装置を製作した例の回路図を示す。図に於て 21，22，23 は n チャンネル動作のみを示す保護トランジスタ，31，32，41，42 はマトリックスの各要素に配置された TFT，31a，32a，41a，42a は液晶を，51，52，53 はゲートバスラインを，55，56，57 はソースバスラインを，60 は電源を示す。

本装置のトランジスタアレーは次のようにして製作した。先ずガラス基板上に透明電導膜（酸化インジウム・錫）を蒸着しこれを所望の絵

素パターンに形成する。次にMoを蒸着し、これより各要素トランジスタのゲート電極及びゲートバスラインを形成した。次にゲート絶縁膜として窒化シリコンを、半導体薄膜としてa-SiをプラズマCVD法により連続してそれぞれ400nm及び500nm堆積し、その後a-Si膜を所望部位を除きフォトリソグラフィ法により除去した。更に窒化シリコン膜の一部を同じく除去し、コンタクトウインドウを形成した。その後ソース・ドレイン電極及びゲートバスラインの取出し電極をAl蒸着膜のパタニングにより形成することにより、保護トランジスタ21, 22, 23を有するTFTアレーが完成する。このTFTアレーの付設されたガラス基板と、対向する透明電極を付着させたガラス基板との間に液晶を挟持して、マトリックス駆動液晶表示パネルが完成する。

・・・このトランジスタのゲートを第5図に示したように、ドレイン（第5図の信号バスラインをソース・バスと呼んだので便宜上、このように定義する。）に接続した形で構成される保護トランジスタ21, 22, 23を各ゲートバス51, 52, 53に接続した場合、ゲートバスラインに印加された負の電圧は第6図のn-チャンネル電導特性により減衰し、過大負電圧から各要素トランジスタを保護する。

一方ゲートバスに加えられた正電圧が特に高くない場合（ $0 < V_G < 20 \sim 30 \text{ V}$ ）保護トランジスタのpチャンネル電導は顕著でなく、ゲートバス51, 52, 53に加えられたゲート電圧は減衰することなく各要素トランジスタ（31, 32, 41, 42等）のゲートに印加され、各要素トランジスタを十分にオンすることができる。更に過大正電圧が印加されれば、保護トランジスタ21, 22, 23のp-チャンネル電導が動き、要素トランジスタのゲート電圧を低下させることができる。

以上説明したように本発明では、保護トランジスタの作製は各要素トランジスタの製作工程と全く同じ工程で同時に可能であり、且つ各要素

トランジスタの過大ゲート電圧が印加されるのを防止できた。こうして特に工程数を増やすことなく、保護トランジスタをアレー中に作り込むことができ、アレーの各要素トランジスタのゲート絶縁膜破損を防止することができ、T F Tを大規模に集積したT F Tアレーを歩留り良く製作することが可能となった。」(2頁右下欄19行ないし3頁右下欄5行)

(オ)第1図は、乙1発明の第1実施例(前記(イ)の〔実施例1〕)に係るT F Tの概略平面図であり、ゲート電極4は、ソース又はドレインとなる電極9、10と、ゲート電極3は、ソース又はドレインとなる電極10、11と、それぞれ平面的にその両側が重なっていることが示されている。

(カ)第2図は、第1図の断面図であり、保護用トランジスタ T_{r2} は、ガラス基板1上に、ゲート電極4、絶縁膜5、半導体薄膜6が連続して堆積し、半導体薄膜6の上面には、ソース又はドレインとなる電極9、10が設けられ、保護用トランジスタ T_{r3} は、ガラス基板1上に、ゲート電極3、絶縁膜5、半導体薄膜6が連続して堆積し、半導体薄膜6の上面には、ソース又はドレインとなる電極10、11が設けられ、信号用トランジスタ T_{r1} は、ガラス基板1上に、ゲート電極2、絶縁膜5、半導体薄膜6が連続して堆積し、半導体薄膜6の上面には、ソース又はドレインとなる電極7、8が設けられて形成されていること、ゲート電極2、3、4はいずれも同一平面上に位置し、ソース電極又はドレインとなる電極7、8、9、10、11はいずれも同一平面上に位置していることが示されている。

(キ)第3図は、前記(イ)で説明されている第1の実施例の概略回路図であるが、保護用トランジスタ T_{r2} のゲート電極4及びドレイン電極9は入力端2aに接続し、保護用トランジスタのソース電極10は、保護

用のトランジスタ $T r_3$ のドレイン電極 9 となるとともに，保護用のトランジスタ $T r_3$ のゲート電極 3 と接続し，保護用のトランジスタ $T r_3$ のソース電極 11 は，アースに接続していることが示されている。

(ク) 第 5 図は，前記(ウ)で説明されている実施例 2 にかかるマトリックス駆動液晶表示装置の概略回路図であるが，ゲートバスライン 51，52，53 とソースバスライン 55，56，57 により形成された絵素マトリックスの各々に信号処理用の TFT 31，32，41，42 が配置されていること，及び絵素マトリックスの外部には，各々保護トランジスタ 21，22，23 が配置され，各保護トランジスタは，ソースがゲートバスライン 51，52，53 に接続されると共に，ゲートとドレインとが接続されて，アースされていることが示されている。

イ 乙 1 発明の内容

乙 1 文献には，前記アのとおり記載があるところ，乙 1 発明は，外部取り出し端子となる入力端 2a を有する薄膜トランジスタを複数個集積化して形成することにより，例えば，X - Y マトリックス駆動表示装置を構成することを前提としたものであるから，外部取り出し端子である入力端 a を複数個有する半導体装置であることは明らかである。

また，第 1 図の平面図によれば，前記アのとおり，ゲート電極 4 は，ソース又はドレインとなる電極 9，10 と，ゲート電極 3 は，ソース又はドレインとなる電極 10，11 と，それぞれ平面的にその両側が重なっているから，ゲート電極 4 は，ソース又はドレインとなる電極 9，10 と，ゲート電極 3 は，ソース又はドレインとなる電極 10，11 と，平面的に重畳するように設けられているといえる。

したがって，前記アで認定した乙 1 文献の記載からすると，同文献に記載された乙 1 発明は，以下のとおりのもものと認められる。

「ガラス基板 1 の一主面上に，ゲート電極 2，絶縁膜 5，半導体薄膜 6，

ソース電極 7 及びドレイン電極 8 から構成された薄膜トランジスタを設け、外部取り出し端子となる入力端 a を複数個有する薄膜半導体装置において、同入力端 2 a とアースとの間には、半導体薄膜 6 からなる保護用トランジスタ $T r_2$ 、 $T r_3$ が接続されており、前記保護用トランジスタ $T r_2$ は、ガラス基板 1 上に、ゲート電極 4、絶縁膜 5、半導体薄膜 6 が連続して堆積し、半導体薄膜 6 の上面には、ソース又はドレインとなる電極 9、10 が設けられて形成され、前記保護用トランジスタ $T r_3$ は、ガラス基板 1 上に、ゲート電極 3、絶縁膜 5、半導体薄膜 6 が連続して堆積し、半導体薄膜 6 の上面には、ソース又はドレインとなる電極 10、11 が設けられて形成されており、前記ゲート電極 4 は、前記ソース又はドレインとなる電極 9、10 と、前記ゲート電極 3 は、前記ソース又はドレインとなる電極 10、11 と、それぞれ平面的に重畳するように設けられており、前記保護用のトランジスタ $T r_2$ の前記ゲート電極 4 及びドレイン電極 9 は入力端 2 a に接続し、前記保護用トランジスタのソース電極 10 は、前記保護用のトランジスタ $T r_3$ のドレイン電極となるとともに、前記保護用トランジスタ $T r_3$ の前記ゲート電極 3 と接続し、前記保護用トランジスタ $T r_3$ のソース電極 11 は、前記アースに接続しており、前記ゲート電極 3、4 は、前記ゲート電極 2 と同時に形成されており、前記ゲート電極 3、4 上の前記絶縁膜 5 は、前記ゲート電極 2 上の前記絶縁膜 5 と同時に形成されており、前記ゲート電極 3、4 の上方の前記半導体薄膜 6 は、前記ゲート電極 2 の上方の前記半導体薄膜 6 と同時に形成されている半導体装置」

(2) 本件発明と乙 1 発明との対比

本件発明は、前記争いのない事実等で判示したとおりであり、これと乙 1 発明とを、以下、対比する。

ア まず、前記(1)アで認定した乙 1 文献の記載からすると、乙 1 発明の

「ガラス基板 1」は本件発明の「絶縁基板」に，乙 1 発明の「ゲート電極 2」は本件発明の「ゲート電極」に，乙 1 発明の「絶縁膜 5」は本件発明の「ゲート絶縁膜」に，乙 1 発明の「ソース電極 7」は本件発明の「ソース電極」に，乙 1 発明の「ドレイン電極 8」は本件発明の「ドレイン電極」に，それぞれ相当することは明らかである。

また，前記（１）アで認定した乙 1 文献の記載からすると，乙 1 発明の「半導体装置」は，薄膜トランジスタで構成されていることが認められるから，本件発明の「薄膜トランジスタ装置」に相当し，乙 1 発明の「保護用トランジスタ $T r_2$ ， $T r_3$ 」は本件発明の「高圧保護用の 2 端子薄膜半導体素子」に，乙 1 発明の保護用トランジスタを構成する「半導体薄膜 6」は本件発明の「付加薄膜半導体」に，乙 1 発明の「ゲート電極 3，4」は本件発明の「付加ゲート電極」に，乙 1 発明の保護用トランジスタを構成する「絶縁膜 5」は本件発明の「付加ゲート絶縁膜」に，「ソース又はドレインとなる電極 9，10，11」は本件発明の「第 1 主電極，第 2 主電極」に，それぞれ相当することは明らかである。

また，前記（１）アで認定した乙 1 文献の記載から，乙 1 発明の「アース」は，入力端 2 a に印加された過大な静電気等を，保護用トランジスタ $T r_2$ ， $T r_3$ を通じて，外部に逃がすためのものであることが認められる。

イ したがって，本件発明と乙 1 発明とは，「絶縁基板上に少なくともゲート電極，ゲート絶縁膜，半導体薄膜，ソース電極，ドレイン電極からなる薄膜トランジスタを搭載し，外部取り出し端子を複数個有する薄膜トランジスタ装置において，前記外部取り出し端子と，静電気等を外部に逃がすための端子ないし電極との間には，少なくともその 1 箇所が，付加薄膜半導体からなる高圧保護用の 2 端子薄膜半導体素子に接続されており，前記 2 端子薄膜半導体素子は，前記付加薄膜半導体の表面に付加ゲート絶縁膜

を介して設けられた付加ゲート電極と、前記付加ゲート電極とは反対側の前記付加薄膜半導体の表面に設けられた第 1 主電極及び第 2 主電極を有し、前記絶縁基板上に形成されており、前記付加ゲート電極は、前記第 1 主電極及び第 2 主電極と平面的に重畳するように設けられており、前記付加ゲート電極は前記ゲート電極と同時に形成されており、前記付加ゲート絶縁膜は前記ゲート絶縁膜と同時に形成されており、前記付加薄膜半導体は前記半導体薄膜と同時に形成されていることを特徴とする薄膜トランジスタ装置」である点で共通し、以下の点で相違する。

(ア) 相違点 1

2 端子薄膜半導体素子が接続されている対象が、本件発明では外部取り出し端子とこれに近接して設けられた共通浮遊電極であるのに対し、乙 1 発明では、外部取り出し端子と接地端子である点

(イ) 相違点 2

本件発明では、「前記付加ゲート電極及び前記第 2 主電極は前記外部取り出し端子に接続し、前記第 1 主電極は前記共通浮遊電極に接続して」いるのに対し、乙 1 発明では、「保護用のトランジスタ $T r_2$ の前記ゲート電極 4 及びドレイン電極 9 は入力端 2 a に接続し、前記保護用トランジスタのソース電極 10 は、前記保護用のトランジスタ $T r_3$ のドレイン電極 9 となるとともに、前記保護用トランジスタ $T r_3$ の前記ゲート電極 3 と接続し、前記保護用トランジスタ $T r_3$ のソース電極 11 は、前記アースに接続して」いる点

換言すれば、本件発明においては、外部取り出し端子と共通浮遊電極の間には、2 端子薄膜半導体素子が、順方向接続態様で 1 個接続されているのに対し、乙 1 発明においては、入力端子 2 a (外部取り出し端子) とアースとの間には、 $T r_2$ 、 $T r_3$ (2 端子薄膜半導体素子) が、順方向接続態様で直列に 2 個接続されている点

(ウ) 相違点 3

本件発明では、「前記共通浮遊電極は、前記外部取り出し端子と同時に、または前記ゲート電極または前記ソース電極及び前記ドレイン電極と同時に形成されて」いるのに対し、乙 1 発明では、共通浮遊電極が存在しないから、その形成方法も開示されていない点

(3) 相違点の検討

ア 乙 2 文献の記載

乙 2 文献には、以下のとおりの記載がある(乙 2)。

(ア)「TFT (Thin Film Trs)などで構成されるアクティブマトリックスにおいて、該マトリックスの周辺領域で、前記マトリックスを構成する各 X ラインが直列に接続された 2 個の MOS 型トランジスタを介して一つの配線に接続され、前記 2 個の MOS 型トランジスタは、前記 X ラインに近い方の MOS 型トランジスタのゲートは該 MOS 型トランジスタが接続されるべき前記 X ラインに接続され、前記直列に接続された 2 個の MOS 型トランジスタのうち、前記 X ラインより遠い方の MOS 型トランジスタのゲートは、前記一つの配線に接続され、前記マトリックスを構成すると各 Y ラインが直列に接続された 2 個の MOS 型トランジスタを介して前記一つの配線に接続され、前記 2 個の MOS 型トランジスタのうち、Y ラインに近い方の MOS 型トランジスタのゲートは該 MOS 型トランジスタが接続されるべき前記 Y ラインに接続され、前記 2 個の MOS 型トランジスタのうち Y ラインに遠い方の MOS 型トランジスタのゲートは、前記一つの配線に接続される保護回路を持つことを特徴とする半導体装置」(特許請求の範囲)

(イ)「本発明は TFT (Thin Film Trs)などで構成されるアクティブマトリックスにおいて、静電気などによる前記マトリックスを構成する素子の破壊を防止するための保護回路に関する。

T F Tは絶縁基板上にトランジスタが形成されるため、静電気やノイズなどによる素子破壊を防止する保護回路を、前記絶縁基板上にモノリシックに形成することが困難である。この理由は、T F Tで構成される回路の端子から静電気などが入った時、電流を吸わすべき共通の基板がないことによる。また、単結晶シリコン基板上に形成される通常のI CやL S Iで採用され、技術的に完成度が高く、実績もある保護回路がT F Tでは採用出来ないことも理由の1つである。従って本発明の目的は、絶縁基板上に形成されるT F Tなどで構成されるアクティブマトリックスを、静電気などによる破壊から守る保護回路を提供することである。」(1頁右欄11行ないし2頁左上欄9行)

(ウ)「Xラインに接続される2個のM O S型トランジスタのうち、Xラインに近い方のM O S型トランジスタ(T X 1 1, T X 2 1, . . . T X n 1)のゲートは各Xラインに接続され、同様にYラインに接続される2個のM O S型トランジスタのうち、Yラインに近い方のM O S型トランジスタ(T Y 1 1, T Y 2 1, . . . T Y m 1)のゲートは各Yラインに接続されている。一方Xライン及びYラインから遠い方に接続されているM O S型トランジスタ(T X 1 2, . . . T X n 2, T Y 1 2, . . . T Y m 2)のゲートはアクティブマトリックスの外側に設けられた配線Aに接続されている。従って本発明による保護回路は、第2図に示すように配線Aと、該配線AとX乃至Yラインの間に挿入された2個のM O S型トランジスタから成っている。」(2頁左下欄11行ないし右下欄5行)

(エ)「第2図のアクティブマトリックスが組立工程の途上にある時は、配線Aはフローティングとなっている。従って前記静電気が配線Aに流れる割合は、配線Aのフローティング電位と該配線の容量によって決まる。」(2頁右下欄16行ないし3頁左上欄1行)

(オ)「配線 A の容量は大きい方が静電気による破壊防止の効果が大きい。

具体的には配線 A の配線巾を大きくしたり，第 2 図に示した配線 A はアクティブマトリックスの外周 1 / 2 に配線されているが，全外周に配線することなどにより，配線 A の面積をより大きくするとよい。」(3 頁左欄 2 行ないし 7 行)

(カ)「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は，配線 A も G N D 電位に接続するとよい。この場合は静電気だけでなく，周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」(3 頁左上欄 7 行ないし 1 2 行)

(キ) 第 2 図

第 2 図は，乙 2 発明による保護回路を持つアクティブマトリックスを示した図であり，同アクティブマトリックスの外側に配線 A があり，配線 A と各 X ライン及び各 Y ラインとの間に，それぞれ 2 個の M O S 型トランジスタが接続されている様子が示されている。同図では，上記の M O S 型トランジスタのうち，X ラインに接続される M O S 型トランジスタは，X ラインに近い方の M O S 型トランジスタのゲートが，同トランジスタの 1 つの電極と短絡して X ラインに接続し，もう一方の電極が X ラインに遠い方の M O S 型トランジスタの電極と直列で接続し，X ラインに遠い方の M O S 型トランジスタのゲートが，同トランジスタのもう一方の電極と短絡して配線 A に接続しており，Y ラインに接続している M O S 型トランジスタも上記と同様の接続態様となっている。

(ク) 第 3 図

第 3 図は，第 2 図のうちの左隅の部分 (X ライン，Y ライン，配線 A ，アクティブマトリックスを構成する T F T ，X ラインと配線 A に接続した 2 個の M O S 型トランジスタ，Y ラインと配線 A に接続した 2 個の M O S 型トランジスタが記載されている。) を拡大して表示し，X ライン

及びYラインに，抵抗が挿入された図である。

イ 相違点 1 について

(ア) 前記(1)イで判示した乙1発明の内容及び前記(1)アで認定した乙1文献の記載からすれば，乙1発明は，TFTで構成されるマトリックス駆動液晶表示装置において，静電気等により設計値以上の電圧が印加された場合に，TFTのゲート絶縁膜の破壊を防ぐために，上記の構成を採用したことが認められる。

そして，前記アで判示した乙2文献の記載によれば，乙2発明は，絶縁基板上に形成され，TFTで構成されるアクティブマトリックスを，静電気から保護するために，XラインないしYラインに生じた静電気を同ラインから逃がすための構造として，各TFTのゲートに接続され，両端に外部回路と接続するための電極を備えるXラインないしYラインが，前記アクティブマトリックスの周辺領域で，順方向接続態様と逆方向接続態様で直列に接続された2個のMOS型トランジスタを介してフローティング電位である1つの共通の配線に接続されるという構造を有する保護回路を備える発明であると認められる。このように，乙2発明は，TFTで構成されるマトリックス駆動液晶表示装置において，絶縁基板上に形成されるTFTを保護するために，XラインないしYラインに生じた静電気を保護回路を介して他の電極に逃がすというものであり，乙1発明とは，技術分野のみならず，技術課題及びそれを解決するために保護回路を設けるという手段を採用した点で共通しており，保護回路の具体的構成が，静電気を逃がす先を，アースとするか，共通浮遊電極とするかの点及び保護用トランジスタの接続態様の点で相違しているだけである。

したがって，乙1発明の，入力端a（外部取り出し端子）にゲート電極とソース電極ないしドレイン電極によって接続された保護用トランジ

スタのもう一方の電極が接続される対象をアースとする構成に換えて、乙２発明の、上記の接続対象を共通浮遊電極である配線Ａとする構成とすることは、当業者が容易に推考できると解するのが相当である。

(イ) なお、前記ア(カ)のとおり、乙２文献には、「アクティブマトリックスが周辺回路などに接続されて組み立てが完了した時は、配線ＡもＧＮＤ電位に接続するとよい。この場合は静電気だけでなく、周辺回路を通して入力するサージに対しても本発明の保護回路は役立つ。」(３頁左上欄７行ないし１２行)との記載があるが、前記のとおり、乙２文献には、現に、配線Ａがフローティングの状態の構成が開示されていること、組立てが完了した後に配線Ａの接地を推奨する上記記載も、組立て完了後の接地を推奨するだけであって、接地を必須の構成とするものではないこと、乙２文献の上記記載は、配線ＡをＧＮＤ電位に接続すると、組立て途中に発生する静電気だけでなく、組立て完了後に発生するサージからも、トランジスタを保護することができるという趣旨であると解されるが、サージからのトランジスタの保護のためには、周辺回路におけるサージ保護回路を採用するなどの方法により、十分対処できるのであり、必ずしも、配線ＡをＧＮＤ電位に接続する必要はないこと、組立て完了後に、保護用トランジスタの一方の接続先として配線ＡをＧＮＤ電位に接続するために要する費用と時間を考慮すると、当業者としては、組立て完了後も、上記接続のための設計変更をせずに、保護用トランジスタの接続先をフローティングの状態のままとすることも十分考えられるところである。

したがって、乙２文献に上記の記載があっても、当業者であれば、組立て完了後も、配線Ａを接地せずに、フローティングの状態のままとする構成を維持することを、容易に想到できるというべきである。

(ウ) 原告は、乙２文献は、組立てが完了した後は、配線Ａを接地するこ

とを推奨していること、乙2文献に開示されている保護回路は、2つのMOS型トランジスタを順方向接続態様と逆方向接続態様で直列に繋いだものであるが、このような保護回路では、配線Aから他のXラインへと静電気を分散することは難しいこと、乙2文献は、配線Aの容量を大きくすることを推奨していることから、乙1発明及び乙2発明のいずれにも、1つの外部取り出し端子に印加された静電気等を他の外部取り出し端子に放電するという分散放電の技術思想が開示されておらず、したがって、乙1発明に乙2発明の前記(ア)の構成(接続対象を共通浮遊電極である配線Aとする構成)を適用することはできない旨主張する。この原告主張の要旨は、分散放電の技術思想がない場合は、アースに換えて共通浮遊電極を設置するという発想が生じないというものであると解される。

この点、確かに、前記ア(エ)及び同(オ)で判示したとおり、乙2文献には、「第2図のアクティブマトリックスが組立工程の途上にある時は、配線Aはフローティングになっている。従って前記静電気が配線Aに流れる割合は、配線Aのフローティング電位と該配線の容量によって決まる。」、「配線Aの容量は大きい方が静電気による破壊防止の効果が大きい。具体的には配線Aの配線巾を大きくしたり、第2図に示した配線Aはアクティブマトリックスの外周1/2に配線されているが、全外周に配線することなどにより、配線Aの面積をより大きくするとよい。」との記載があり、これらの記載によれば、乙2文献に記載された保護回路において、配線Aは、静電気等の放出先として設置されたものであり、同配線Aを通じて、XラインないしYラインに生じた静電気等を他のXラインないしYラインに分散することまでも目的として設けられたものではないと認められる。

しかしながら、前記(ア)のとおり、乙1発明と乙2発明とは、共に、

T F Tで構成されるマトリックス駆動液晶表示装置において、絶縁基板上に形成されるT F Tを静電気から保護するために、T F Tのゲート配線と他の端子との間に保護用トランジスタを接続するというものであり、技術分野及び解決すべき課題が共通している。また、外部取り出し端子に印加された静電気等を放電する先を共通浮遊電極とするという構成を採用することにより得られる効果は、その共通浮遊電極から他の外部取り出し端子に静電気を分散できるということのみではなく、例えば、T F Tで構成されるアクティブマトリックスの製作途中においては、2端子薄膜半導体素子（保護用トランジスタ）の一方の電極をアースに接続せずに、フローティングの状態とすれば、組立作業が容易となり、この点にも技術上の意義があるものと考えられるところ（なお、前記（イ）のとおり、乙2文献には、組立て完了後に、保護用トランジスタの接続先をフローティングの状態の配線からアースに変更することを推奨しているが、フローティングの状態のままにすることを禁止しているわけではなく、また、サージからのトランジスタの保護のためには、周辺回路におけるサージ保護回路を採用する等の方法により対処でき、このことに、そのような変更のために要する費用、時間等を併せ考慮すると、組立て完了後も、保護用トランジスタの接続先をフローティングの状態のまま維持することも十分考えられるというべきである。）、乙1文献に「こうして特に工程数を増やすことなく、保護トランジスタをアレー中に作り込むことができ、アレーの各要素トランジスタのゲート絶縁膜破損を防止することができ、T F Tを大規模に集積したT F Tアレーを歩留まり良く製作することが可能となった。」（3頁左下欄20行ないし右下欄5行）との記載にあるように、乙1発明は、製作中のトランジスタの破損防止を目的としているから、当業者にとって、乙1発明のアースを、乙2文献で記載されているフローティングの状態である配線Aと

することの、動機付けが認められるというべきである。

したがって、乙１発明及び乙２発明に、分散放電の技術思想が開示されていないとしても、乙１発明に、ＭＯＳ型トランジスタの接続先を配線Ａとする乙２発明の構成を適用することの動機付けが認められ、原告の上記主張は理由がない。

(エ) また、原告は、乙２文献には、１つのＸラインに印加された静電気を他のＸラインに放電するという本件発明の技術思想が記載されているとはいえないから、乙１発明に乙２発明に開示された保護回路の構成を適用しても、両発明には、本件発明の分散放電の技術思想が開示されておらず、本件発明を想到することはできないと主張する。

ａ しかしながら、そもそも、本件発明も、外部取り出し端子に印加された静電気が、２端子素子の保護回路及び共通浮遊電極を通じて、他の外部取り出し端子へと分割されるという分散放電の技術思想をその必須の内容とするものではないから、乙２文献が分散放電の技術思想を開示していないことによって、相違点１についての前記（ア）の判断が左右されるものではない。

すなわち、特許出願手続、無効審判手続及び審決取消訴訟における発明の要旨認定は、特許請求の範囲の記載に基づいて行われ、明細書の発明の詳細な説明の記載や図面が参酌されるのは、特許請求の範囲の記載の技術的意義が一義的に明確に理解することができないとか、あるいは、一見してその記載が誤記であることが明細書の発明の詳細な説明の記載に照らして明らかであるなどの特段の事情がある場合に限られると解すべきところ（最高裁昭和６２年（行ツ）第３号平成３年３月８日第二小法廷判決・民集４５巻３号１２３頁参照）、侵害訴訟において特許法１０４条の３第１項に基づく権利行使の制限の主張が行われた場合の当該特許発明の要旨認定においても、同条項が「特

許無効審判により無効にされるべきものと認められるときは」と規定されていることに照らし、特許無効審判手続及びその審決取消訴訟における発明の要旨認定の場合と同じ認定手法によるのが相当と認められる。したがって、上記権利行使の制限の主張が行われた場合の発明の要旨認定は、原則として、特許請求の範囲の記載に基づいて行われ、明細書の発明の詳細な説明の記載や図面が参酌されるのは、特許請求の範囲の記載の技術的意義が一義的に明確に理解することができないとか、あるいは、一見してその記載が誤記であることが明細書の発明の詳細な説明の記載に照らして明らかであるなどの特段の事情がある場合に限られると解すべきである。

ところで、本件明細書（甲１０添付）には、発明の詳細な説明の欄において、「共通浮遊電極を設けた場合には、静電気は２端子素子から共通浮遊電極さらに２端子素子を通して他の複数の端子に放電されるので、さらに印加電圧を低くすることができる。」、「第６図は、さらに第５図の例において遮光膜を第１主電極延在部２７として第１主電極１０６に接続した例で、両方向に電流を流しやすい構造を有している。」との記載があるが、特許請求の範囲の記載は、前記争いのない事実等の（１）で認定したとおりであり、同記載によれば、本件発明においては、２端子薄膜半導体素子の付加ゲート電極及び第２主電極は外部取り出し端子に接続し、第１主電極は共通浮遊電極に接続するという順方向接続態様で接続する構成（構成要件Ｅ）であることが明らかであり、この接続態様によれば、電流は、外部取り出し端子から２端子薄膜半導体素子を介して共通浮遊電極へ流れる方向には流れやすいが、共通浮遊電極から２端子薄膜半導体素子を介して他の外部取り出し端子に流れる方向には流れにくくなっているものと認められる。そうすると、本件特許の特許請求の範囲の記載からみて、分散

放電の技術思想ないしそれを実現する構成は、本件発明の必須の内容とはされていないというべきである。

したがって、原告の上記主張は理由がない。

b 仮に、原告の主張に係る分散放電を、本件発明の構成でも実現できる程度のものと解した場合でも、以下のとおり、原告の上記主張には理由がない。

(a) 乙2発明の構成、すなわち、保護用トランジスタであるMOS型トランジスタの接続先を共通浮遊電極である配線Aとする構成を、乙1発明に適用した構成(2個の保護用トランジスタが順方向接続態様によって直列に接続し、その接続先を共通浮遊電極とした構成)でも、入力端aに生じた静電気等が共通浮遊電極を介して他のラインに流れることもあり得るところであり、この構成による分散放電と本件発明の構成によって実現できる分散放電との差は、程度の差にすぎないというべきである。

したがって、乙2発明に記載されている、保護用トランジスタの接続先を共通浮遊電極とするという技術を乙1発明に適用した場合の構成は、原告の主張に係る分散放電を可能とするという点で、本件発明の構成と実質的な差異はないというべきであり、原告の上記主張は理由がない。

(b) また、本件発明は、第1主電極延在部を備える構成とはなっていない以上、本件発明が実現し得る分散放電の効果も、分散放電が可能という程度にすぎず、この程度のものではあれば、当業者は、通常、保護用トランジスタの接続先を共通浮遊電極とする構成を採用することにより、当然に、実現できるものであると予測するものと解される。

この点、乙8文献にも、「この時列電極線3は基板周辺において、

第 2 図の A , D で示される様に互いに短絡して構成するとともに , さらに , E , F , G , H で示される様に周辺で行電極線ともコンタクトを取り , すべての行電極線と列電極線が同電位となる様にする。以上の様にマトリックスアレー基板を構成する事により , 基板の以降の工程において , いかなる静電気にさらされても , 基板内は常に同電位に保たれるので , 静電気に対し , 非常に強くなる。」(2 頁左下欄 9 行ないし 1 7 行) と記載されており , マトリックスアレーの製作時に , 静電気による絶縁破壊を防止するために , 1 つの端子に印加された静電気を他の端子に放電するという分散放電の思想自体は , 本件出願時に公知のものといえる。

このように , 本件発明において実現できる程度の分散放電の効果は , 当業者が予測することのできない格別顕著な効果とは認められないから , 乙 1 発明及び乙 2 発明に , 共通浮遊電極を通じて他の外部取り出し端子に静電気を分散しやすいという分散放電の効果が開示されていないとしても , そのことのみを理由として , 本件発明に進歩性が認められるものではないと解するのが相当である。

したがって , 原告の上記主張は理由がない。

(c) また , 後記ウで判示するとおり , 乙 1 発明における直列に接続した 2 個の保護用トランジスタを , 1 個の保護用トランジスタとすることは , 当業者が適宜選択できる設計事項にすぎないというべきであるから , このようにして設計変更をした構成に , 保護用トランジスタである MOS 型トランジスタの接続先を共通浮遊電極である配線 A とする乙 2 発明の構成を適用することにより , 又は , 乙 1 発明に乙 2 発明の上記構成を適用した上で , 上記の設計変更をすることにより , 本件発明と同一の構成となり , 上記の原告の主張に係る分散放電の効果を実現できることになる。

したがって、この観点からも、原告の上記主張は理由がない。

(オ) 以上のとおり、相違点 1 に係る本件発明の構成は、当業者が容易に推考し得ることである。

ウ 相違点 2 について

(ア) 本件明細書には、「以上の 2 端子素子は、内部の T F T 動作に影響を与えない様、チャンネル長、チャンネル幅、 V_{TH} の選択がされるが、さらに付加ゲート電極と第 1 主電極の間、第 1 主電極延在部と第 2 主電極の間にオフセット領域を設定することも可能である。」(甲 10 添付・3 頁 8 行ないし 12 行)、「2 端子素子は、それ故 T F T 装置の動作電圧より高く、破壊電圧より低い電圧で電流が流れる様、寸法、構造が選ばれている。」(同 3 頁 20 行ないし 21 行)、「第 4 図は第 3 図 a の 2 端子素子の付加ゲート電極 12 と第 2 主電極 106 を短絡した例で、第 2 主電極 106 に電圧が印加されたとき T F T の V_{TH} とほぼ同じ値で電流が流れる。そのため静電気保護素子と用いるときには、T F T よりチャンネル長を長く、またはチャンネル幅を狭くすることが望ましい。また、第 2 主電極 106 を共通浮遊電極に接続することが好ましい。第 5 図は、第 4 図の例において付加ゲート電極 12 と第 1 主電極 105 の間に平面的重畳をなくし、いわゆるオフセットを設け、見かけ上 V_{TH} を高くした例である。」(同 5 頁 21 行ないし 6 頁 1 行)との記載があり、これらの記載によれば、2 端子薄膜半導体素子のしきい値は、チャンネル長、チャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法等によっても調整できるものと認められ、当業者としても、そのような認識を有しているものと推測される。

そして、乙 1 文献にも、前記(1)ア(ウ)で判示したとおり、実施例 1 の説明として、「第 4 図に保護トランジスタ $T r_3$ のゲート電圧 V_G 対ドレイン電流 i_D 特性を n - チャンネル飽和ドレイン電流 i_{DS} で規

格化して示す。図に於いて $V_G(+)$ 側で i_D が急増する電圧を閾値電圧 V_T とすれば、図の特性では $3V_T$ 程度のゲート電圧印加により、 i_D はほぼ飽和電流に達する。保護トランジスタを 2 段直列接続した第 3 図の構成では、 T_{r1} のゲートに対する入力端 2 a から見た回路のインピーダンスは $V_G = 2V_T$ までは大きい、 $V_G > 2V_T$ となると急激に低下し、ゲート電極 2 に過大な電圧が印加されるのを防止することができた。第 4 図の特性例を考慮すると、保護トランジスタを 3 段に接続すれば、 T_{r1} を十分に飽和電流まで駆動でき、且つ、飽和電流を与えるゲート電圧以上ではゲート回路の入力インピーダンスは急激に減少する。この様に保護トランジスタの接続段数は必要に応じて増減すれば良い。」（2 頁左下欄 14 行ないし右下欄 11 行）との記載があり、同記載からすれば、乙 1 発明において、設置すべき保護用トランジスタの個数は、適宜増減できることが開示されているものと認められる。

（イ）この点、原告は、乙 1 発明では、保護用トランジスタの一方の電極は、接地しているのであるから、保護用トランジスタを、乙 1 発明のように、順方向接続にしたまま、1 個に減ずると、駆動時において、駆動信号が漏れてしまい、要素トランジスタ T_{r1} の駆動に支障が生じ、消費電力も増加するという問題が生じる旨主張し、また、上記の問題が生じることを避けるために、乙 1 発明においては、保護用トランジスタを 2 個直列に接続させた旨主張する。

しかしながら、上記のとおり、保護用トランジスタのしきい値は、そのチャンネル長やチャンネル幅、ゲート電極と主電極との平面的重畳部分の寸法等によって、調整が可能であり、保護用トランジスタを順方向接続態様にしたままで、その個数を 1 個に減じて、チャンネル長やチャンネル幅等を調整することにより、原告の指摘する上記問題点を回避することができるものと解され、乙 1 文献が、「保護トランジスタの接

続段数は必要に応じて増減すれば良い」と、保護トランジスタを増加させるだけでなく減少させることができること（保護用トランジスタを減少させることは、同トランジスタを１個とすることを意味する。）を明記しているのは、このことを前提にしたものであると解するのが相当である。

また、前記イで判示したように、乙１発明の２端子薄膜半導体素子の一方の電極が接続されている対象をアースとする構成に換えて、乙２文献において開示されているフローティングの状態の配線Ａ（共通浮遊電極）とすることは、当業者が容易に推考できるのであるから、これを前提に考えれば（アースを共通浮遊電極に換えた構成を前提とすれば）、原告が指摘する上記の問題は生じないこととなる。

したがって、原告の上記主張は理由がない。

（ウ）以上のとおり、乙１発明における、順方向接続態様で直列に接続した２個の保護用トランジスタを、順方向接続態様の１個の保護用トランジスタとすることは、当業者が適宜選択できる設計事項にすぎないというべきであり、相違点２に係る本件発明の構成は、当業者が容易に推考し得ることである。

エ 相違点３について

前記（１）ア（エ）で認定したとおり、乙１文献には、「以上説明したように本発明では、保護トランジスタの作製は各要素トランジスタの製作工程と全く同じ工程で同時に可能であり、且つ各要素トランジスタの過大ゲート電圧が印加されるのを防止できた。こうして特に工程数を増やすことなく、保護トランジスタをアレー中に作り込むことができ、アレーの各要素トランジスタのゲート絶縁膜破損を防止することができ、ＴＦＴを大規模に集積したＴＦＴアレーを歩留り良く製作することが可能となった。」（３頁左下欄１６行ないし右下欄５行）と記載されており、また、

乙４文献には、「工程数の増加は必然的にコストの上昇と歩留りの低下に反映するので工程数の増加を防ぎつつ保護ダイオードを内蔵させたＭＯＳトランジスタを得ることは極めて重要である。」（３頁左上欄１０行ないし１４行）と記載されている。これらの記載にあるように、ＴＦＴを静電気から保護するためのトランジスタやダイオードの作製において、工程数を増やさないようにすることは周知の課題といえる。

そして、前記イで判示したとおり、乙１発明の２端子薄膜半導体素子の一方の電極が接続されている対象をアースとする構成に換えて、フローティングの状態の配線Ａ（共通浮遊電極）とすることは、当業者が容易に推考できるというべきところ、２端子薄膜半導体素子の一方の電極の接続先を共通浮遊電極とした場合、共通浮遊電極はソース・ドレイン電極、ゲート電極やソースライン、ゲートラインなどと同じ材料で作製し、共通浮遊電極を形成する場合に、工程数を増やさないようにするために、ソース・ドレイン電極、ゲート電極やソースライン、ゲートラインなどとともに形成することは、乙８文献に「これら短絡に用いる部材としては、電極部材と同一である場合が最も簡単であり、Ａ及びＤは列電極線 a １～a ６と、又 b 及び c は行電極線 b １～b ６と、それぞれ同一の部材を用い、各電極線を構成する時に同じに作り込めば良い。」（２頁右上欄５行ないし９行）と記載されているように、当業者が当然に採用する技術的手段にすぎないというべきである。

したがって、相違点３に係る本件発明の構成は当業者が容易に推考し得ることである。

オ 以上によれば、本件発明は、乙１発明及び乙２発明の技術に基づいて、当業者が容易に発明をすることができたものであって、特許無効審判により無効にされるべきものと認められる。

２ したがって、その余の点について判断するまでもなく、原告の請求は理由が

ない。

第 4 結論

以上の次第で，原告の請求は理由がないから，これを棄却することとし，主文のとおり判決する。

東京地方裁判所民事第 2 9 部

裁判長裁判官 清 水 節

裁判官佐野信及び同國分隆文は，転補のため，署名押印することができない。

裁判長裁判官 清 水 節

