

平成14年（行ケ）第125号 特許取消決定取消請求事件（平成17年2月8日
口頭弁論終結）

判 引受承継人 訴訟代理人弁理士 同 原告（脱退） 原告（脱退） 両名訴訟代理人弁理士 同 同被指定代理人 同 同 同	株式会社ルネサステクノロジ 井沢大和博 株式会社日立製作所 日立デバイスエンジニアリング株式会社 井沢大和博 光長官 特許庁長官 朝居林 鳥小藤 小佐藤 伊文	川 洋
主 引受承継人の請求を棄却する。 訴訟費用は引受承継人の負担とする。 事実及び理由		

第1 請求

特許庁が異議2001-71524号事件について平成14年1月25日に
した決定を取り消す。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告ら（脱退）は、名称を「半導体集積回路」とする特許第3112047
号発明（平成4年11月4日特許出願〔以下「本件出願」という。〕、国内優先権
主張平成3年11月8日〔以下「本件優先日」という。〕、平成12年9月22日
設定登録、以下、この特許を「本件特許」という。）の特許権者であったところ、
本件特許の請求項1ないし17、26ないし37について特許異議の申立てがさ
れ、特許庁は、これを異議2001-71524号事件として審理した結果、平成
14年1月25日、「特許第3112047号の請求項1ないし17、26ないし
37に係る特許を取り消す。」との決定をし、その謄本は、同年2月13日、原告
ら（脱退）に送達された。

原告ら（脱退）が本件訴えを提起した後、引受承継人は、本件特許に係る特
許権についての原告ら（脱退）の各持分を譲り受け、原告（脱退）株式会社日立製
作所の持分移転については平成15年9月18日、原告（脱退）日立デバイスエン
ジニアリング株式会社の持分移転については平成16年4月13日、それぞれ登録
を経た後、平成17年1月20日付け引受決定により、本件訴訟を引き受け、原告
ら（脱退）は、本件訴訟から脱退した。

2 本件出願の願書に添付した明細書（以下、図面と併せて「本件明細書」とい
う。）の特許請求の範囲の請求項1ないし17、26ないし37に記載された発明
の要旨（以下の各請求項の発明を、その請求項番号に従い「本件発明1」などとい
う。）

【請求項1】第1電位点と上記第1電位点よりも低電位である第2電位点との間
にソース・ドレイン経路を有する第1MOSトランジスタを含む電子回路と、
上記第1電位点よりも高電位である第3電位点と上記第1電位点との間にソ
ース・ドレイン経路を有する第2MOSトランジスタとを有し、
上記第2MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第2MOSトランジスタをオ
ン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第1MO
Sトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第2MOSトランジスタをオ
フ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第1MO
Sトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を
上記第2MOSトランジスタのオフ状態の特性によって制限するものであって、
上記第2MOSトランジスタをpチャネルMOSトランジスタとすることを

特徴とする半導体集積回路。

【請求項2】上記サブスレッショルド電流は、上記第1MOSトランジスタの加工寸法が $0.1\mu\text{m}$ 領域であることに起因して流れることを特徴とする請求項1記載の半導体集積回路。

【請求項3】上記第2MOSトランジスタのしきい値電圧の絶対値は、上記第1MOSトランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする請求項1または2記載の半導体集積回路。

【請求項4】第1電位点と上記第1電位点よりも低電位である第2電位点との間にソース・ドレイン経路を有する第1MOSトランジスタを含む電子回路と、
上記第2電位点よりも低電位である第3電位点と上記第2電位点との間にソース・ドレイン経路を有する第2MOSトランジスタとを有し、
上記第2MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第2MOSトランジスタをオン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第1MOSトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第2MOSトランジスタをオフ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限するものであって、
上記第2MOSトランジスタをnチャネルMOSトランジスタとすることを特徴とする半導体集積回路。

【請求項5】上記サブスレッショルド電流は、上記第1MOSトランジスタの加工寸法が $0.1\mu\text{m}$ 領域であることに起因して流れることを特徴とする請求項4記載の半導体集積回路。

【請求項6】上記第2MOSトランジスタのしきい値電圧の絶対値は、上記第1MOSトランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする請求項4または5記載の半導体集積回路。

【請求項7】上記電子回路はCMOS回路であることを請求項1乃至6のいずれかに記載の半導体集積回路。

【請求項8】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリセルとを含み、上記電子回路は上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項1乃至請求項7の何れかに記載の半導体集積回路。

【請求項9】第1電位点と第2電位点との間にソース・ドレイン経路を有し、ソースが上記第1電位点に接続されたpチャネル型の第1MOSトランジスタと、
上記第1電位点と上記第2電位点との間にソース・ドレイン経路を有し、上記第1MOSトランジスタと直列接続されたnチャネル型の第2MOSトランジスタと、

第3電位点と上記第1電位点との間にソース・ドレイン経路を有し、ソースが上記第3電位点に接続された第3MOSトランジスタとを有し、
上記第3MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第3MOSトランジスタをオン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第1MOSトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第3MOSトランジスタをオフ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第3MOSトランジスタのオフ状態の特性によって制限するものであって、
上記第1MOSトランジスタの導電型と上記第3MOSトランジスタの導電型とを等しくすることを特徴とする半導体集積回路。

【請求項10】上記サブスレッショルド電流は、上記第1MOSトランジスタの加工寸法が $0.1\mu\text{m}$ 領域であることに起因して流れることを特徴とする請求項9記載の半導体集積回路。

【請求項11】上記第3MOSトランジスタのしきい値電圧の絶対値は、上記第1MOSトランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする請求項9または10記載の半導体集積回路。

【請求項12】第1電位点と第2電位点との間にソース・ドレイン経路を有する

pチャネル型の第1MOSトランジスタと、
上記第1電位点と上記第2電位点との間にソース・ドレイン経路を有し、上記第1MOSトランジスタと直列接続され、ソースが上記第2電位点に接続されたnチャネル型の第2MOSトランジスタと、
第3電位点と上記第2電位点との間にソース・ドレイン経路を有し、ソースが上記第3電位点に接続された第3MOSトランジスタとを有し、
上記第3MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第3MOSトランジスタをオン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第2MOSトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第3MOSトランジスタをオフ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第2MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第3MOSトランジスタのオフ状態の特性によって制限するものであって、
上記第2MOSトランジスタの導電型と上記第3MOSトランジスタの導電型とを等しくすることを特徴とする半導体集積回路。

【請求項13】上記サブスレッショルド電流は、上記第1MOSトランジスタの加工寸法が0.1 μ m領域であることに起因して流れることを特徴とする請求項12記載の半導体集積回路。

【請求項14】上記第3MOSトランジスタのしきい値電圧の絶対値は、上記第1MOSトランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする請求項12または13記載の半導体集積回路。

【請求項15】第1電位点と第2電位点との間に、それぞれのソース・ドレイン経路を有する第1導電型の第1MOSトランジスタと第2導電型の第2MOSトランジスタとを具備するMOS回路を複数有し、
上記第1MOSトランジスタのソースは上記第1電位点に接続され、
上記第1MOSトランジスタのソース・ドレイン経路と第2MOSトランジスタのソース・ドレイン経路は直列に接続され、
第3電位点と上記第1電位点との間にソース・ドレイン経路を有し、ソースが上記第3電位点に接続された第3MOSトランジスタを具備し、
上記第3MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第3MOSトランジスタをオン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第1MOSトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第3MOSトランジスタをオフ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第3MOSトランジスタのオフ状態の特性によって制限するものであって、
上記第3MOSトランジスタのゲート幅は各上記MOS回路に含まれる上記第1MOSトランジスタのゲート幅の総和よりも小さいことを特徴とする半導体集積回路。

【請求項16】上記第3MOSトランジスタのゲート幅は上記第1MOSトランジスタのゲート幅一つ分よりは大きいことを特徴とする請求項15に記載の半導体集積回路。

【請求項17】第1電位点と第2電位点との間に、それぞれのソース・ドレイン経路を有する複数の第1MOSトランジスタを有し、
上記第1MOSトランジスタのソースはそれぞれ上記第1電位点に接続され、
第3電位点と上記第1電位点との間にソース・ドレイン経路を有し、ソースが上記第3電位点に接続された第2MOSトランジスタを具備し、
上記第2MOSトランジスタのゲートに制御信号を印加し、
上記制御信号を第1状態とすることにより上記第2MOSトランジスタをオン状態として、上記第1電位点と上記第2電位点との間にオン状態の上記第1MOSトランジスタのソース・ドレイン経路を介して電流が流れることを許容し、
上記制御信号を第2状態とすることにより上記第2MOSトランジスタをオフ状態として、上記第1電位点と上記第2電位点との間にオフ状態の上記第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限するものであって、

上記第2MOSトランジスタのゲート幅は各上記第1MOSトランジスタのゲート幅の総和よりも小さいことを特徴とする半導体集積回路。

【請求項26】第1導電型の第1MOSトランジスタと、共通の第1の電源端子と共通の第2の電源端子を有する一つ以上のMOS回路を具備し、

上記第1導電型の第1MOSトランジスタのゲートは制御信号で制御され、上記第1導電型の第1MOSトランジスタのソースは第1の動作電位に電気的に接続され、

上記第1導電型の第1MOSトランジスタのドレインは上記第1の電源端子と電気的に接続され、

上記第2の電源端子は第2の動作電位に電気的に接続され、すべての上記MOS回路に含まれるそのソースが電気的に上記第1の電源端子に接続されたすべての第1導電型の第2MOSトランジスタのゲートソース間にそのしきい値電圧の絶対値よりも小さい電圧の信号が印加された場合に、上記第1の動作電位からすべての上記MOS回路の上記第1導電型の第2MOSトランジスタのソースドレイン経路を通して上記第2の動作電位に流れるサブスレッショルド電流を所定のサブスレッショルド電流の値に制限するものであって、

上記所定のサブスレッショルド電流は、上記第1導電型の第1MOSトランジスタのゲートソース間に上記第1導電型の第1MOSトランジスタのしきい値電圧の絶対値よりも小さい電圧の上記制御信号が印加された場合に、上記第1の動作電位から上記第1導電型の第1MOSトランジスタのソースドレイン経路を通して上記第1の電源端子に流れるサブスレッショルド電流であることを特徴とする半導体集積回路。

【請求項27】上記第1導電型の第1MOSトランジスタのゲートソース間に上記第1導電型の第1MOSトランジスタのしきい値電圧の絶対値よりも小さい電圧の上記制御信号が印加され、かつ上記すべてのMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、上記第1の動作電位から上記第1導電型の第1MOSトランジスタのソースドレイン経路を通して上記第2の動作電位に流れるサブスレッショルド電流を第1のサブスレッショルド電流とし、

すべての上記MOS回路に含まれるそのソースが電気的に上記第1の電源端子に接続されたすべての第1導電型の第2MOSトランジスタのゲートソース間にそのしきい値電圧の絶対値よりも小さい電圧の信号が印加され、かつ上記第1導電型の第1MOSトランジスタのソースドレイン間が短絡された場合に、上記第1の動作電位からすべての上記MOS回路の上記第1導電型の第2MOSトランジスタのソースドレイン経路を通して上記第2の動作電位に流れるサブスレッショルド電流を第2のサブスレッショルド電流とし、

上記第1導電型の第1MOSトランジスタのデバイスパラメータは、上記第1のサブスレッショルド電流が上記第2のサブスレッショルド電流よりも小さくなるように設定されていることを特徴とする請求項26記載の半導体集積回路。

【請求項28】上記MOS回路はCMOS回路であることを特徴とする請求項26または27記載の半導体集積回路。

【請求項29】上記MOS回路の第1導電型の第2MOSトランジスタは上記MOS回路に含まれる第2導電型のMOSトランジスタとCMOSインバータ回路を構成することを特徴とする請求項26に記載の半導体集積回路。

【請求項30】上記第1導電型の第1MOSトランジスタのしきい値電圧の絶対値は上記MOS回路に含まれる上記第1導電型の第2MOSトランジスタのしきい値電圧の絶対値よりも大きいことを特徴とする請求項26乃至請求項29のいずれかに記載の半導体集積回路。

【請求項31】上記第1導電型の第1MOSトランジスタのゲート幅は上記MOS回路に含まれる全上記第1導電型のMOSトランジスタのゲート幅の総和よりも小さいことを特徴とする請求項26乃至請求項30のいずれかに記載の半導体集積回路。

【請求項32】上記第1導電型の第1MOSトランジスタのゲート長は上記MOS回路に含まれる上記第1導電型のMOSトランジスタのゲート長よりも大きいことを特徴とする請求項26乃至請求項31のいずれかに記載の半導体集積回路。

【請求項33】上記第1導電型の第1MOSトランジスタのゲート絶縁膜厚は上記MOS回路に含まれる上記第1導電型のMOSトランジスタのゲート絶縁膜厚よりも大きいことを特徴とする請求項26乃至請求項32のいずれかに記載の半導体

集積回路。

【請求項34】複数のワード線と、上記複数のワード線に交差して配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線の交点に配置されたメモリセルとを含み、上記複数のCMOS回路は上記複数のワード線を選択するワードドライバ回路を構成することを特徴とする請求項26乃至請求項33のいずれかに記載の半導体集積回路。

【請求項35】バイポーラトランジスタと、共通の第1の電源端子と第2の電源端子を持つ複数のCMOS回路とを具備し、上記バイポーラトランジスタのエミッタは第1の動作電位に電氣的に接続され、上記バイポーラトランジスタのベースは制御信号で制御され、

上記バイポーラトランジスタのコレクタは上記第1の電源端子に接続され、

上記第2の電源端子は第2の動作電位に電氣的に接続され、

上記バイポーラトランジスタのベース－エミッタ間にベース－エミッタ順電圧よりも小さい電圧の上記制御信号が印加され、

かつ上記複数のCMOS回路の上記第1の電源端子と上記第2の電源端子が短絡された場合に、

上記バイポーラトランジスタのエミッターコレクタ経路を通して流れるリーク電流が、

上記複数のCMOS回路に含まれるそのソースが上記第1の電源端子に電氣的に接続される複数の第1導電型の第2MOSトランジスタのゲート－ソース間にそのしきい値電圧の絶対値よりも小さい信号が印加され、

かつ上記バイポーラトランジスタの上記ソースと上記ドレインが短絡された場合に、上記第1の動作電位から上記複数のCMOS回路の上記複数の第1導電型の第2MOSトランジスタのソースドレイン経路を通して上記第2の動作電位に流れるサブスレッショルド電流よりも小さいように上記バイポーラトランジスタのデバイスパラメータは設定されていることを特徴とする半導体集積回路。

【請求項36】上記バイポーラトランジスタがpnp型であるとき、第1導電型がpチャネル、第2導電型がnチャネルであることを特徴とする請求項35に記載の半導体集積回路。

【請求項37】上記バイポーラトランジスタがnpn型であるとき、第1導電型がnチャネル、第2導電型がpチャネルであることを特徴とする請求項35に記載の半導体集積回路。

3 決定の理由

決定は、別添決定謄本写し記載のとおり、本件発明1ないし17、26ないし37は、特開昭60-48525号公報（甲3、以下「刊行物1」という。）、特開昭63-120522号公報（甲4、以下「刊行物2」という。）、昭和62年7月31日丸善発行「サブミクロンデバイスI」95～107頁（甲5、以下「刊行物3」という。）、平成元年4月25日培風館発行「CMOS超LSIの設計」80～81頁、194～195頁（甲6、以下「刊行物4」という。）、特開昭57-81728号公報（以下「刊行物5」という。）及びJOHN WILEY & SONS, Inc. 発行「Physics of Semiconductor Devices」486～487頁に記載された発明に基づいて当業者が容易に発明することができたものであるから、本件発明1ないし17、26ないし37に係る特許は、特許法29条2項の規定に違反してされたものであり、同法113条1項2号に該当するとした。

第3 引受承継人主張の決定取消事由

決定は、刊行物1（甲3）に記載された発明（以下「刊行物1発明」という。）の認定を誤り（取消事由1）、本件発明1と刊行物1発明との対比において認定を誤り（取消事由2）、本件発明1ないし17、26ないし37の容易想到性の判断を誤った（取消事由3ないし6）ものであるから、違法として取り消されるべきである。

1 取消事由1（刊行物1発明の認定の誤り）

(1) 決定は、刊行物1発明について、「刊行物1に記載されたマイクロコンピュータはCMOS型であるから、該ROMはCMOSインバータ等の複数のCMOS回路からなるものであって、電源端子と接地端子間にN型MOSトランジスタとP型MOSトランジスタを直列に接続し、両方のゲート及びドレインを共通にして、P型MOSトランジスタのソースを電源端子に、N型MOSトランジスタのソースを接地端子に接続して、ゲートをオン状態とすることによりN型MOSトラン

ジスタとP型MOSトランジスタのソース・ドレイン経路に電流が流れるCMOSトランジスタの構成を複数有することは明らかであって、MOSFETがオフ状態での上記リーク電流はサブスレッショルド電流である」（決定謄本9頁最終段落～10頁第1段落）と認定した上、これに基づき、刊行物1には、「・・・チャンネル長の長いMOSFET11をオフ状態にしてチャンネル長の短いMOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を抑えたCMOS型マイクロコンピュータ」が記載されていると認定（同頁第2段落）したが、上記認定において、MOSFETがオフ状態でのリーク電流はサブスレッショルド電流であるとした点は、誤りである。

(2) 刊行物1（甲3）には、「集積度を上げる為に素子の縮小（チャンネル長を短くする）を行なうと、トランジスタの電流オフ特性が悪くなり、チャンネルでのリーク電流が増加し、スタンバイ状態時の低消費電力化が困難になる欠点があった」（2頁左上欄第2段落）と記載されているにすぎず、「リーク電流」が「サブスレッショルド電流」であるという記載は存在しない。刊行物1発明の出願当時の技術常識を参酌しても、上記「リーク電流」は、「サブスレッショルド電流」とは考えられず、むしろ、以下の理由により、「パンチスルー電流」とであると解される。

刊行物1には、上記のとおり、「素子の縮小（チャンネル長を短くする）を行なうと、トランジスタの電流オフ特性が悪くなり」（2頁左上欄第2段落）と記載され、〔発明の構成〕、〔実施例の説明〕及び〔発明の効果〕の欄には、「チャンネル長の長いMOSFET」や「チャンネル長の短いMOSFET」が記載されており、刊行物1は、一貫してチャンネル長を短くすることによって起こるMOSFETのリーク電流を問題にしている。

ところで、MOSFETのリーク電流について、実験と理論の両面から裏付けられ、体系化された技術文献である刊行物3（甲5、13、17〔注、甲13、17は決定において引用された以外の頁を含む。〕）には、「図3・10短チャンネルMOSトランジスタのサブスレッショルド特性」（106頁）と題する図が記載されており、同図とその説明（106頁下から第1段落～107頁第1段落）によれば、チャンネル長（注、チャンネル長と同義。以下、場合に応じて両者の表記を併用する。）が短くなった時に起こるスイッチング特性の劣化は、主にパンチスルー電流に起因することが分かる。また、刊行物3の図3・18（甲13、119頁）の破線で示されるように、MOSトランジスタにおいて、チャンネル長が十分長い場合には、サブスレッショルド電流が支配的であり、チャンネル長が短い場合には、同図の実線で示されるように、無視できない大きさのパンチスルー電流が流れる。このように、サブスレッショルド電流は、チャンネル長が十分長い場合のリーク電流であるのに対して、刊行物1で問題にされているのは、チャンネル長を短くしたときのリーク電流であるから、このリーク電流は、パンチスルー電流と解される。

さらに、刊行物1発明の出願当時の技術水準によれば、パンチスルー電流は、サブスレッショルド電流に比して、約400倍と桁違いに大きなリーク電流であった（上記図3・10に基づき引受承継人が作成した説明図〔甲8〕参照）から、刊行物1発明が、パンチスルー電流に比して無視できる程度の大きさにすぎないサブスレッショルド電流の低減に向けられた発明であるとは考えられない。

(3) 被告は、短チャンネル化に伴ってパンチスルーを起こしたMOSトランジスタは、正常に動作しないから、刊行物1発明がCMOSトランジスタとして所望の動作をしないようなMOSトランジスタを基本回路としてCPU及びROMを構成しているとは考えられないと主張する。しかし、パンチスルー状態でも、一般的性質として、MOSトランジスタは、正常に動作する場合としない場合とがある。刊行物3の図3・21（甲17、122頁）には、パンチスルー状態でも正常に動作するMOSトランジスタとそのパラメータが記載されており、パンチスルーでも正常に動作するMOSトランジスタの設計方法が知られていたのであるから、刊行物1のMOSトランジスタには、パンチスルー状態でもトランジスタとしての正常な動作が確保されるようなパラメータが採用されていると考えることが自然である。

2 取消事由2（本件発明1と刊行物1発明の対比における認定の誤り）

(1) 対応関係についての認定の誤り

決定は、刊行物1発明の「チャンネル長の短いMOSトランジスタ」、
「チャンネル長の長いMOSFET」が、それぞれ本件発明1の「第1MOSトランジスタ」、「第2MOSトランジスタ」に相当する旨認定した（決定謄本13頁

第2段落)が、誤りである。

まず、刊行物1の「チャンネル長の短いMOSトランジスタ」は、パンチスルー電流が主要なリーク電流であるMOSトランジスタであるから、サブスレッショルド電流が主要なリーク電流である第1MOSトランジスタに相当するものではない。

刊行物1発明の「チャンネル長の短いMOSトランジスタ」は、刊行物3の図3・4(甲5, 96頁)でいえば、曲線の左端の領域、すなわち、サブスレッショルド電流よりもパンチスルー電流が顕著な領域に存在するMOSトランジスタである。これに対して、サブスレッショルド電流が主要なリーク電流となるのは、上記の図に示される曲線が比較的なだらかな部分であり、本件発明1の「第1MOSトランジスタ」は、この曲線が比較的なだらかな領域に位置するMOSトランジスタである。したがって、「チャンネル長の短いMOSトランジスタ」は、「第1MOSトランジスタ」に相当するものではない。

次に、本件発明1の「第2MOSトランジスタ」の機能は、本件明細書(甲2)の【請求項1】に、「第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限する」と記載されているように、「第1MOSトランジスタ」のサブスレッショルド電流を抑制することであるのに対し、刊行物1発明の「チャンネル長の長いMOSFET」の機能は、「チャンネル長の短いMOSトランジスタ」に流れるパンチスルー電流を抑制することである。パンチスルー電流は、チャンネル長が長いほど小さくできるため、チャンネル長の長短はパンチスルー電流の低減を目的とした刊行物1発明においては意味があるが、本件発明1の第2MOSトランジスタは、第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を制限するものであるから、チャンネル長の長短は任意であって、第2MOSトランジスタが第1MOSトランジスタよりもチャンネル長が長いことは必ずしも要求されない。そして、上記1(2)のとおり、刊行物1にはサブスレッショルド電流についての開示はないから、刊行物1発明の「チャンネル長の長いMOSFET」は、「チャンネル長の短いMOSトランジスタ」で構成された回路部1, 2を流れるパンチスルー電流を抑制するものと理解せざるを得ない。仮に、刊行物1発明において、「チャンネル長の短いMOSトランジスタ」にもサブスレッショルド電流が流れるとしても、パンチスルー電流の大きさに比較して400分の1程度のものであるから、「チャンネル長の長いMOSFET」を流れるサブスレッショルド電流との間に有意の差はなく、したがって、一方で他方を制限するという関係にはならない。また、「チャンネル長の長いMOSFET」が「チャンネル長の短いMOSトランジスタ」のサブスレッショルド電流を抑制できるかどうかは、チャンネル長以外のパラメータに影響されるから、刊行物1発明において、「チャンネル長の長いMOSFET」が、「チャンネル長の短いMOSトランジスタ」に流れるサブスレッショルド電流を抑制する機能を有するとはいえない。

(2) 一致点の認定の誤り

決定は、本件発明1と刊行物1発明は、「第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限する」(決定謄本13頁第2段落)点で一致すると認定するが、誤りである。

上記のとおり、刊行物1発明の「チャンネル長の長いMOSFET 11」は、「チャンネル長の短いMOSトランジスタ」で構成された回路部1, 2に流れるパンチスルー電流を制限するものであって、サブスレッショルド電流を制限するものではない。仮に、刊行物1発明の「チャンネル長の短いMOSトランジスタ」にもサブスレッショルド電流が流れるとしても、パンチスルー電流の大きさに比較して約400分の1程度にすぎない電流であるから、「チャンネル長の長いMOSFET」に流れるサブスレッショルド電流と有意の差が存在するとは考えられず、したがって、一方で他方を制限するという関係にはならない。

(3) 相違点の認定の誤り

決定は、本件発明1と刊行物1発明とを対比し、両者の相違点を、刊行物1には「チャンネル長の長いMOSFETの導電型については記載が無い点」(決定謄本13頁下から第2段落、以下「相違点A」という。)と認定するが、誤りであり、正しくは、「チャンネル長の長いMOSFETの導電型はN型である点」と認定すべきである。刊行物1には、以下のとおり、「チャンネル長の長いMOSFET」の導電型がN型であることが実質的に記載されているが、少なくとも記載さ

れているに等しい。

すなわち、N型MOSトランジスタの場合には、より低い電位の側がソースとなり、より高い電位の側がドレインとなる一方、P型MOSトランジスタの場合、より高い電位の側がソースとなり、より低い電位の側がドレインとなる（例えば、刊行物4〔甲9〕の9頁の説明）ものであるところ、刊行物1には、チャンネル長の長いMOSFETは、「電源部にドレインが接続」されることが開示され（2頁左上欄最終段落、同頁右上欄第4段落）、それと異なる接続は一切記載も、示唆もされておらず、刊行物1の「電源部」は高電位側であるから、高電位側にドレインを接続した「チャンネル長の長いMOSFET 11」がN型MOSトランジスタであることは、当業者に明らかである。

また、N型MOSトランジスタであるということはソースホロア接続であることを意味するところ、パンチスルー電流は、電源電圧が低くなると小さくなるため、ソースホロア接続として回路に印加される電源電圧を低下させることは、素子の信頼性向上という点からも技術的合理性が認められる。

3 取消事由3（本件発明1の容易想到性の判断の誤り）

(1) 決定は、相違点Aについて、「刊行物2に記載された発明を刊行物1に記載された発明（注、刊行物1発明）に適用して、チャンネル長の長いMOSFETをpチャンネルMOSトランジスタとすること（注、相違点Aに係る構成）は、当業者が容易に推考できた」（決定謄本14頁第2段落）と判断するが、誤りである。

(2) まず、決定は、上記のとおり、刊行物1発明の認定を誤り、本件発明1との一致点及び相違点の認定を誤っているから、これに基づく容易想到性の判断も当然誤りである。

(3) また、刊行物1発明と刊行物2に記載された発明（以下「刊行物2発明」という。）とは、各々の回路の性格上、組み合わせることができないものである。すなわち、刊行物1発明は、ソースホロア接続でなければならないのに対し、刊行物2発明は、ソース接地接続でなければならないから、両者を組み合わせることには、動機付けがない。のみならず、仮に、刊行物1発明に、刊行物2発明を適用して、「チャンネル長の長いMOSFET 11」の導電型をP型にしたとすれば、「チャンネル長の短いMOSトランジスタ」にはパンチスルー電流が流れ、そのスイッチング特性を劣化させることになるから、本来、両者を組み合わせることはできない。

4 取消事由4（本件発明2の容易想到性の判断の誤り）

(1) 決定は、「本件請求項2に係る発明（注、本件発明2）は、本件請求項1に係る発明（注、本件発明1）のサブスレッショルド電流は、『第1MOSトランジスタの加工寸法が0.1 μ m領域であることに起因して流れること』と限定するものであるが、刊行物3に記載のように、チャネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加することは当業者に周知の事項であるから、これを格別のものと認めることはできない」（決定謄本14頁第3段落）と判断するが、誤りである。

(2) 刊行物3（甲5）には、「チャネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加すること」は、記載されていない。刊行物3には、図3・10に、チャネル長が1.1 μ mから3.6 μ mのものについてのデータが示されているにすぎず、1 μ m以下のデータは示されていない。同刊行物の図3・11では、チャネル長が1 μ m近傍において、サブスレッショルド係数が急激に大きくなっているが、これはサブスレッショルド電流の増加を意味するものではなく、パンチスルー電流の増加を意味するものである。被告は、「チャネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加する」ことは周知の事項であるとするが、根拠がない。

(3) 決定の「格別のものと認めることはできない」との判断は、チャネル長「0.1 μ m領域」の格別性を看過するものである。本件明細書（甲2）には、微細化の進展に伴い、しきい値電圧が低くなると、サブスレッショルド電流の大きさが無視できなくなることが記載されており（段落【0004】）、日経マイクロデバイス平成12年8月号（甲16）にも、同様の問題が指摘されていて、その対策の実用化が開始されたことが理解される。本件発明2は、「0.1 μ m領域」に至って初めて顕在化した問題を解決する技術的手段を提供するものであるという点で、格別の意義を有するものである。決定がこの点を誤認し、本件発明2における「0.1 μ m領域」に関する限定を格別なものではないとしたことは、誤りである。

5 取消事由5（本件発明3の容易想到性についての判断の誤り）

(1) 決定は、「本件請求項3に係る発明（注、本件発明3）は、本件請求項1に係る発明（注、本件発明1）の第2MOSトランジスタのしきい値電圧の絶対値を、『第1MOSトランジスタのしきい値電圧の絶対値よりも大きいこと』と限定するものであるが、・・・刊行物1に記載された発明（注、刊行物1発明）の『MOSFET11は相対的にチャンネル長が長く、ROM2は相対的にチャンネル長の短いMOSFETで構成される』ことは、本件請求項3に係る発明の『第2MOSトランジスタのしきい値電圧の絶対値を、第1MOSトランジスタのしきい値電圧の絶対値よりも大きいこと』に相当していることは明らかであるから、これを格別のものと認めることはできない」（決定謄本14頁下から第3段落）と判断するが、誤りである。

(2) 決定の上記判断は、まず、本件発明1の「第1MOSトランジスタ」、 「第2MOSトランジスタ」が、刊行物1発明の「チャンネル長の短いMOSトランジスタ」、 「チャンネル長の長いMOSFET」にそれぞれ対応するという誤った前提に基づいているから、誤りである。

また、本件発明3は、本件明細書（甲2）の、「リーク電流を小さくするためには、スイッチS1のpチャンネルMOSトランジスタのしきい値電圧を大きくするか・・・」（段落【0021】）という記載に基づくものであり、サブスレッショルド電流は、しきい値電圧が大きいほど小さくなるため、「第2MOSトランジスタ」のしきい値電圧を「第1MOSトランジスタ」のしきい値電圧よりも大きくすることで、サブスレッショルド電流を制限することができる。これは制限する対象が、パンチスルー電流ではなく、サブスレッショルド電流であることによつて、有効となる構成であり、決定の上記判断は、このような格別の意味のある限定を看過しているから、誤りといわざるを得ない。

(3) 被告は、長チャンネルMOSトランジスタのしきい値電圧の絶対値は、短チャンネルMOSトランジスタのしきい値電圧の絶対値より大きいということは技術常識であると主張するが、しきい値電圧の大小は、他のパラメーターに依存するから、被告の主張の上記主張は誤りである。

(4) 本件特許請求の範囲の請求項3は、請求項1又は2に従属するものであり、請求項1及び2に係る発明（本件発明1及び2）についての容易想到性の判断に誤りがあるから、本件発明3の容易想到性の判断も誤りである。

6 取消事由6（本件発明4ないし17、26ないし37の容易想到性についての判断の誤り）

決定は、本件発明4ないし17、26ないし37の容易想到性の判断において、①本件発明4、9、12、15ないし17、26ないし29、35ないし37については、取消事由1及び2と同様の誤りに基づき、これらを容易想到とする誤りを犯し、また、②本件発明5、10及び13については、取消事由1及び2に加えて取消事由4とも同様の誤りに基づき、③本件発明6ないし8、11及び14については、取消事由1及び2に加えて取消事由4及び5とも同様の誤りに基づき、④本件発明30ないし34については、取消事由1及び2に加えて取消事由5とも同様の誤りに基づき、いずれも誤った判断をした違法がある。

第5 被告の反論

決定の認定判断に誤りはなく、引受承継人主張の取消事由はいずれも理由がない。

1 取消事由1（刊行物1発明の認定の誤り）について

(1) 刊行物1に記載された「チャンネルでのリーク電流」は、以下のとおり、サブスレッショルド電流であることが明らかである。

刊行物1発明は、CMOS型マイクロコンピュータにおいて、チャンネル長の短いMOSFETで構成されるCPU1及びROM2のスタンバイ状態時に流れるリーク電流を抑え、低消費電力化を図ることを課題としている。ところで、CMOS型集積回路の基本回路であるCMOSインバータにおいて、チャンネル部をリークする電流がサブスレッショルド電流であることはよく知られたことであるから、そのスタンバイ時の消費電力がサブスレッショルド電流によることは技術常識である。また、短チャンネル効果によりMOSトランジスタのしきい値電圧の制御が難しくなり、サブスレッショルド電流が増加するという問題に対して、サブスレッショルド電流を防止するという課題も技術常識である。

したがって、刊行物1発明におけるチャンネル長の短いMOSFETで構成されるCPU1及びROM2のスタンバイ状態時に流れるリーク電流が、スタン

バイ状態時に流れるサブスレッショルド電流であること、すなわち、「MOSFETがオフ状態での上記リーク電流はサブスレッショルド電流である」（決定謄本10頁第1段落）ことは、明らかである。

(2) 引受承継人は、刊行物1に記載された「リーク電流」は、パンチスルー電流であると主張するが、失当である。短チャネル化に伴ってパンチスルーを起こしたMOSトランジスタは、そのスイッチング特性が劣化して致命的な動作不良を引き起こし、また、ゲート電圧で電流を制御できなくなってMOSトランジスタとして動作しなくなる（刊行物3、4）。刊行物1発明が、CMOSトランジスタとして所望の動作が得られないようなMOSトランジスタを基本回路として、CPU及びROMを構成しているとは考えられない。MOSトランジスタの設計者は、MOSトランジスタの所望の動作を得られるようにパラメータを設計するものであるから、激しいショートチャネル効果やパンチスルー現象をもたらすパラメータを採用してMOSトランジスタを設計することはあり得ず、刊行物1発明のMOSトランジスタは、MOSトランジスタとして通常の動作を前提としているものとするのが当業者の素直な理解である。

(3) 引受承継人は、また、刊行物1発明の出願当時の技術水準によれば、パンチスルー電流はサブスレッショルド電流の約400倍と大きいから、刊行物1発明がパンチスルー電流に比して無視できる程度の大きさにすぎないサブスレッショルド電流の低減に向けられた発明とは考えられないと主張するが、引受承継人が「約400倍」の根拠とする甲8説明資料は、刊行物3の図3・10の解釈を誤っており、引受承継人の主張は、根拠に欠けるものである。

2 取消事由2（本件発明1と刊行物1発明の対比における認定の誤り）について

(1) 引受承継人は、刊行物1発明の「チャンネル長の短いMOSトランジスタ」、「チャンネル長の長いMOSFET」が本件発明1の「第1MOSトランジスタ」、「第2MOSトランジスタ」にそれぞれ相当するとの決定の認定（決定謄本13頁第2段落）が誤りであると主張する。

しかし、刊行物1発明の「チャンネル長の短いMOSトランジスタ」のスタンバイ状態時のリーク電流がサブスレッショルド電流であることは、上記1のとおりであり、また、「チャンネル長の長いMOSFET」は、チャンネル長の短いMOSトランジスタのスタンバイ状態時のリーク電流、すなわち、サブスレッショルド電流を抑える機能を有するものであるから、刊行物1発明の「チャンネル長の短いMOSトランジスタ」、「チャンネル長の長いMOSFET」が、それぞれ本件発明1の「第1MOSトランジスタ」、「第2MOSトランジスタ」に相当することは明らかである。

(2) 引受承継人は、また、決定が、本件発明1と刊行物1発明とは、「第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限する」（決定謄本13頁第2段落）点で一致すると認定したことは誤りであると主張するが、その認定に誤りのないことは、上記(1)から明らかである。

(3) 引受承継人は、さらに、決定が、相違点Aを、刊行物1には「チャンネル長の長いMOSFETの導電型については記載が無い点」（決定謄本13頁下から第2段落）と認定したことが誤りであると主張するが、失当である。

確かに、刊行物4（甲9）9頁には、N型MOSトランジスタの場合、より低い電位の側がソースとなり、より高い電位の側がドレインとなる一方、P型MOSトランジスタの場合、より高い電位の側がソースとなり、より低い電位の側がドレインとなることが記載されている。しかしながら、これは回路の基本を記述したものにすぎず、実際のデバイスにおいては、キャリアの流入、流出方向にかかわらず、pチャネル型MOSFETのドレインを高電位側に接続することがあり得ることは、例えば、特開平5-62486号公報（乙8、以下「乙8公報」という。）の記載からも明らかであるから、チャンネル長の長いMOSFET11の電源部にドレインが接続されることのみを理由として、刊行物1発明のチャンネル長の長いMOSFET11の導電型をN型であると断定することはできない。

3 取消事由3（本件発明1の容易想到性の判断の誤り）について

引受承継人は、「刊行物2に記載された発明を刊行物1に記載された発明に適用して、チャンネル長の長いMOSFETをpチャネルMOSトランジスタとすることは、当業者が容易に推考できた」（決定謄本14頁第1段落）とした決定の判断が誤りであると主張する。

しかし、刊行物1発明と刊行物2発明とは、MOSトランジスタのオン・オフを制御信号によって制御する点で同じ技術分野に属するものであり、刊行物2発明のP型MOSFETを、刊行物1発明に適用することを阻害する要因は存在しない。仮に、刊行物1発明のチャンネル長の長いMOSFETの導電型がN型であるとしても、高い電源電圧を降圧して低い電圧を供給する電源降圧回路をCMOS回路に設けることは、通常よく行われていることである。また、特開昭57-172761号公報（乙6、以下「乙6公報」という。）に、「次に低電圧に変換された電源電圧の印加方式について具体例を述べる。第8図は、チップ内の間接周辺回路のすべて（PG1、PG2など）に、共通の電圧コンバータ30からの電圧VDPを供給する方式である。・・・この場合30が電流供給能力が十分あれば・・・VDPの電源変動は特に問題はない。しかし30の電流供給能力が小さければ・・・各PG毎に電圧コンバータをつけるので上記欠点はなくなる」（7頁左上欄第2段落～右上欄第1段落）と記載されているように、電源降圧回路を設けても、これにより電流供給能力を制約することはないことも、当業者において周知の事項であるから、スタンバイ状態時のサブスレッショルド電流を抑えるためにチャンネル長の長いMOSFETとして、P型MOSトランジスタを採用することを阻害する要因があるとはいえない。

4 取消事由4（本件発明2の容易想到性の判断の誤り）について

引受承継人は、本件発明2において、サブスレッショルド電流が「第1MOSトランジスタの加工寸法が0.1 μ m領域であることに起因して流れること」とした限定を、格別なものではないとした決定の判断が誤りであると主張する。

しかし、刊行物3（甲5）には、「短チャンネルMOSトランジスタの場合には、チャンネル長が短くなるにつれてサブスレッショルド特性に図3・10に示すように二つの変化が現われる。一つは短チャンネルに伴ってしきい値電圧が低下することによって生じるドレイン電流の増加である。・・・前者の場合にはサブスレッショルド特性がゲート電圧軸に沿って低電圧側へ平行移動するだけでサブスレッショルド係数の変化はほとんどない」（106頁最終段落～107頁第1段落）との記載があり、同刊行物の図3・10のチャンネル長が1.1 μ mから3.6 μ mのものについてのサブスレッショルド特性の変化から、1 μ m以下ではサブスレッショルド特性のデータは、ゲート電圧軸に沿って低電圧側へ移動することは明らかであるから、同図によれば、1 μ m程度以下になるとサブスレッショルド電流が増加するものと認められる。

したがって、決定が、「チャンネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加することは当業者に周知の事項である」（決定謄本14頁第3段落）と認定し、これに基づいて、0.1 μ m以下の限定を格別なものではないと判断したことに誤りはない。

5 取消事由5（本件発明3の容易想到性の判断の誤り）について

チャンネル長を短くすると短チャンネル効果（ショートチャンネル効果）により、しきい値電圧が長チャンネルMOSトランジスタのしきい値電圧に比べて小さくなることは、技術常識である（刊行物3、4）。刊行物1（甲3）にも、「この実施例は、・・・相対的にチャンネル長の短いMOSFETで構成されるCPU1及びROM2と、相対的にチャンネル長の長いMOSFETで構成され」（2頁右上欄最終段落）として、チャンネル長の短いMOSFETとチャンネル長の長いMOSFETのチャンネル長が、相対的な関係にあることが明記され、「本発明（注、刊行物1発明）はマイクロコンピュータに関し、特にCMOS型で1チップに構成され、スタンバイ機能を有するマイクロコンピュータに関する」（1頁右下欄第1段落）として、チャンネル長の短いMOSFETとチャンネル長の長いMOSFETは1チップである旨記載されており、両MOSFETのパラメータは、チャンネル長を除いて格別異なるものではないと解されるから、チャンネル長の長いMOSトランジスタのしきい値電圧の絶対値は、チャンネル長の短いMOSトランジスタのしきい値電圧の絶対値よりも大きいことは明らかである。

したがって、第2MOSトランジスタのしきい値電圧の絶対値を第1MOSトランジスタのしきい値電圧の絶対値よりも大きいことの限定は格別なものではなく、決定の判断に誤りはない。

6 取消事由6（本件発明4ないし17、26ないし37の容易想到性の判断の誤り）について

引受承継人主張の取消事由1ないし5はいずれも理由がないから、これらの取消事由5が成り立つことを前提として、本件発明4ないし17、26ないし37

の容易想到性の判断の誤りをいう引受承継人の主張に理由がないことは明らかである。

第5 当裁判所の判断

1 取消事由1（刊行物1発明の認定の誤り）について

(1) 引受承継人は、決定が、刊行物1発明においてROMのCMOS回路を構成するチャンネル長の短いMOSFETについて、「MOSFETがオフ状態での上記リーク電流はサブスレッショルド電流である」（決定謄本10頁第1段落）と認定した上、これに基づいて、刊行物1には、「チャンネル長の長いMOSFET11をオフ状態にしてチャンネル長の短いMOSTランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を抑えたCMOS型マイクロコンピュータ」が記載されていると認定した（同頁第2段落）ことは誤りであると主張する。

(2) そこで検討すると、刊行物1（甲3）には、以下の(ア)～(オ)の記載がある。

(ア) 「(1) 電源部にドレインが接続しゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFETと、該MOSFETのソースに接続し相対的にチャンネル長の短いMOSFETで構成される回路部と、相対的にチャンネル長の長いMOSFETで構成され前記電源部に直接に接続する回路部とを含むことを特徴とするマイクロコンピュータ。(2) 相対的にチャンネル長の短いMOSFETで構成される回路部がCPU及びROMであり、相対的にチャンネル長の長いMOSFETで構成される回路部がRAM、発振回路部及びスタンバイ制御フリップフロップである特許請求の範囲第(1)項記載のマイクロコンピュータ。」（1頁「2 特許請求の範囲」）

(イ) 「〔発明の属する技術分野〕本発明（注、刊行物1発明）はマイクロコンピュータに関し、特にCMOS型で1チップに構成され、スタンバイ機能を有するマイクロコンピュータに関する。」（1頁右下欄第1段落）

(ロ) 「〔従来技術〕従来、マイクロコンピュータの信頼性を上げるために、スタンバイ機能を有するマイクロコンピュータが使用されている。・・・しかし、集積度を上げる為に素子の縮小（チャンネル長を短くする）を行なうと、トランジスタの電流オフ特性が悪くなり、チャンネルでのリーク電流が増加し、スタンバイ状態時の低消費電力化が困難になる欠点があった。〔発明の目的〕本発明の目的は、上記欠点を除去し、スタンバイ状態でもリーク電流を抑え、低消費電力化を計ることのできるCMOS型のマイクロコンピュータを提供することにある。」（1頁右下欄第2段落～2頁左上欄第3段落）

(ハ) 「〔実施例の説明〕次に、本発明の実施例について図面を用いて説明する。第2図は本発明の一実施例のブロック図である、この実施例は、電源部に接続する電源端子5にドレインが接続し、ゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFET11と、このMOSFET11のソースに接続し相対的にチャンネル長の短いMOSFETで構成されるCPU1及びROM2と、相対的にチャンネル長の長いMOSFETで構成され、電源部の電源端子6に直接に接続するRAM3、発振回路部4及びスタンバイ制御フリップフロップ5とを含んで構成される。即ち、データを保持する必要がある回路部及び制御部はチャンネル長の長いMOSFETで構成し、データの保持の必要のない回路部はチャンネル長の短いMOSFETで構成する。次に、この実施例の動作について説明する。スタンバイ状態の要求がCPU1で発生した場合、スタンバイ制御フリップフロップ5はスタンバイ制御フリップフロップセット信号8でセットされ、MOSFET11をMOSFET制御信号19でオフさせ、同時に発振回路部4を制御して発振を停止させてスタンバイ状態へ移行し、RAM3のデータとスタンバイ制御フリップフロップ5の出力のみを保持する。従って、RAM3、発振回路部4、スタンバイ制御フリップフロップ5とMOSFET11をチャンネル長の長いMOSTランジスタで構成する事によって低スタンバイ電源電流が達成される。」（2頁右上欄第3段落～左下欄最終段落）

(ニ) 「〔発明の効果〕本発明は、以上説明したように、MOSFET11とデータ保持の必要な回路部とその制御回路部をチャンネル長の長いMOSTランジスタで構成し、スタンバイ時、リーク電流を抑え、低消費電力化ができかつデータ保持の必要のない回路部分でチャンネル長の短い素子が使用出来る事により集積度を高められる効果がある。」（2頁右下欄第2段落）

以上の記載によれば、刊行物1には、リーク電流に関して、①集積度を上

げるために素子の縮小（チャンネル長を短くする）を行うと、トランジスタの電流オフ特性が悪くなり、チャンネルでのリーク電流が増加し、スタンバイ状態時の低消費電力化が困難になること（上記(ウ)）、②MOSFET 11とデータ保持が必要な回路部とその制御回路部をチャンネル長の長いMOSTランジスタで構成することによって、スタンバイ時、リーク電流を抑え、低消費電力化ができ、かつ、データ保持の必要のない回路部分でチャンネル長の短い素子を使用することにより集積度を高められること（同(オ)）が開示されていると認められるが、MOSFET 11がオフ状態でのリーク電流の種類に関しては、サブスレッショルド電流であるとも、パンチスルー電流であるとも、具体的な記載はない。

(3) ところで、特許発明が刊行物に記載された発明に基づいて容易に想到し得たか否かは、特許発明の出願時を基準として判断されるから、刊行物に記載された発明の認定も、これを容易想到性の判断の基礎とする場合には、特許発明の出願時における当業者の技術常識を参酌して行うべきである。そこで、リーク電流に関して、本件出願に係る本件優先日当時の技術常識を示すものと認められる刊行物3（甲5、13、17、乙1）を参照すると、同刊行物には、以下の(カ)～(シ)の記載がある。

(カ) 「短チャンネル効果としてまず取り上げられるのが短チャンネル化に伴うしきい値電圧の低下である。nチャンネル素子、pチャンネル素子にかかわらず、チャンネル長が短くなるにつれてしきい値電圧の絶対値 $|V_{th}|$ が小さくなっていく。この低下の度合はドレイン電圧に依存することはもちろんのこと、基板不純物濃度、ソースドレイン拡散層深さ、ゲート酸化膜厚などによって変わってくる。以下に、nチャンネルMOSTランジスタを例にとり、しきい値電圧の各パラメータ依存性を示す。図3・4はしきい値電圧各 V_{th} のチャンネル長 L 依存性をそれぞれ、ドレイン電圧 V_{DS} 、基盤バイアス電圧 V_{BS} 、ゲート酸化膜厚、基板不純物濃度およびソースドレイン拡散層深さをパラメータとして2次元数値解析により求めた結果である。図からわかるように、ドレイン電圧を大きくするほど、基板バイアスを深くするほど、ゲート酸化膜を厚くするほど、基板不純物濃度を低くするほど、ソースドレイン拡散層深さを深くするほど短チャンネル化に伴うしきい値電圧の低下が激しくなっている。」（95頁第3段落）

(キ) 「短チャンネル効果によるしきい値電圧の低下の度合は多くのパラメータに依存するため、チャンネル長の違った多くのMOSTランジスタで構成されるLSIやVLSIではこのようなパラメータをすべて考慮して各MOSTランジスタのしきい値電圧が所定の値になるように設定することが重要な課題となる。」（102頁第2段落）

(ク) 「しきい値電圧近傍またはそれ以下の電圧をゲート電極に印加したとき流れる弱反転状態でのドレイン電流とゲート電圧の関係を、サブスレッショルド特性と呼ぶ。この特性はスイッチング素子としてのMOSTランジスタの性能を決める重要な特性である。この特性の傾きが大きければ大きいほど、素子を導通させるのに必要な電圧の振幅が小さくて済み、高速低消費電力のスイッチング動作が可能となる。また、電荷を保持する必要があるMOSメモリやダイナミック・シフトレジスタなどでは、サブスレッショルド特性が良くないとリーク電流による電荷消失が起こって、致命的な動作不良を引き起こすことになる。」（同頁第3段落）

(ケ) 「短チャンネルMOSTランジスタの場合には、チャンネル長が短くなるにつれてサブスレッショルド特性に図3・10に示すように二つの変化が現われる。一つは短チャンネルに伴ってしきい値電圧が低下することによって生じるドレイン電流の増加である。もう一つはパンチスルーが起こるほどにチャンネルが短くなったときに生じるドレイン電流の増加である。前者の場合にはサブスレッショルド特性がゲート電圧軸に沿って低電圧側へ平行移動するだけでサブスレッショルド係数の変化はほとんどない。しかし、後者の場合にはパンチスルー気味になっているため、ドレイン電流に対するゲート電圧の影響が低下し、サブスレッショルド特性の傾きが緩かになる。そのため、サブスレッショルド係数 S は図3・11に示すようにチャンネル長が短くなるにつれて急激に増大する。すなわち、短チャンネル化に伴ってスイッチング特性が劣化することになる。」（106頁第2段落～107頁第1段落）

(コ) 「パンチスルー現象については、ソースドレイン間耐圧を制限する重要な要因であるので、次の3・1・1dでさらに詳細に述べることにする。

d. ソースドレイン間耐圧

ソースドレイン間耐圧は短チャンネルMOSTランジスタが動作する電

源電圧の限界を決める特性として重要である。図3・16にMOSトランジスタのソースドレイン間耐圧 BV_{DS} のチャンネル長依存性を示す。図で BV_{DSA} はゲート電圧が0Vのときのアバランシェ破壊耐圧、 BV_{DSP} はゲート電圧が0Vで 10^{-7} Aのドレイン電流が流れるときのドレイン電圧である。短チャンネル領域での BV_{DSP} はソースドレイン間のパンチスルー耐圧となる。また、 BV_{DSmin} はゲート電圧を変えたときのソースドレイン間耐圧の最小値である。図からわかるように、チャンネル長が短くなるにつれてソースドレイン間耐圧は急激に低下してくる。そのため、電源電圧を変えないでチャンネル長をどこまでも短くしていくことは不可能で、ソースドレイン間耐圧の点から適正な電源電圧の値とチャンネル長を決めることが短チャンネルMOSトランジスタの設計の際に特に重要となる。しかし、通常、電源電圧はLSIやVLSIを搭載する装置やシステムの事情によって決まることが多いので、デバイス定数の最適化や高耐圧化構造の検討を十分に行って、電源電圧の変更はできるだけ避けるようにしている。」（115頁第2段落～116頁第1段落）

(サ) 「そこで、パンチスルーに密接に関係しているサブスレッショルド領域からパンチスルー領域にまでわたって、ドレイン電流－電圧特性をもう一度考えてみることにする。図3・18はこのようなドレイン電流－電圧特性を模式的に示した図である。図に示すように、電流－電圧特性はそれを律速している要因によって四つの領域に分けて考えることができる。領域Ⅰはサブスレッショルド電流の算出の際に取り扱ったように電流がキャリアの拡散によって運ばれる領域である。長チャンネルMOSトランジスタでは図中、破線で示したようにこの電流が支配的であバランシェ降伏が起こるまではほぼ一定値に飽和した拡散電流が流れる。しかし、短チャンネルMOSトランジスタではドレイン電圧を増していくとソース近傍の電位障壁の高さがドレイン電圧によって下げられるDIBL効果が顕著になってくるので、領域Ⅱ、Ⅲで示すようにドレイン電流は増加する。・・・そのため、図3・18に示すように領域Ⅱにおける電流のドレイン電圧依存性は小さくなる。この領域はソースとドレインの空乏層が直接つながった強いパンチスルーの状態とは様相が違っているがソースドレイン間が基板表面で空乏層によってつながっており、かつ、ドレイン電圧でソース近傍の電位障壁の高さを変えることができるので弱いパンチスルー状態にあると考えられる。そこでこの領域を弱い表面パンチスルー領域と呼ぶことにする。領域Ⅱの状態からドレイン電圧をさらに増やしていくとドレインの空乏層がソース側まで伸びていき、基板表面または内部でソース・ドレインの空乏層が直接つながるようになる。この状態では図3・19(b)に示すように、ドレイン電圧によってソース近傍の電位障壁の高さがDIBL効果によって直接下げられるので図3・18の領域Ⅲで示すように大きな電流が流れる。この領域をパンチスルーを起こす位置の違いに応じて強い表面パンチスルーまたは基板パンチスルー領域と呼ぶ。基板パンチスルーの状態はちょうどバイポーラトランジスタのパンチスルーと似た状態であり、ゲート電圧依存性は非常に小さい。」（118頁最終段落～120頁第1段落）

(シ) 「実際のデバイスでは領域Ⅱと領域Ⅲが必ずしも明確に区別されているとは限らない。ⅡとⅢと領域が混じっていたり、Ⅱの領域がなくていきなりⅢの領域に入る場合もある。しかし、表面パンチスルーと基板パンチスルーの分離はパンチスルー電流のゲート電圧および基板バイアス電圧依存性をみることによってある程度は可能である。すなわち、図3・20に示すように、表面パンチスルーが支配的である場合には電流はゲート電圧に対して強い依存性を示し、基板バイアス電圧を変えてもあまり変化しない。逆に、基板パンチスルーが支配的な場合には基板バイアス電圧によって大きく変化し、ゲート電圧依存性は少ない。」（120頁最終段落～121頁第1段落）

上記各記載によれば、刊行物1発明の認定に当たり参酌される本件優先日当時の技術常識として、①チャンネル長が短くなるにつれてしきい値電圧の絶対値 $|V_{th}|$ が小さくなること（上記カ）、②短チャンネルMOSトランジスタは、短チャンネルに伴ってしきい値電圧が低下することによってドレイン電流の増加、すなわちサブスレッショルド電流の増加が生じるが、サブスレッショルド特性はゲート電圧軸に沿って低電圧側へ平行移動するだけでサブスレッショルド係数の変化はほとんどないこと、パンチスルーが起こるほどにチャンネルが短くなったときは、パンチスルー電流によるドレイン電流の増加が起こり、サブスレッショルド特性の傾きが緩やかになること（上記ケ）、③ソースドレイン間耐圧 BV_{DS} は短チャンネルMOSトランジスタが動作する電源電圧の限界を決める特性であって、短チャンネル領

域での耐圧 BV_{DSR} （ゲート電圧が $0V$ で $10^{-7}A$ のドレイン電流が流れるときのドレイン電圧）はソースドレイン間のパンチスルー耐圧となること（上記(コ)），④ドレイン電流－電圧特性は，電圧が低い方から，領域Ⅰ（電流〔サブスレッショルド電流〕がキャリアの拡散によって運ばれる領域），領域Ⅱ（弱い表面パンチスルー領域），領域Ⅲ（強い表面パンチスルーまたは基板パンチスルー領域）があり，電流が領域Ⅰ，Ⅱ，Ⅲに従って増大すること（上記(サ)）が把握される。

(4) 上記(2)及び(3)によれば，刊行物1に記載のマイクロコンピュータにおいても，集積度を上げるために素子の縮小（チャネル長を短くする）を進めると，トランジスタのしきい値電圧が低下することによるドレイン電流の増加，すなわち，サブスレッショルド電流の増加が起り，更に素子の縮小を進めると，ドレイン電圧は，パンチスルー耐圧になり，これよりも素子の縮小をすれば，パンチスルー電流が発生し，増大するようになるということが明らかである。

そうすると，仮に，刊行物1に記載された「リーク電流」が，引受承継人のいうパンチスルー電流であるとすれば，刊行物1の集積回路は，電源電圧をパンチスルー耐圧を超えたものとし，サブスレッショルド電流よりもはるかに増大したリーク電流を許容した設計を前提としていることになるが，これは，耐圧を超えた設計を行っていることにほかならないから，当業者において，通常，想定し得ないことといふべきである。また，素子の縮小を行う場合に，これを耐圧の範囲内で行うことは技術常識であり，その場合に生じるリーク電流は，サブスレッショルド電流であるから，刊行物1に記載のリーク電流は，サブスレッショルド電流であると解することが理にかなっている。

したがって，決定が刊行物1に記載の「リーク電流」をサブスレッショルド電流と認定したことに誤りはない。

(5) 引受承継人は，刊行物3によれば，サブスレッショルド電流は，チャネル長が十分長い場合のリーク電流であるのに対して，刊行物1発明はチャネル長を短くしたときのリーク電流を問題にしているから，そのリーク電流はパンチスルー電流である，パンチスルー電流はサブスレッショルド電流よりも桁違いに大きく，これに比べればサブスレッショルド電流は無視し得る程度のものであるから，刊行物1が問題にしているチャネル長を短くすることによって生じるリーク電流は，サブスレッショルド電流ではないなどと主張する。

しかしながら，ソースドレイン間耐圧は，ドレイン電圧に依存し（上記(3)(コ)），原告（脱退）株式会社日立製作所の主任研究員A作成の「プロセス技術の進展に伴うMOSトランジスタサブスレッショルド電流値の推移について」と題する資料（甲11）の表1「最小チャネル長の推移に伴うトランジスタのパラメータの変化」に示されるように，通常は，短チャネル化に伴ってドレイン電圧（電源電圧）を低下させておく設計が行われているから，そのような設計において，チャネル長が短いときに問題となるリーク電流は，サブスレッショルド電流であって，これに対処することが刊行物1発明における技術課題であったということができる。パンチスルー電流はサブスレッショルド電流よりも桁違いに大きいとしても，パンチスルー電流が発生しないように耐圧を決定することができるのであるから，引受承継人の主張は採用できない。

(6) 引受承継人は，また，パンチスルー状態でも正常に動作するMOSトランジスタの設計方法が知られていたのであるから，刊行物1のMOSトランジスタには，パンチスルー状態でもトランジスタとしての正常な動作が確保されるようなパラメータが採用されていると考えることが自然であると主張する。しかしながら，引受承継人がその主張の根拠とするのは，刊行物3（甲17）の図3・21に，パンチスルー状態でもソース電流（ドレイン電流）がゲート電圧に依存する領域があることが示されているという点であるが，パンチスルー状態では，耐圧を超え，リーク電流が増大しているものであり，スイッチング動作も劣化しているといえるから，ドレイン電流がゲート電圧に依存するからといって，これを正常動作ということとはできず，刊行物1のMOSトランジスタがパンチスルー状態となるようなパラメータを選択していると解することはできない。引受承継人の主張は，採用できない。

(7) 以上のとおり，引受承継人の取消事由1の主張は理由がない。

2 取消事由2（本件発明1と刊行物1発明の対比における認定の誤り）について

(1) 引受承継人は，決定が，刊行物1の「チャネル長の短いMOSトランジスタ」，「チャネル長の長いMOSFET」が，それぞれ，本件発明1の「第1

MOSトランジスタ」，「第2MOSトランジスタ」に相当すると認定し，これを前提に，刊行物1発明と本件発明1とが，「オフ状態の上記第1MOSトランジスタのソース・ドレイン経路を介して流れるサブスレッショルド電流を上記第2MOSトランジスタのオフ状態の特性によって制限する」（決定謄本13頁第2段落）点で一致すると認定したことが誤りであると主張する。

しかし，上記1に認定したとおり，刊行物1に記載されたCMOS型マイクロコンピュータにおいて，「チャンネル長の短いMOSトランジスタ」のリーク電流は，サブスレッショルド電流であると認められるから，刊行物1に記載されたCMOS型マイクロコンピュータの構成における「チャンネル長の短いMOSトランジスタ」が「第1MOSトランジスタ」に相当しないとする理由はない。また，短チャンネル化に伴って，しきい値電圧が低下することにより，ドレイン電流が増加することは，技術常識であるから，刊行物1に記載されたCMOS型マイクロコンピュータにおいて，「チャンネル長の長いMOSFET」がそのオフ状態の特性によって「チャンネル長の短いMOSトランジスタ」に流れるサブスレッショルド電流を抑制する機能を有することになることは明らかであり，この点から，刊行物1の「チャンネル長の長いMOSFET」は，「第2MOSトランジスタ」に相当するものと認められる。

したがって，刊行物1発明と本件発明1との対応関係及びこれを前提とする一致点に関する決定の認定に誤りはない。

(2) 引受承継人は，決定が，相違点Aを，刊行物1には「チャンネル長の長いMOSFETの導電型については記載が無い点」（決定謄本13頁下から第2段落）と認定したことが誤りであると主張する。

しかしながら，刊行物1には，「電源部にドレインが接続しゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFET」との記載があるのみで，導電型，すなわちN型若しくはP型MOSトランジスタであるとの記載はない。また，刊行物1のチャンネル長の長いMOSFETについては，そのドレインが接続される「電源部」が高電位側であるとの記載はなく，さらに，例えば乙8公報の記載に見られるとおり，P型のMOSトランジスタのドレイン端子を高い電位側に接続することも技術的に可能であると認められるから，刊行物1に記載された電源部にドレインが接続したMOSFETがN型であるとまで断定することはできない。したがって，決定が，チャンネル長の長いMOSFETの導電型について，刊行物1には「記載が無い」と認定したことに誤りはない。

(3) 以上のとおり，引受承継人の取消事由2の主張は理由がない。

3 取消事由3（本件発明1の容易想到性の判断の誤り）について

(1) 引受承継人は，本件発明1の容易想到性に関する決定の判断が誤りである理由として，①決定は，チャンネル長の長いMOSFETの導電型について刊行物1の記載の認定を誤認しているから，その認定に基づく容易想到性の判断も当然に誤りであること，②刊行物1と刊行物2とは，その回路の性格上，組み合わせることができないことを挙げている。

(2) しかしながら，上記①に理由のないことは，上記2に説示したところから明らかである。また，上記②の点については，仮に，引受承継人が主張するように刊行物1のスイッチング用のFETトランジスタがN型であるとしても，刊行物2には，CMOSインバータにスイッチング用のP型MOSFETを接続した構成が示されており，刊行物1発明も，CMOS型で1チップに構成され，スタンバイ機能を有するマイクロコンピュータに関するものであるから，両者は，同じ技術分野に属することが明らかである。そして，半導体回路の設計上，スイッチング用のFETトランジスタの導電型をP型とするかN型とするか，ソース接地とするかソースホロアとするか，必要となる電源電圧をどう設定するか等は，回路の必要性に応じて適宜設計し得ることというべきであるから，刊行物1発明におけるスイッチング用のMOSFETを，P型MOSFETとすることは，一般的には，当業者が容易に想到することといえることができる。

(3) 引受承継人は，刊行物1発明はソースホロア接続でなければならず，他方，刊行物2発明はソース接地接続でなければならぬとした上，仮に，刊行物1発明のチャンネル長の長いMOSFET11の導電型をP型にすれば，チャンネル長の短いMOSトランジスタにパンチスルー電流が流れ，スイッチング特性を劣化させることになるから，刊行物1発明に刊行物2発明を組み合わせることはできないとして，両者の組合せに阻害要因があることを主張する。しかし，刊行物1発明がソースホロア接続でなければならず，刊行物2発明がソース接地接続でなければ

ならないとする記載は、それぞれの刊行物には存在しない上、例えば、本件明細書（甲2）に、「外部電源電圧より低い内部電源電圧をチップ内の電圧降下回路（オンチップ電圧リミッタ）で発生し、この内部電源電圧を内部回路に供給するようにした高集積密度で半導体集積回路は、従来より、特開昭57-172761（注、乙6公報）に記載されている」（段落【0002】）と記載されるように、N型のソースホロア接続をpチャネルのソース接地接続に置き換えるに際し、必要に応じ、CMOS回路に供給する電源電圧を適宜設定する手段も知られていたから、上記の組合わせを困難とする事情があるとは認められない。また、電源電圧は、パンチスルー耐圧を超えないように設計することが普通であり、「チャンネル長の長いMOSFET11」の導電型をP型にしても、適正な電源電圧を前提とすれば、「チャンネル長の短いMOSトランジスタ」にはパンチスルー電流が流れることなく、そのスイッチング特性を劣化させることはないから、その点からも引受承継人が主張するような阻害要因があるとはいえない。

（4） 以上のとおり、引受承継人の取消事由3の主張は理由がない。

4 取消事由4（本件発明2の容易想到性の判断の誤り）について

（1） 引受承継人は、決定が、「本件請求項2に係る発明（注、本件発明2）は、本件請求項1に係る発明（注、本件発明1）のサブスレッショルド電流は、『第1MOSトランジスタの加工寸法が0.1 μ m領域であることに起因して流れること』と限定するものであるが、刊行物3に記載のように、チャンネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加することは当業者に周知の事項であるから、これを格別のものと認めることはできない」（決定謄本14頁第3段落）とした決定の判断は、誤りであると主張する。

そこで検討すると、確かに、引受承継人が指摘するとおり、刊行物3（甲5）には、図3・10にチャンネル長が1.1 μ mから3.6 μ mのものについてのデータが示されているが、1 μ m以下のデータは示されておらず、また、図3・11において、チャンネル長1 μ m近傍でサブスレッショルド係数が急激に大きくなっているのは、サブスレッショルド電流ではなくパンチスルー電流の増加を意味するということができる。

しかしながら、刊行物3には、上記1（3）のとおり、短チャンネル化に伴ってしきい値電圧が低下することにより、ドレイン電流が増加すること、すなわち、サブスレッショルド電流が増加することが説明され、その図3・10には、ドレイン電圧 V_{DS} が5Vの場合であるが、チャンネル長3.6 μ mから1.4 μ mになるに従って、サブスレッショルド電流が増加することが示されており、さらに、図3・11には、チャンネル長3.6 μ mから1.4 μ mにおいてサブスレッショルド係数がほぼ一定であることが図示されている。これらのことから、チャンネル長を更に短くして、1.0 μ mないし0.1 μ mとする場合、耐圧を考慮してドレイン電圧 V_{DS} を低減させると、その場合にもサブスレッショルド電流が増加する傾向に変わりはないと考えることが合理的である。したがって、刊行物3の記載からも、「チャンネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加すること」は、技術常識であると認めることができる。

そうである以上、決定が、チャンネル長が短くなって1 μ m程度以下になるとサブスレッショルド電流が増加するという前提に基づいて、本件発明2の容易想到性を検討し、サブスレッショルド電流が「第1MOSトランジスタの加工寸法が0.1 μ m領域であることに起因して流れること」との限定を格別のものとは認められないと判断したことには誤りはないというべきである。

（2） また、引受承継人は、微細化の進展に伴い、しきい値電圧が低くなると、サブスレッショルド電流の大きさが無視できなくなるから、「0.1 μ m領域」であることには特別な意味があり、この領域に至って初めて顕在化した問題点を解決したのが本件発明2であると主張する。しかしながら、リーク電流、すなわち、サブスレッショルド電流を低減することによって、低消費電力化を実現するという刊行物1発明は、リーク電流が大きいほど、その効果も大きいと容易に認識されるものであるから、これに比べて本件発明2の効果が格別のものということとはできない。

（3） 以上によれば、引受承継人の取消事由4の主張は理由がない。

5 取消事由5（本件発明3の容易想到性の判断の誤り）について

（1） 引受承継人は、本件発明3を当業者が容易に推考し得るものとした決定の判断は、本件発明1の「第1MOSトランジスタ」、第2MOSトランジスタがそれぞれ刊行物1の「チャンネル長の短いMOSトランジスタ」、チャンネル

長の長いMOSFET」に相当するという誤った認定に基づくものであるから、誤りであると主張する。

しかしながら、本件発明1の「第1MOSトランジスタ」、「第2MOSトランジスタ」がそれぞれ刊行物1の「チャンネル長の短いMOSトランジスタ」、「チャンネル長の長いMOSFET」に相当するという認定に誤りはなく、また、チャンネル長が短くなるにつれてしきい値電圧の絶対値 $|V_{th}|$ が小さくなることが技術常識に属することは、前示のとおりであるから、引受承継人の上記主張は理由がない。

(2) 引受承継人は、次に、本件発明3は、第2MOSトランジスタによって制限する対象が、パンチスルー電流ではなく、サブスレッショルド電流であるために有効となる構成であると主張する。しかしながら、刊行物1発明における制限の対象もサブスレッショルド電流であることは、既に認定したとおりであるから、両者に相違はなく、この点に関する引受承継人の主張も理由がない。

(3) 引受承継人は、また、チャンネル長の長いMOSトランジスタのしきい値電圧の絶対値がチャンネル長の短いMOSトランジスタのしきい値電圧の絶対値より大きいことは技術常識であるとする被告の主張に対して、前者が後者より大きいかどうかは、チャンネル長以外のパラメータにも依存すると反論する。

しかしながら、刊行物3（甲5）には、「短チャンネル効果としてまず取り上げられるのが・・・しきい値電圧の低下である。・・・チャンネル長が短くなるにつれてしきい値電圧の絶対値 $|V_{th}|$ が小さくなってくる」（95頁第3段落）と記載されているから、一般に、チャンネル長の長いMOSトランジスタのしきい値電圧の絶対値がチャンネル長の短いMOSトランジスタのしきい値電圧の絶対値より大きいことは、技術常識と認められる。また、刊行物1発明において、チャンネル長の長いMOSFETと短いMOSFETとは、ワンチップに構成されており、特にMOSFETの特性を決めるパラメータを異ならせることについて記載もないから、引受承継人の上記反論は採用の限りではない。

(4) 引受承継人は、さらに、本件特許請求の範囲の請求項3は、請求項1又は2に従属するものであり、請求項1及び2に係る発明（本件発明1及び2）についての容易想到性の判断に誤りがあるから、本件発明3の容易想到性についての判断も誤りである旨主張する。

しかしながら、本件発明1及び2についての容易想到性の判断に誤りがないことは上記判示のとおりであるから、引受承継人の主張は、前提を欠くものであって、理由がない。

(5) 以上によれば、引受承継人の取消事由5の主張は理由がない。

6 取消事由6（本件発明4ないし17、26ないし37の容易想到性の判断の誤り）について

引受承継人主張の取消事由1ないし5はいずれも理由がないことは前示のとおりであるから、これらの取消事由が成り立つことを前提として、本件発明4ないし17、26ないし37の容易想到性の判断をいう引受承継人の主張は、その前提を欠くものであって、理由がないことは明らかである。

7 以上のとおり、引受承継人主張の取消事由はいずれも理由がなく、他に決定を取り消すべき瑕疵は見当たらない。

よって、引受承継人の請求は理由がないから棄却することとし、主文のとおり判決する。

東京高等裁判所知的財産第2部

裁判長裁判官	篠	原	勝	美
裁判官	古	城	春	実
裁判官	岡	本		岳