

平成17年(行ケ)第10238号 審決取消請求事件  
平成17年11月21日口頭弁論終結

判	決
原告	シーメンスアクチエンゲゼルシャフト
同訴訟代理人弁理士	山口巖
同被告	松崎清
同指定代理人	特許庁長官 中嶋誠
同	羽鳥賢一
同	濱野友茂
同	衣鳩文彦
同	小池正彦
同	宮下正之
	文

主  
1 原告の請求を棄却する。  
2 訴訟費用は原告の負担とする。  
3 この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

#### 事実及び理由

##### 第1 請求

特許庁が不服2004-5767号事件について平成16年7月21日にした審決を取り消す。

##### 第2 当事者間に争いのない事実

###### 1 特許庁における手続の経緯

原告は、発明の名称を「データの増幅および保持用回路装置」とする発明につき、平成5年8月20日(パリ条約による優先権主張1992年8月27日)、特許を出願し(平成5年特許願第228285号)、平成15年2月3日付け手続補正書により明細書の補正を行ったが、同年12月25日に拒絶査定を受けたため、平成16年3月23日、審判請求を行い、同年4月15日付け手続補正書により特許請求の範囲等の補正をした。

特許庁は、この審判請求を不服2004-5767号事件として審理し、その結果、平成16年7月21日、「本件審判の請求は、成り立たない。」との審決をし、同年8月5日、審決の謄本が原告に送達された。

###### 2 特許請求の範囲

平成16年4月15日付け手続補正書による補正後の明細書及び図面(以下「本願明細書」という。)の請求項1記載の発明(以下「本願発明」という。)は、下記のとおりである。

###### 記

「データの増幅及び保持のための回路装置であって、MOS技術で構成された第1のフリップフロップ(7, 8, 17, 18)と、MOS技術で構成された第2のフリップフロップ(9, 10, 15, 16)と、第1及び第2のフリップフロップを能動化するための手段とを備え、第2のフリップフロップ(9, 10, 15, 16)は少なくとも一対のMOSトランジスタ(15, 16)を有し、この一対のMOSトランジスタ(15, 16)の負荷パスは第2のフリップフロップ(9, 10, 15, 16)の出力回路の接地側に接続され、第1及び第2のフリップフロップを能動化するための手段はデータの増幅及び保持のために、第1のフリップフロップ(7, 8, 17, 18)が能動化され続いて時間的に遅延して第2のフリップフロップ(9, 10, 15, 16)が能動化されるように駆動可能であり、回路装置は異なる供給電圧を有するデータを増幅しかつ保持し、第1のフリップフロップに低い供給電圧を有するデータを導くための手段が設けられ、第1のフリップフロップは低い供給電圧を供給され、第2のフリップフロップは高い供給電圧を供給され、第1のフリップフロップ(7, 8, 17, 18)の出力回路端子は第2のフリップフロップ(9, 10, 15, 16)の対をなすMOSトランジスタ(15, 16)のゲート端子でのみ第2のフリップフロップ(9, 10, 15, 16)と接続されていることを特徴とするデータの増幅および保持用回路装置。」

###### 3 審決の理由

別紙審決書の写しのとおりである。要するに、本願発明は、特開平2-122719号公報(甲第2号証。以下「引用刊行物1」という。)、特開昭56-117391号公報(甲第3号証。以下「引用刊行物2」という。)記載の発明及び

技術に基づいて当業者が容易に発明をすることができたものと認められるから、特許法29条2項の規定によって特許を受けることができない、とするものである。審決は、上記結論を導くに当たり、引用刊行物1記載の発明（以下「引用発明」という。）の内容並びに本願発明と引用発明との一致点及び相違点を次のとおり認定した。

(1) 引用発明の内容

「表示データ信号をラッチ、電圧レベル変換する半導体集積回路であって、2つのアナログスイッチ回路91、92と4つのインバータ回路33から36とからなるラッチ回路5と、電圧レベル変換回路6とを備え、上記電圧レベル変換回路6は一对のPチャネルFET23、24を有し、この一对のPチャネルFET23、24はNチャネルFET25、26からなるフリップフロップの接地側に接続され、上記半導体集積回路は表示データ信号をラッチ、電圧レベル変換し、上記ラッチ回路5には表示データ信号を導くためのアナログスイッチ回路91、92、インバータ33が設けられ、上記ラッチ回路5は論理回路駆動用電源電圧 $V_{DD}$ を供給され、上記電圧レベル変換回路6は液晶駆動用電源電圧 $V_{EE}$ を供給され、上記ラッチ回路5の出力回路端子は上記電圧レベル変換回路6の対をなす上記PチャネルFET23、24のゲート端子と直接、若しくはインバータ回路37を介して上記電圧レベル変換回路6と接続されている半導体集積回路。」

(2) 一致点

「データの増幅及び保持のための回路装置であって、第1のフリップフロップと、第2のフリップフロップとを備え、第2のフリップフロップは少なくとも一对の電界効果トランジスタを有し、この一对の電界効果トランジスタの負荷パスは第2のフリップフロップの出力回路の接地側に接続され、回路装置は異なる供給電圧を有するデータを増幅しかつ保持し、第1のフリップフロップに低い供給電圧を有するデータを導くための手段が設けられ、第1のフリップフロップは低い供給電圧を供給され、第2のフリップフロップは高い供給電圧を供給され、第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなす電界効果トランジスタのゲート端子で接続されているデータの増幅および保持用回路装置」である点

(3) 相違点

ア 本願発明は、第1フリップフロップ、及び第2のフリップフロップがMOS技術で構成され、一对の電界効果トランジスタがMOSトランジスタで構成されているのに対して、引用発明は、第1フリップフロップ、及び第2のフリップフロップがMOS技術で構成されているか、また、一对の電界効果トランジスタがMOSトランジスタであるか否か明確でない点（以下「相違点1」という。）

イ 本願発明は、第1及び第2のフリップフロップを能動化するための手段とを備え、第1及び第2のフリップフロップを能動化するための手段はデータの増幅及び保持のために、第1のフリップフロップが能動化され続いて時間的に遅延して第2のフリップフロップが能動化されるように駆動可能であるのに対して、引用発明はそのような手段を備えていない点（以下「相違点2」という。）

ウ 本願発明は、第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなすMOSトランジスタのゲート端子でのみ第2のフリップフロップと接続されているのに対して、引用発明は、第1のフリップフロップの出力回路端子は、第2のフリップフロップの対をなすFETのゲート端子と直接、若しくはインバータ回路37を介して第2のフリップフロップと接続されている点（以下「相違点3」という。）

第3 原告主張の取消事由の要点

審決は、相違点2及び3についての判断を誤り（取消事由1及び2）、本願発明が引用発明及び引用刊行物2記載の発明に基づいて当業者が容易に発明をすることができたものと誤って判断したものであるから、取り消されるべきである。

1 取消事由1（相違点2についての判断の誤り）

(1) 審決は、相違点2について、引用刊行物2には、「第1のフリップフロップが能動化され続いて時間的に遅延して第2のフリップフロップが能動化されるように駆動する技術が開示されている」と認定しているが、引用刊行物2の第1図(b)を精査すると、信号 $P_2$ が信号 $P_1$ よりも「時間的に遅れて」立ち上がることは読み取れるものの、積極的にあるいは意識的に「時間的に遅らせて」立ち上がらせたという状況は読み取れないし、意識的に遅らせる場合に表示されるような「 $\leftarrow t$ 」などの時間差についての記号は表示されておらず、発明の詳細な説明にも時間

差についての説明はされていない。したがって、引用刊行物2には、信号P<sub>1</sub>と信号P<sub>2</sub>とを遅らせて立ち上げるという「技術的思想」は開示されておらず、引用刊行物2には、「第1及び第2のフリップフロップを能動化するための手段を備え、第1及び第2のフリップフロップを能動化するための手段はデータの増幅及び保持のために、第1のフリップフロップが能動化され続いて時間的に遅延して第2のフリップフロップが能動化されるように駆動する技術」は、明示的には開示されていないものというべきである。

(2) 引用刊行物2の第1図(a)と同図(b)とを見比べれば、信号P<sub>1</sub>を印加されるフリップフロップと信号P<sub>2</sub>を印加されるフリップフロップとは、時間差をもって動作しているが、信号P<sub>1</sub>と信号P<sub>2</sub>とは大きさが異なるとは記載されていないから、本願発明のように、「低い供給電圧」と「高い供給電圧」を供給されるフリップフロップを対象としていない。したがって、引用刊行物2に、供給電圧が同じ(少なくとも異なるとの明示のない)フリップフロップ間に動作遅れが生じていることの開示があるからといって、本願発明のように供給電圧が異なるフリップフロップにおいて時間遅れを積極的に持たせることに格別の創意工夫を要しないと判断することは当を得ない。

## 2 取消事由2(相違点3についての判断の誤り)

審決は、引用発明の構成が「第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなすMOSトランジスタのゲート端子でのみ第2のフリップフロップと接続されている」という本願発明の構成と実質的に相違するものではないと判断しているが、次のとおり、審決の判断は誤りである。

(1) 引用刊行物1においては、ラッチ回路5の出力(第4図右端の無記号端子出力)は、第5図の電圧レベル変換回路の左端の入力端子Iに入力されるが、この入力端子は、対をなすFET23、24の内のFET23のゲート端子とは直接接続されているものの、FET24のゲート端子とは直接接続されておらず、インバータ37を介して接続されている。このインバータ37は電源電圧V<sub>DD</sub>を印加されており、入力端子IをFET24のゲート端子から絶縁する役割を果たしている。すなわち、入力端子IとFET24のゲート端子とは、中間に何物も介在させることなくゲート端子に直接に接続されているとはいえない。引用刊行物1の第5図におけるインバータ37は、抵抗等の受動素子ではなく、電源電圧V<sub>DD</sub>を供給される能動素子であるから、ラッチ回路5の出力はこのインバータの電源電圧V<sub>DD</sub>の変動の影響を受けることになり、この電源電圧V<sub>DD</sub>の変動は、電圧レベル変換回路の回路動作に影響を及ぼすことになる。

したがって、引用発明は、本願発明のように、「第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなすMOSトランジスタのゲート端子でのみ第2のフリップフロップと接続されている」構成を採用したものではない。本願発明にいう「ゲート端子でのみ」とは、「中間に何物も介在させることなくゲート端子に直接に」という意味であり、インバータ37を介在させている引用発明とは相違する。

(2) 本願発明において「第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなすMOSトランジスタのゲート端子でのみ第2のフリップフロップと接続」したことによる作用効果は、①第1のフリップフロップと第2のフリップフロップとが異なる供給電圧で作動していても、異なる両供給電圧が互いに影響を生じ合うことが全くないこと、②低い供給電圧で作動する回路と高い供給電圧で作動する回路とが分離され、高い供給電圧で作動する回路における供給電圧が上昇する際の回路の挙動が顕著に改善されることである。引用発明において、①の効果が発揮されるか否かについては定かではないが、②の効果は引用刊行物1に開示された回路技術では奏し得ない。

(3) 本願発明による回路装置は、一般に集積化されて半導体チップ上に統一的な製造技術で作り上げられるところ、このような製造方法でフリップフロップを構成する場合に、相互の接続にインバータを介在させることは無意義である。本願発明の「第1のフリップフロップの出力回路端子は第2のフリップフロップの対をなすMOSトランジスタのゲート端子でのみ第2のフリップフロップと接続」することは、MOS技術による接続を意味しているのであり、引用刊行物1のように、個別の回路を電気回路技術的に接続しているわけではない。

## 第4 被告の反論の骨子

審決の認定判断はいずれも正当であって、審決を取り消すべき理由はない。

## 1 取消事由1(相違点2についての判断の誤り)について

(1) 引用刊行物2には、「最後に、第1図(b)の信号 $P_2$ が立ち上がる。」との記載があり、第1図(b)の記載等に鑑みれば、引用刊行物2に信号 $P_1$ と信号 $P_2$ とを遅らせて立ち上げるという「技術思想」が開示されていることは明らかなである。

(2) 引用刊行物2に開示されている技術は、2つのフリップフロップに供給する供給電圧 $P_1$ 、 $P_2$ の供給タイミングに関する技術であって、この技術を提供電圧が異なるフリップフロップに適用できない理由はなく、また、引用発明の供給電圧が異なるフリップフロップに適用する際に格別の創意工夫を要しないと考えられる。したがって、審決の相違点2についての容易想到性の判断に誤りはない。

## 2 取消事由2（相違点3についての判断の誤り）について

(1) 原告は、本願発明にいう「ゲート端子でのみ」とは、「中間に何物も介在させることなくゲート端子に直接に」という意味であると主張するが、本願発明の「ゲート端子でのみ」という文言からは、「中間に何物も介在させることなくゲート端子に直接に」という意味は導出されない。本願発明の「ゲート端子でのみ」接続という文言は、「第1のフリップフロップの出力回路端子は、第2のフリップフロップの対をなすMOSトランジスタのゲートとは接続されるが、第2のフリップフロップのその他の部分とは接続されない」との意味に解され、「第1のフリップフロップの出力回路端子」と「第2のフリップフロップの対をなすMOSトランジスタのゲート」との間に何かが介在しているものを排除してはいない。

また、本願発明にいう「ゲート端子でのみ」の意味を原告の主張どおりに解したとしても、引用刊行物1の第4図に示される第1のフリップフロップを第5図に示される第2のフリップフロップに接続するに当たり、第5図のようにインバータ37を介在させる構成に代えて、第1のフリップフロップの出力回路端子といえる第4図のインバータ36の入力側と出力側を、それぞれ直接、FET23、24のゲートに接続するようにすることは、当業者が適宜なし得たことである。

(2) 原告が本願発明の作用効果と主張する①及び②は、相違点3に係る構成を具備するものにおいては、当然に予想される効果である。

(3) 原告は、本願発明において「ゲート端子でのみ」接続するときの「接続」がMOS技術による接続を意味していると主張するところ、原告が引用刊行物1はMOS技術を採用していないとの前提に立っているのであれば、その前提が誤りである。乙第1号証の図1-31、図1-33等に照らせば、引用刊行物1の第5図に示されるFET23～26はMOSトランジスタであると解されるからである。仮に、引用発明自体はMOS技術を採用したものであるといえないとしても、審決の相違点1についての判断にあるように、MOS技術を採用したものとすることは当業者が適宜なし得たことにすぎない。

## 第5 当裁判所の判断

### 1 取消事由1（相違点2についての判断の誤り）について

(1) 引用刊行物2（甲第3号証）には、第1図(a)の回路に与えられる信号 $P_1 \sim P_3$ に関し、①「信号 $R_1$ 、 $R_2$ が立ち下がり、第1図(b)に示すように、信号 $P_1$ が立ち上がる。」（3頁左上欄14～15行）、②「最後に、第1図(b)の信号 $P_2$ が立ち上がる。」（3頁右上欄19～20行）、③「このアドレスバッファ回路では、接続点4、8に容量6、30を接続し、信号 $P_1$ の立上りによるラッチ開始時に、第1図(b)に示す $P_3$ によつて、レベル降下が起こつた接続点4、8のレベルを不感帯に入らないように上昇させている。」（3頁右下欄11～15行）、④第1図(b)の信号波形図（9頁）の各記載がある。

上記①及び③の記載と④の信号波形図を照らし合わせると、信号 $P_1$ 、 $P_3$ の立ち上がり時点は同じ時点であることは明らかなであり、上記②の記載と④の信号波形図を照らし合わせると、信号 $P_2$ の立ち上がり時点は、信号 $P_1$ （及び信号 $P_3$ ）の立ち上がり時点よりも後の時点であることが明らかなである。また、引用刊行物2には、明細書の全文補正によって上記①ないし③の記載が改められた後も、信号 $P_1 \sim P_3$ に関して、「タイミング信号 $R_1$ 、 $R_2$ が『H』から『L』レベルに変化し、かつタイミング信号 $P_1$ 、 $P_2$ 、 $P_3$ が順次『H』レベルになると、」（14頁左下欄13～15行）と記載されている。

以上によれば、引用刊行物2に信号 $P_1$ と信号 $P_2$ とを意識的に遅らせて立ち上げるという「技術思想」が開示されていることは明らかなである。

(2) 引用刊行物2において、第1のフリップフロップの動作と第2のフリップフロップの動作との間に時間的遅延があることは前記(1)のとおりであるが、第1のフリップフロップと第2のフリップフロップとで供給電圧が異なるか否かについては、明示の開示がない。

しかし、引用刊行物 2 に開示されている技術は、二つのフリップフロップに供給する供給電圧  $P_1$ 、 $P_2$  の供給タイミングに関する技術であって、この技術を供給電圧が異なる二つのフリップフロップに適用することができない理由はなく、引用刊行物 1 にあるような供給電圧の異なる二つのフリップフロップに適用することに格別の阻害要因は認められない。

(3) 以上のとおり、相違点 2 について容易想到であるとした審決の判断に誤りはなく、原告主張の取消事由 1 は理由がない。

2 取消事由 2 (相違点 3 についての判断の誤り) について

(1) 審決は、本願発明の「第 1 のフリップフロップ」が引用発明の「ラッチ回路 5」に、本願発明の「第 2 のフリップフロップ」が引用発明の「電圧レベル変換回路 6」に、それぞれ相当するとした上で、引用発明のインバータ回路 3 7 が「第 1 のフリップフロップと同じ論理回路駆動用電源電圧  $V_{DD}$  で駆動されていることから、インバータ回路 3 7 は実質的には第 1 のフリップフロップの出力回路といえるから、引用発明の第 1 のフリップフロップの出力回路端子は第 2 のフリップフロップの対をなす電界効果トランジスタのゲート端子で第 2 のフリップフロップと接続されているといえる。」と判断している。

しかし、引用刊行物 1 (甲第 2 号証) に「電圧レベル変換回路 6 は、第 5 図に示すように、1 ビットにつき一對の P チャネル FET 2 3、2 4 と一對の N チャネル FET 2 5、2 6 とインバータ回路 3 7 とから構成され、信号は I として入力され、Q として出力される。」と記載されている (2 頁左上欄 1 7 行～右上欄 1 行) 以上、引用発明の「インバータ回路 3 7」は、本願発明の「第 2 のフリップフロップ」に相当する引用発明の「電圧レベル変換回路 6」の一部であって、実質的に第 1 のフリップフロップ回路 (引用発明の「ラッチ回路 5」) の一部であるということは妥当でない。

しかしながら、審決の前記の判断が妥当でないとしても、以下の理由により審決の結論に影響を与えるものとはいえない。

引用刊行物 1 によれば、第 1 のフリップフロップから第 2 のフリップフロップへの信号出力が相互に反転関係にある論理出力である (フリップフロップの論理出力として、慣用的に用いられている Q とその反転信号  $\bar{Q}$  (編注: 「Q」の上に線あり) に相当することは、自明である。) ことが認められ、インバータ回路 3 7 を設けたのは、相互に反転関係にある出力を次段のフリップフロップに入力するに当たり、第 5 図のようにインバータ回路 3 7 を介して反転出力を得るようにしたからであると認められる。このことからすると、引用発明において、引用刊行物 1 の第 5 図のようにインバータ 3 7 を介在させる構成に代えて、第 1 のフリップフロップの出力回路端子といえる第 4 図のインバータ 3 6 の入力側と出力側を、それぞれ直接、FET 2 3、2 4 のゲートに接続するように構成することも可能であり、これは、当業者が適宜行い得たことにすぎない。したがって、原告が主張するように、本願発明の「ゲート端子でのみ」が「中間に何物も介在させることなくゲート端子に直接に」という意味であるとしても、そのように「ゲート端子でのみ」接続するか、インバータを介在させるかは、当業者が適宜に採用し得る設計的事項であって、格別の創意工夫を必要とするものではないといえることができる。

そうすると、引用発明の構成が、インバータ回路 3 7 を介在させている点で、「ゲート端子でのみ」接続するという本願発明の構成と実質的に相違するものであるとしても、引用発明に基づいて、相違点 3 に係る本願発明の構成のようにすることが容易想到であるとの結論に変わりはない。

(2) 原告は、本願発明の「ゲート端子でのみ」接続することによる効果として、①第 1 のフリップフロップと第 2 のフリップフロップとが異なる供給電圧で作動していても、異なる両供給電圧が互いに影響を生じ合うことが全くないこと、②低い供給電圧で作動する回路と高い供給電圧で作動する回路とが分離され、高い供給電圧で作動する回路における供給電圧が上昇する際の回路の挙動が顕著に改善されることを挙げるが、MOS トランジスタの構造からみて、「ゲート端子でのみ」接続するという相違点 3 に係る構成を具備するものにおいては、当然に予想される効果であるから、これをもって本願発明の進歩性を根拠づけることはできない。

(3) 原告は、本願発明において「ゲート端子でのみ」接続するときの「接続」は MOS 技術による接続を意味しており、引用刊行物 1 のように個別の回路を電気回路技術的に接続しているわけではないと主張する。

しかし、本願発明の特許請求の範囲請求項 1 において、「第 1 のフリップフロップ」及び「第 2 のフリップフロップ」のいずれも「MOS 技術で構成され」

ていることは記載されているが、「第1のフリップフロップ」から「第2のフリップフロップ」への「接続」自体がMOS技術による接続を意味するとの記載はなく、出願当初の明細書の発明の詳細な説明又は図面においても同様に記載も示唆もない。

したがって、原告の上記主張は、明細書の記載に基づかないものであるから、採用することはできない。

(4) 以上のとおり、本願発明の「ゲート端子でのみ」が「中間に何物も介在させることなくゲート端子に直接に」という意味であり、相違点3が実質的相違点であるとしても、同相違点に係る本願発明の構成は引用発明に基づいて容易に想到し得るものであるから、原告主張の取消事由2も理由がない。

### 3 結論

以上に検討したところによれば、原告の主張する取消事由にはいずれも理由がなく、審決を取り消すべきその他の誤りも認められない。

よって、原告の請求は理由がないから棄却し、訴訟費用の負担、上告及び上告受理の申立てのための付加期間について行政事件訴訟法7条、民事訴訟法61条、96条2項をそれぞれ適用して、主文のとおり判決する。

### 知的財産高等裁判所第3部

裁判長裁判官	佐	藤	久	夫
裁判官	三	村	量	一
裁判官	古	閑	裕	二