

平成14年(行ケ)第498号 審決取消請求事件
平成15年3月18日判決言渡, 平成15年3月4日口頭弁論終結

判 決

原 告 サン マイクロシステムズ インコーポレーテッド
訴訟代理人弁理士 山川政樹, 黒川弘朗, 紺野正幸, 西山修, 山川茂樹
被 告 特許庁長官 太田信一郎
指定代理人 吉岡浩, 大橋隆夫, 高橋泰史, 林栄二, 小曳満昭

主 文

原告の請求を棄却する。
訴訟費用は原告の負担とする。
この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事 実 及 び 理 由

第1 原告の求めた裁判

特許庁が不服2001-14389号事件について平成14年4月22日にした審決を取り消す。

第2 事案の概要

本件は, 後記本願発明の特許出願人である原告が, 特許出願について拒絶の査定を受け, これを不服として審判の請求をしたところ, 特許庁が審判の請求は成り立たない旨の審決をしたため, その審決の取消しを求めた事案である。

1 前提となる事実等

(1) 特許庁における手続の経緯

(1-1) 本願発明

出願人 原告
発明の名称 「複数の処理を実行する方法および装置」(平成12年6月21日付け手続補正後の名称)

出願番号 特願平2-175486号
出願日 平成2年7月4日(パリ条約による優先権主張1989年8月3日米国)

(1-2) 本件手続

拒絶査定日 平成13年5月15日
審判請求日 平成13年8月13日(不服2001-14389号)
審決日 平成14年4月22日
審決の結論 「本件審判の請求は, 成り立たない。」
審決謄本送達日 平成14年6月3日(原告に対し)

(2) 本願発明の要旨(平成13年9月12日付け手続補正後の特許請求の範囲請求項1に記載のもの, 以下「本願発明1」という。)

「キャッシュメモリと主記憶装置を有するメモリサブシステムに結合されたパイプラインプロセッサを備えているコンピュータシステムにあって, 複数の処理を実行する方法において,

前記メモリサブシステムに記憶されている第1のプログラムの少なくとも一部に対応する第1の処理を, 前記パイプラインプロセッサにおいて複数のマルチプレクサによって実行状態とし, 前記第1の処理の実行結果と状態情報を前記マルチプレクサによって, 前記マルチプレクサに結合された前記パイプラインプロセッサの第1の複数の状態素子に記憶する過程を備え,

前記第1の処理の実行中に第1のキャッシュミスに遭遇したときに前記マルチプレクサによる前記第1の処理の実行を停止する過程を備え,

前記第1の処理の実行を停止した際に, 前記メモリサブシステムに記憶されている第2のプログラムの少なくとも一部に対応する第2の処理を前記マルチプレクサにより実行状態に切換え, 且つ, 前記第2の処理の実行結果と状態情報を前記マルチプレクサによって, 前記マルチプレクサに結合された前記パイプラインプロセッサの第2の複数の状態素子に記憶する過程を備え, 前記第1の処理の停止と前記第2の処理の実行状態への切換えの達成に必要とされる第1の時間間隔が, キャッシュミスを処理するため前記メモリサブシステムが平均して必要とする第2の時間間隔よりも短く,

前記第2の処理の実行中に第2のキャッシュミスに遭遇したときに前記マルチプレクサによる前記第2の処理の実行を停止する過程を備え,

前記第2の処理の実行を停止した際に、前記第1のキャッシュミスの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していたならば、前に停止された前記第1の処理を前記マルチプレクサにより実行状態に切替える過程を備え、前記第2の処理の停止と前に停止された前記第1の処理の実行状態への切替える達成に必要とされる第3の時間間隔が、前記第2の時間間隔よりも短くされていることを特徴とする、複数の処理を実行する方法。」

(3) 審決の理由

本件審決の理由は、【別紙】の「審決の理由」に記載のとおりである。要するに、本願発明1は、引用例1（特開昭63-238631号公報、甲4）及び引用例2（特開昭63-254530号公報、甲5）に記載された発明並びに当該分野の技術常識に基づいて、当業者が容易に発明をすることができたものであるから、特許法第29条2項の規定により特許を受けることができない、というものである。

2 争点（審決取消事由）

本願発明1と引用例1記載の発明との相違点の認定の誤り。

(1) 原告の主張の要点

審決は、本願発明1の特徴を誤って認定した結果、相違点の認定を誤った違法がある。

本願発明1の特徴は、第2の処理の実行中にキャッシュミスが発生して、その実行が中断されたときに、第1処理でフェッチが終了していれば第1処理に戻り、フェッチが終了していなければ第3の処理に進むというように、中断後の進み方が2つに分岐することである。

これに対して、引用例1は、第2の処理のキャッシュミスの後の分岐については一切言及していない。引用例2には、キャッシュミスが生じた後の処理について説明されていないだけでなく、第2の処理が中断したときに、第1の処理に戻るか、さらに第3の処理に進むかというように、分岐させることに関しては全く記載されていない。

以上のような、第2の処理のキャッシュミス後の処理の進み方が、条件によって分岐されるという本質的な点を相違点として認定すべきところ、審決は、相違点として認定しないという違法を犯し、その結果、本願発明1の進歩性を否定する誤りに至った。

なお、発明は、請求項の文言だけで判断されるべきではなく、明細書のそのほかの記載をも参酌すべきであると同時に当業者の常識をも考慮して合目的に解釈すべきである。本願明細書の特許請求の範囲請求項1には、データフェッチが完了していない場合に第3の処理に進むということは明記されていないが、上記のように解釈すべきである。

(2) 被告の主張の要点

「フェッチが終わっていないければ第3の処理に移る」点については、請求項1に記載されていない事項であるから、この点を本願発明1の構成に含めることは認められない。

第3 当裁判所の判断

1 証拠（甲3）によれば、以下の事実が認められる。

本願発明1の特許請求の範囲請求項1の記載（平成13年9月12日付け補正後のもの）は、前記のとおりである。そこには、「第2の処理の実行を停止した際に、前記第1のキャッシュミスの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していたならば、前に停止された前記第1の処理を前記マルチプレクサにより実行状態に切替える過程を備え、」との記載、すなわち、「第1のキャッシュメモリへのデータフェッチが完了していた場合」についての構成が特定されて明記されている。しかし、「第1のキャッシュメモリへのデータフェッチが完了していない場合」に関する構成については、何らの記載もない。

なお、「第1のキャッシュメモリへのデータフェッチが完了していない場合」の構成は、請求項2に記載されている。すなわち、請求項2には、「請求項1記載の方法において、前記第2の処理の実行を停止した際に、前記第1のキャッシュミ

スの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していなければ、前記メモリサブシステムに記憶されている第3のプログラムの少なくとも一部に対応する第3の処理を前記マルチプレクサにより実行状態に切替える過程を備え、」との記載がある。

2 特許出願に係る発明の要旨認定は、特段の事情のない限り、願書に添付した明細書の特許請求の範囲の記載に基づいてされるべきである（最高裁第2小法廷平成3年3月8日判決・民集45巻3号123頁参照）。

そこで、上記特許請求の範囲請求項1の記載によれば、本願発明1は、「第1のキャッシュメモリへのデータフェッチが完了していた場合」の構成を有する発明であって、「第1のキャッシュメモリへのデータフェッチが完了していない場合」の構成を有する発明ではないことを、一義的に明確に理解することができる。

したがって、審決の本願発明1と引用例1記載の発明との相違点の認定において、原告主張の違法があるとはいえない。

3 原告は、特許請求の範囲請求項1に「第1のキャッシュメモリへのデータフェッチが完了していない場合」についての記載がないとしても、当業者であれば、本件特許請求の範囲請求項1の記載から、第2の処理がキャッシュミスに会い、第1の処理のデータフェッチが完了していないならば、すぐに別のプロセス、すなわち、（第1、第2のプロセスでない）第3の処理に移ることを当然の前提としていることを理解するはずであり、当業者の常識をも考慮して解釈すべきである旨主張する。

しかし、原告主張のように、第2の処理がキャッシュミスに会い、第1の処理のデータフェッチが完了していないならば、他の構成を採ることなく、すぐに第3の処理に移るということが当業者の常識であることにつき、これを認めるに足る証拠がない上、原告が請求項1に記載するまでもなく常識であるとする上記の点が、請求項2には明記されていることからすれば、本願明細書では、上記の点は意識して書き分けられているものと解される。

よって、原告の上記主張は、採用することができない。

4 原告は、また、本願明細書（甲2）の特許請求の範囲以外の記載をも参酌すべきである旨主張する。

しかし、前記2のとおり、本件においては、本願発明1の要旨は、特許請求の範囲の記載により、一義的に明確に理解することができるのであって、特許請求の範囲以外の記載を参酌すべき特段の事情もないから、原告の主張は、採用の限りではない。

なお、念のため、原告の主張に沿って、本願明細書（甲2）の「発明の詳細な説明」欄の記載を検討しておく。

本願明細書（甲2）には、確かに、①「第2の処理が別のキャッシュミスに遭遇すると、必要なデータが主記憶装置から検索されているならば、プロセッサは第1の処理の実行を終了するために1クロックサイクル以内に戻る。他の場合にはプロセッサは第3の処理を開始できる。」（甲2の6～7頁）、②「第2のプロセスが別のキャッシュミスに遭遇したとすると、必要なデータが主記憶装置から検索されているならば、プロセッサは1クロックサイクル以内に返って実行を終了できる。必要なデータが検索されていないならば、プロセッサは第3のプロセスを実行できる。」（甲2の13頁）、③「本発明の目的は、…速度を最高にすることである。したがって、キャッシュミスが起るとパイプラインを1つのプロセスから別のプロセスへ切替える。」（甲2の10頁）との記載がある。

しかし、上記の記載は、本件出願における請求項1ないし10に係る発明についての、①は「課題を解決するための手段」における、②、③は「実施例」における各記載であり、請求項2以下の発明に関する説明である可能性もあるから、直ちに、請求項1の本願発明1について、特定の定義づけないし説明をするものであるとはいえない。そして、「必要なデータが検索されていないならば（他の場合には）、プロセッサは第3のプロセスを実行できる。」旨の記載は、前記のとおり、請求項1には記載がなく、請求項2に明記された構成であるから、上記記載も請求項2のような記載のある請求項に対応したものと理解するのが自然である。したがって、原告が指摘する「発明の詳細な説明」欄の各記載は、特許請求の範囲の記載から導かれる本願発明1の前記要旨認定を左右するものとはなり得ない。

原告の上記主張も採用の限りではない。

5 結論

以上のとおり、原告主張の審決取消事由は理由がないので、原告の請求は棄却されるべきである。

東京高等裁判所第18民事部

裁判長裁判官 塚 原 朋 一

裁判官 塩 月 秀 平

裁判官 田 中 昌 利

【別紙】 審決の理由

不服2001-14389号事件、平成14年4月22日付け審決
(下記は、上記審決の理由部分について、文書の書式を変更したが、用字用語の点を含め、その内容をそのまま掲載したものである。)

理 由

1. 手続の経緯・本願発明

本願は、平成2年7月4日(パリ条約による優先権主張1989年8月3日、アメリカ合衆国)の出願であって、その請求項1に係る発明は、平成13年9月12日付手続補正書によって補正された特許請求の範囲の請求項1に記載された次のとおりのものである。

「キャッシュメモリと主記憶装置を有するメモリスバシステムに結合されたパイプラインプロセッサを備えているコンピュータシステムにあって、複数の処理を実行する方法において、

前記メモリスバシステムに記憶されている第1のプログラムの少なくとも一部に対応する第1の処理を、前記パイプラインプロセッサにおいて複数のマルチプレクサによって実行状態とし、前記第1の処理の実行結果と状態情報を前記マルチプレクサによって、前記マルチプレクサに結合された前記パイプラインプロセッサの第1の複数の状態素子に記憶する過程を備え、

前記第1の処理の実行中に第1のキャッシュミスに遭遇したときに前記マルチプレクサによる前記第1の処理の実行を停止する過程を備え、

前記第1の処理の実行を停止した際に、前記メモリスバシステムに記憶されている第2のプログラムの少なくとも一部に対応する第2の処理を前記マルチプレクサにより実行状態に切換え、且つ、前記第2の処理の実行結果と状態情報を前記マルチプレクサによって、前記マルチプレクサに結合された前記パイプラインプロセッサの第2の複数の状態素子に記憶する過程を備え、前記第1の処理の停止と前記第2の処理の実行状態への切換への達成に必要とされる第1の時間間隔が、キャッシュミス进行处理するため前記メモリスバシステムが平均して必要とする第2の時間間隔よりも短く、

前記第2の処理の実行中に第2のキャッシュミスに遭遇したときに前記マルチプレクサによる前記第2の処理の実行を停止する過程を備え、

前記第2の処理の実行を停止した際に、前記第1のキャッシュミスの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していたならば、前に停止された前記第1の処理を前記マルチプレクサにより実行状態に切換える過程を備え、前記第2の処理の停止と前に停止された前記第1の処理の実行状態への切換への達成に必要とされる第3の時間間隔が、前記第2の時間間隔よりも短くされている

ことを特徴とする、複数の処理を実行する方法。」

2. 引用例

これに対し、原査定の理由に引用された特開昭63-238631号公報（以下、引用例1という。）には、以下の記載がある。

（1）「〔目的〕

したがって、本発明の目的は、マルチタスク動作を支持する実行装置を得ることによりI/Oチャネルプロセッサにおける並列構成を達成することである。

〔問題を解決するための手段〕

簡単にいえば、この目的は、プロセッサで実行されているタスクの間をレジスタセット記述子をメッセージの形で通すことにより、それらのタスクの間にレジスタセットを割当てする手段を有するプログラムされたプロセッサを含む実行装置を設けることにより本発明に従って達成される。

本発明の1つの面に従って、タスクがレジスタセット（バッファ）をサーバーの間で通せるようにするためにレジスタセットロッキングが設けられる。サーバーは複数のタスクまたはバスシーケンサの1つとすることができ、あるサーバーはレジスタセットに作用するエージェントである。

レジスタファイルをレジスタセットに区分することにより各タスクがいくつかのセットを持つことができるという利点を本発明は有する。そうすると、あるセットはプライベート状態のデータを含むことができ、かつある特定のタスクに常に割当てられ、他のセットはバッファまたはメッセージとして使用でき、かつタスクの間を通すことができる。

レジスタセットロッキングは、マルチタスクが同じレジスタセットを同時に取扱うことができないようにしながら、タスクがレジスタセットを共用できる（たとえばパイプラインされたアルゴリズムのために）という利点がある。」（公報第3頁左上欄第15行～右上欄第5行）

（2）「レジスタファイル〔Register File〕

CPはレジスタファイルに含まれている1組のオンチップ汎用レジスタを有する。レジスタファイル16は128個の33ビット場所を含むRAMである。それらの128個のレジスタは32個の4語レジスタセットとして編成される。

それらのレジスタセットと、レジスタセット内のデータは各タスクのレジスタセットポインタを介して間接的にアクセスされる。（中略）

レジスタセットポインタ〔Register set pointers〕

次に第2図を参照する。物理的レジスタセットアドレスをタスクのレジスタセットポインタの1つにロードすることにより、レジスタセットを動的または静的にタスクへ割当てることができる。」（公報第4頁左下欄第13行～右下欄第11行）

（3）「命令キャッシュオペレーション

（中略）

タスクがキャッシュミスと有すると、命令を含んでいるラインがCSメモリからフェッチされるまでタスクはブロックされる。この時間中に他のタスクを実行できる。キャッシュラインがフェッチされるとタスクのブロックは解除される。」（公報第10頁右下欄第12行～11頁左上欄第8行）

（4）第1図の実行装置とレジスタファイルおよび第2図のレジスタセットポインタ

以上の記載から、引用例1には、次の発明が記載されている。

命令キャッシュとCSメモリを有するメモリシステムに結合されたプロセッサを備えているコンピュータシステムにあって、複数の処理をマルチタスク動作で実行する方法において、

レジスタファイルのあるレジスタセットは特定のタスクに常に割当てられ、そのタスクのプライベート状態のデータを含み、

キャッシュミスが起こると実行中のタスクをブロックし、CSメモリからキャッシュへフェッチを行い、このフェッチ期間中に他のタスクを実行できるようにし、キャッシュラインがフェッチされると前記タスクのブロックは解除されるように制

御される、
複数の処理を実行する方法

また、原査定の理由に引用された特開昭63-254530号公報（以下、引用例2という。）には、次の記載がある。

（1）「従来、中央処理装置では、その命令処理能力を向上するために種々の工夫がされており、その典型的な例としてパイプライン制御方式が公知である。」（公報第1頁右下欄第1行～第4行）

（2）「本発明の目的は、複数のプロセスを実行できるようにしておき、複数の演算機能ブロックの使用状態を保持、管理して、各プロセスの命令の実行が中断状態となった場合には実行可能な他のプロセスの命令を選択して実行開始させ、演算結果を格納できるようにして上記欠点を除去し、情報処理装置の遊休することがないように構成した情報処理装置を提供することにある。

〔問題点を解決するための手段〕

本発明による情報処理装置はレジスタ群と、状態レジスタと、選択手段と保持手段とを具備して構成したものである。レジスタ群は複数のプロセスを実行するためのものであり」（公報第2頁左上欄第5行～第19行）

（3）「第1図は、本発明による情報処理装置の一実施例を示すブロック図である。第1図において、10-1、10-2・・・10-nはそれぞれ命令レジスタ、20-1、20-2・・・20-nはそれぞれ第1の形式の命令デコーダ、30-1、30-2・・・30-nはそれぞれフリップフロップ群、4はフリップフロップ群、5は第2の形式のデコーダ、60-1、60-2・・・60-nはそれぞれレジスタ群、7はセクタ、8は第3の形式のデコーダ、90はセクタ、11-1、11-2・・・11-nはそれぞれステージ、12-1、12-2・・・12-nはそれぞれレジスタ、15-1、15-2・・・15-nはそれぞれ演算機能ブロック、16-1、16-2・・・16-nはそれぞれレジスタである。

第1図において、レジスタ群10-1、10-2・・・10-nはそれぞれ複数のプロセスに対応するレジスタ群及び命令レジスタであり」（公報第2頁右上欄第11行～左下欄第9行）

3. 対比

本願の請求項1に係る発明（以下、前者という。）と引用例1に記載された発明（以下、後者という。）とを比較すると、

前者の「キャッシュメモリ」「主記憶装置」「メモリスバシステム」はそれぞれ後者における「命令キャッシュ」「CSメモリ」「メモリスバシステム」に対応する。

また、前者における

「前記メモリスバシステムに記憶されている第1のプログラムの少なくとも一部に対応する第1の処理をプロセッサにおいて実行状態とし」

「前記第1の処理の実行を停止する過程」

「前記第1の処理の実行を停止した際に、前記メモリスバシステムに記憶されている第2のプログラムの少なくとも一部に対応する第2の処理を実行状態に切換え」

「前記第2の処理の実行を停止する過程」

は、マルチタスク処理における通常の処理過程であるから、後者における複数の処理を実行する際のマルチタスク動作に対応する。

更に、前者における「前記第1の処理の実行中に第1のキャッシュミスに遭遇したときに前記第1の処理の実行を停止する過程」「前記第2の処理の実行中に第2のキャッシュミスに遭遇したときに前記第2の処理の実行を停止する過程」は、後者における「キャッシュミスが起こると実行中のタスクをブロックし」に対応する。

また、前者における「前記第1のキャッシュミスの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していたならば、前に停止された前記第1の処理を実行状態に切換える過程」は、後者における「キャッシュラインがフェッチされると前記タスクのブロックは解除される」に対応する。

従って、両者は、

キャッシュメモリと主記憶装置を有するメモリスバシステムに結合されたプロセッサを備えているコンピュータシステムにあって、複数の処理を実行する方法にお

いて、

前記メモリサブシステムに記憶されている第1のプログラムの少なくとも一部に対応する第1の処理を、前記プロセッサにおいて実行状態とし、

前記第1の処理の実行中に第1のキャッシュミスに遭遇したときに前記第1の処理の実行を停止する過程を備え、

前記第1の処理の実行を停止した際に、前記メモリサブシステムに記憶されている第2のプログラムの少なくとも一部に対応する第2の処理を実行状態に切換え、前記第2の処理の実行中に第2のキャッシュミスに遭遇したときに前記第2の処理の実行を停止する過程を備え、

前記第2の処理の実行を停止した際に、前記第1のキャッシュミスの結果として前記主記憶装置から前記キャッシュメモリへのデータフェッチが完了していたならば、前に停止された前記第1の処理を実行状態に切換える過程

備えたことを特徴とする、複数の処理を実行する方法
である点で一致する。

一方、両者は、次の点で相違している。

(相違点1)

前者が、マルチプレクサによってプログラムに対応する処理を実行状態又は停止し、また、処理結果と状態情報を状態素子に記憶するものであるのに対し、後者では、レジスタファイルに対する操作機構について具体的記載がない点。

(相違点2)

前者では、処理の停止と他の処理の実行状態への切り換えに必要とされる時間間隔が、キャッシュミス进行处理するために平均して必要とする時間間隔より短いことを規定しているのに対し、後者では切り換え時間に関する記載がない点。

(相違点3)

前者のプロセッサがパイプラインプロセッサであるのに対し、後者のプロセッサがパイプライン処理を行う機構を有するものの明記がない点。

4. 相違点についての判断

上記相違点について検討する。

(相違点1について)

マルチタスク処理において、タスク対応にレジスタ群を有し、レジスタ群を切り換えることにより多重処理を実行する方式はコンテキストスイッチングとして周知のものである。引用例2にはコンテキストスイッチング方式のマルチタスク処理が示されている。引用例2では、第1図のレジスタ群1, 2, . . .

n (60-1, 60-2 . . . 60-n) がプロセス(タスクと同義)対応になっているから、このレジスタ群に実行結果と状態情報が格納されることになる。そして、このレジスタ群からセクタ7によって情報が選択され、タスクの実行がなされる。また、演算機能ブロックからの実行結果は対応するレジスタ群に選択的に格納されることになる。

なお、審判請求人は、引用例2にはレジスタセット60-1, 60-nに格納される情報やセクタ7の機能について何ら記載がないと主張するので上述のように認定した根拠について詳述する。

なるほど、引用例2には、レジスタ群60-1, 60-2 . . . 60-nがプロセス対応であるとの明確な記載はない。しかし、引用例2第2頁右上欄第13~14行

の「10-1, 10-2 . . . 10-nはそれぞれ命令レジスタ」という記載、第2頁右上欄第18~19行の「60-1, 60-2 . . . 60-nはそれぞれレジスタ群」という記載、第1図の参照番号60-1, 60-2 . . . 60-nが付されたブロックに記載されている「レジスタ群1」、「レジスタ群2」、「レジスタ群n」という記載を参照すれば、引用例2第2頁左下欄第7~9行の「レジスタ群10-1, 10-2 . . . 10-nはそれぞれ複数のプロセスに対応するレジスタ群および命令レジスタであり」という記載には誤記があり、上記箇所の記載は、命令レジスタ10-1, 10-2 . . . 10-nとレジスタ群

60-1, 60-2 . . . 60-nはそれぞれ複数のプロセスに対応する命令レジスタ及びレジスタ群であることを意味するものであることは、当業者に容易に推測されることである。また、第1図を参照するとレジスタ群60-1, 60-2 . . . 60-nから読み出された内容は演算機能ブロックに供給され、演算機能ブロックの出力はレジスタ群60-1, 60-2 . . . 60-nに戻されているから、レジスタ群60-1, 60-2 . . . 60-nには少なくとも演算データが格納されていることは当業者にとって自明である。また、

プロセスの切り換え時には切り換え直前まで実行されていたプロセスの状態情報（プログラムカウンタ（PC）、プログラムステータスワード（PSW）、スタックポインタ（SP）など）を保存しておくことは、後で正常にそのプロセスを再開するために当然行うべきこと（必要ならば、特開昭56-16248号公報の第5図の51、52内のPSWRや、特開昭6352241号公報の第1図のPCA、PCB、・・・PCN、SPA、SPB、・・・SPNや、特開平1-99132号公報の第2図の2A～2D、3A～3D、4A～4D参照）であるから、引用例2においてもそれらの情報がレジスタ群に格納されていると考えるのが自然である。また、セクタ7の動作については、上述のように引用例2においては命令レジスタ10-1、10-2～10-nとレジスタ群60-1、60-2～60-nがプロセスに対応付けられているのであるから、正常動作させるためには、あるプロセスが選択された場合に、そのプロセスに対応する命令レジスタがセクタ90で選択されるのと連動して、対応するレジスタ群がセクタ7で選択されるように制御する必要があることも、当業者にとって明白である。従って、相違点1はマルチタスク処理における周知の事項に基づくもので格別なことではない。

（相違点2について）

実行中の処理の停止と他の処理の実行への移行は、コンテキストスイッチング方式ではレジスタをスイッチ等で切り換えることにより行うものであり、キャッシュミス解消のように主記憶装置からのデータ転送を伴うものでないから、切り換えに必要な時間はキャッシュミス解消に必要な時間より短いことは当業者にとって常識的事項にすぎない。

（相違点3について）

引用例2にも記載されているように、命令処理能力を向上させるためにプロセッサがパイプライン制御方式をとることはごく普通の形態にすぎない。

5. むすび

したがって、本願の請求項1に係る発明は引用例1、2に記載された発明および当該分野の技術常識に基づいて当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

よって、結論のとおり審決する。
平成14年 4月22日