

平成21年2月18日 判決言渡

平成19年（ネ）第10089号 特許権侵害行為差止等請求控訴事件

（原審 東京地方裁判所 平成18年（ワ）第1223号）

平成20年10月30日 口頭弁論終結

判 決

控 訴 人	日 立 化 成 工 業 株 式 会 社
訴訟代理人弁護士	吉 原 省 三
同	小 松 勉
同	三 輪 拓 也
同	上 田 敏 成
補 佐 人 弁 理 士	三 好 秀 和
同	豊 岡 静 男
同	高 久 浩 一 郎
同	原 裕 子

住友金属鉱山パッケージマテリアルズ株式会社承継人

被 控 訴 人	住 友 金 属 鉱 山 株 式 会 社
訴訟代理人弁護士	中 川 康 生
同	山 川 博 光
訴訟代理人弁理士	伊 東 忠 彦
同	佐 々 木 定 雄
同	大 貫 進 介

主 文

- 1 本件控訴を棄却する。
- 2 控訴費用は控訴人の負担とする。

事 実 及 び 理 由

第1 控訴の趣旨

- 1 原判決を取り消す。
- 2 被控訴人は、別紙1「被告物件目録」記載の物件を製造、販売してはならない。
- 3 被控訴人は、前項の物件を廃棄せよ。
- 4 被控訴人は、控訴人に対し、金4000万円及びこれに対する平成18年2月2日から支払済みまで年5分の割合による金員を支払え。
- 5 訴訟費用は、第1、第2審とも被控訴人の負担とする。
- 6 仮執行宣言

## 第2 事案の概要等

### 1 事案の概要

控訴人（原審原告。以下「原告」という。）は、被控訴人の被承継人である住友金属鉱山パッケージマテリアルズ株式会社（原審被告。以下「被告」という。）に対して、被告の製造販売する半導体素子搭載用基板が原告の有する特許権に係る特許発明の技術的範囲に属すると主張し、特許権に基づいてその製造、販売の差止め及び廃棄を求めるとともに、特許権侵害による不法行為に基づいて損害賠償4000万円及びこれに対する不法行為の後である平成18年2月2日（訴状送達の日翌日）から支払済みまで民法所定の年5分の割合による遅延損害金の支払を求めた。

原審において、被告は、被告の製造販売する半導体素子搭載用基板が原告の特許権に係る特許発明の技術的範囲に属することを争うとともに、原告の特許は無効審判により無効にされるべきものであり、さらに、原告による特許の訂正が認められると仮定しても、訂正により無効事由は解消されず、原告は特許法104条の3第1項の規定により特許権を行使することができないと主張した。

原判決は、被告の製造販売する半導体素子搭載用基板が原告の特許権に係る特許発明の技術的範囲に属すると判断したが、原告の特許は無効審判により無

効にされるべきものであり、原告による特許の訂正が認められると仮定しても、訂正により無効事由は解消されず、原告は特許法１０４条の３第１項の規定により特許権を行使することができないと判断し、原告の請求をいずれも棄却した。

そこで、原告は、原判決を不服として本件控訴を提起した。

なお、被控訴人は、控訴審の口頭弁論終結後である平成２０年１１月１日、被告を吸収合併し、同月１４日、その旨の登記がされた。

(本判決の構成は、別紙９「控訴審判決もくじ」のとおりである。)

２ 前提となる事実（認定の根拠となる証拠等を示した部分以外は、当事者間に争いがない。)

(１) 当事者

原告は、エレクトロニクス関連製品及び工業材料関連製品等の製造、販売を業とする株式会社である。

被告は、電子機器用部品の製造、販売等を業とする株式会社である。

(２) 原告の特許権

原告は、次の各特許権を有する（次のア記載の特許権を「本件特許権１」、イ記載の特許権を「本件特許権２」、ウ記載の特許権を「本件特許権３」といい、本件特許権１ないし３を包括して「本件各特許権」という。）。

ア 本件特許権１

特 許 番 号	特許第３４１３４１３号
出 願 番 号	特願２００２－１３７３５９号
分 割 の 表 示	特願２００１－２３７７９１号の分割
出 願 日	平成７年３月１７日
公 開 番 号	特開２００２－３３４９４８号
公 開 日	平成１４年１１月２２日
審 査 請 求 日	平成１４年６月１０日

優先権主張番号	特願平6－48760号
優先日	平成6年3月18日
優先権主張国	日本
優先権主張番号	特願平6－273469号
優先日	平成6年11月8日
優先権主張国	日本
優先権主張番号	特願平7－7683号
優先日	平成7年1月20日
優先権主張国	日本
優先権主張番号	特願平7－56202号
優先日	平成7年3月15日
優先権主張国	日本
登録日	平成15年3月28日
発明の名称	半導体素子搭載用基板及びその製造方法
請求項の数	9（平成14年10月28日付け手続補正書（乙12）による補正後）

イ 本件特許権2

特許番号	特許第3413191号
出願番号	特願2002－137361号
分割の表示	特願2001－237791号の分割
出願日	平成7年3月17日
公開番号	特開2002－334950号
公開日	平成14年11月22日
審査請求日	平成14年6月10日
優先権主張番号	特願平6－48760号
優先日	平成6年3月18日

優先権主張国	日本
優先権主張番号	特願平6-273469号
優先日	平成6年11月8日
優先権主張国	日本
優先権主張番号	特願平7-7683号
優先日	平成7年1月20日
優先権主張国	日本
優先権主張番号	特願平7-56202号
優先日	平成7年3月15日
優先権主張国	日本
登録日	平成15年3月28日
発明の名称	半導体パッケージの製造法及び半導体パッケージ
請求項の数	8（平成14年10月28日付け手続補正書（乙20）による補正後）

ウ 本件特許権3

特許番号	特許第3352084号
出願番号	特願2002-137362号
分割の表示	特願2001-237791号の分割
出願日	平成7年3月17日
公開番号	特開2002-334951号
公開日	平成14年11月22日
審査請求日	平成14年6月10日
優先権主張番号	特願平6-48760号
優先日	平成6年3月18日
優先権主張国	日本
優先権主張番号	特願平6-273469号

優 先 日	平成 6 年 1 1 月 8 日
優 先 権 主 張 国	日本
優先権主張番号	特願平 7－7 6 8 3 号
優 先 日	平成 7 年 1 月 2 0 日
優 先 権 主 張 国	日本
優先権主張番号	特願平 7－5 6 2 0 2 号
優 先 日	平成 7 年 3 月 1 5 日
優 先 権 主 張 国	日本
登 録 日	平成 1 4 年 9 月 2 0 日
発 明 の 名 称	半導体素子搭載用基板及び半導体パッケージ
請 求 項 の 数	8 (平成 1 4 年 6 月 1 0 日付け手続補正書 (乙 2 2 ) による補正後)

### (3) 原告の特許発明

#### ア 本件発明 1

本件特許権 1 の特許出願の願書に添付した明細書（平成 1 4 年 1 0 月 2 8 日付け手続補正書（乙 1 2）による手続補正後のもの。以下、図面とともに「本件明細書 1」という。）の特許請求の範囲の請求項 6 の記載は次のとおりである（以下、同請求項 6 に記載された発明を「本件発明 1」という。）。

「絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられ、  
同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体  
パッケージ領域が複数個配列されていることを特徴とする半導体素子搭載  
用基板。」

#### イ 本件発明 2

本件特許権 2 の特許出願の願書に添付した明細書（平成 14 年 10 月 28 日付け手続補正書（乙 20）による手続補正後のもの。以下、図面とともに「本件明細書 2」という。）の特許請求の範囲の請求項 1 の記載は次のとおりである（以下、同請求項 1 に記載された発明を「本件発明 2」という。）。

「それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、  
上記半導体素子実装基板部間を連結するための連結部と、  
位置合わせマーク部とを備え、  
上記半導体素子実装基板部は、  
半導体素子搭載領域、  
上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び  
上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、  
上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、  
上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」

#### ウ 本件発明 3

本件特許権 3 の特許出願の願書に添付した明細書（平成 14 年 6 月 10 日付け手続補正書（乙 22）による手続補正後のもの。以下、図面とともに「本件明細書 3」といい、本件明細書 1 ないし 3 を包括して「本件各明細書」という。）の特許請求の範囲の請求項 1 の記載は次のとおりである

(以下、同請求項 1 に記載された発明を「本件発明 3」といい、本件発明 1 ないし 3 を包括して「本件各発明」という。)

「絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、  
半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、  
上記配線は、  
上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、  
上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられていることを特徴とする半導体素子搭載用基板。」

#### (4) 本件各発明の構成要件の分説

本件発明 1 の構成要件を分説すると、次のとおりである（構成要件は、アないしオの記号をもって特定する。）。

- ア 絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、
  - イ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、
  - ウ 上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、
  - エ 上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、
  - オ 同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている
- ことを特徴とする半導体素子搭載用基板。



本件発明 2 の構成要件を分説すると、次のとおりである（構成要件は、サ I ないし III，シ，スの記号をもって特定する。）。

サ I それぞれ半導体素子を搭載するための、複数の半導体素子実装基板部と、

サ II 上記半導体素子実装基板部間を連結するための連結部と、

サ III 位置合わせマーク部とを備え、

シ 上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、

ス 上記連結部は導電層を有する

ことを特徴とする半導体素子実装用基板。

本件発明 3 の構成要件を分説すると、次のとおりである（構成要件は、ナ ないしネの記号をもって特定する。）。

ナ 絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

ニ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

ヌ 上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、

ネ 上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

ことを特徴とする半導体素子搭載用基板。

#### (5) 被告の行為

被告は、別紙 1 「被告物件目録」記載の半導体素子搭載用基板（半導体素

子実装用基板，以下「被告製品」という。）を業として製造，販売している（別紙１「被告物件目録」添付図面，別紙２「被告製品構造説明図」は，被告製品の一例であるが，被告製品の構成部分の位置関係は，これらが示すとおりである。）。

(6) 被告製品の構成

被告製品の構成は，次のとおりである（以下，被告製品の構成は，A，B①ないし③，C，D，F'等の記号をもって特定する。被告製品が，その他の構成（構成E'）を備えるか否かについては，後記３（２）〔本判決２０頁〕のとおり争いがある。また，原告主張に係る，被告製品を訂正後の発明と対比するための被告製品の特定は，後記第３，１３（１）ア〔本判決１０６頁〕のとおりである。なお，別紙２「被告製品構造説明図」には，被告製品の構成の一例が示されているので，各構成に該当する番号を示す。）

A 被告製品は，絶縁性フィルム状支持体１と，その片面に形成された配線部２を有し，複数の配線パターン部Pがマトリクス状に配置される。（別紙２「被告製品構造説明図」第４図－１ないし３参照）

B それぞれの配線パターン部P内の配線部２は，少なくとも，①ランド部２１，②ワイヤボンディング接続端子２２，③配線２３を備える。（別紙２「被告製品構造説明図」第１図－１，第２図，第３図参照）

① ランド部２１

ランド部２１の下面に位置する部分に，ランド部２１に達する開口部１１が設けられ，ハンダボール等で外部と接続する。

② ワイヤボンディング接続端子２２

ワイヤ３によって，半導体素子と配線部２とを接続する。

③ 配線２３

ランド部２１とワイヤボンディング接続端子２２とを接続する。

C 被告製品の半導体素子搭載用基板は，絶縁性フィルム状支持体１の上に

同一形状の配線パターン部 P が多数並び、各配線パターン部 P は連結部 8 によって連結され、この連結部 8 は、各配線パターン部 P を連結するほか、目印 10 及び導電部 6 を設け、導電部 6 は、給電部 9 を介して配線部 2 と接続する。(別紙 2 「被告製品構造説明図」第 4 図－1 ないし 3 参照)

D 絶縁性フィルム状支持体 1 の両側には、絶縁性フィルム状支持体 1 を定量送りするために用いられるスプロケットホール 7 が設けられる。(別紙 2 「被告製品構造説明図」第 4 図－2・3 参照)

F' 複数の配線パターン部 P がマトリクス状に配置された所定の箇所に目印 10 が位置する。

(7) 本件各発明の構成要件充足性

被告製品は、本件各発明の次の構成要件を充足する。(争いがない)

ア 被告製品は、本件発明 1 の構成要件ア及びウを充足する。

イ 被告製品は、本件発明 2 の構成要件サ I, サ II 及びスを充足する。

ウ 被告製品は、本件発明 3 の構成要件ナ及びネを充足する。

(8) 事前の交渉等

原告と被告は、平成 16 年 10 月 15 日ころから平成 17 年 11 月 28 日ころまでの間、被告製品による本件各特許権の侵害の有無等について交渉し、協議を重ねたものの、最終的に交渉は決裂した。原告は、平成 18 年 1 月 24 日、本件訴えを提起した。(弁論の全趣旨、顕著な事実)

(9) 本件各特許権の出願の経緯

本件各特許権の出願の経緯は、次のとおりであり、これを模式的に表すと、別紙 3 「表 1 本件各特許権の成立経過」、別紙 4 「表 2 特許第 3337467 号を親とする特許の出願審査状況」のとおりである。

ア 親出願等の経緯

(ア) 原告は、平成 7 年 3 月 17 日、特許出願をした(特願平 7-524537 号)。この特許出願については、特許査定及び設定登録がされた

(特許第 3 2 4 7 3 8 4 号)。原告は、上記特許出願について、次の優先権主張を行っている。

- a 優先権主張番号 特願平 6 - 4 8 7 6 0 号  
優先日 平成 6 年 3 月 1 8 日  
優先権主張国 日本
- b 優先権主張番号 特願平 6 - 2 7 3 4 6 9 号  
優先日 平成 6 年 1 1 月 8 日  
優先権主張国 日本
- c 優先権主張番号 特願平 7 - 7 6 8 3 号  
優先日 平成 7 年 1 月 2 0 日  
優先権主張国 日本
- d 優先権主張番号 特願平 7 - 5 6 2 0 2 号  
優先日 平成 7 年 3 月 1 5 日  
優先権主張国 日本

(イ) 原告は、前記(ア)〔本判決 1 2 頁〕の特許出願（特願平 7 - 5 2 4 5 3 7 号）の分割出願として新たな特許出願をした（特願 2 0 0 1 - 2 3 7 7 9 1 号。後記イ〔本判決 1 2 頁〕のとおり、この出願の再度の分割出願として、本件各特許権の出願が行われた。）。この特許出願（特願 2 0 0 1 - 2 3 7 7 9 1 号）については、特許査定及び設定登録がされた（特許第 3 3 3 7 4 6 7 号）。

イ 本件各特許出願と手続補正

原告は、前記ア(イ)〔本判決 1 2 頁〕の特許出願（特願 2 0 0 1 - 2 3 7 7 9 1 号）の分割出願として四つの新たな特許出願をした（特願 2 0 0 2 - 1 3 7 3 5 9 号，特願 2 0 0 2 - 1 3 7 3 6 1 号，特願 2 0 0 2 - 1 3 7 3 6 2 号，特願 2 0 0 2 - 1 3 7 3 6 0 号）。これらの特許出願については、特許査定及び設定登録がされた（特願 2 0 0 2 - 1 3 7 3 5 9 号

については特許第 3 4 1 3 4 1 3 号〔本件特許権 1〕, 特願 2 0 0 2 - 1 3 7 3 6 1 号については特許第 3 4 1 3 1 9 1 号〔本件特許権 2〕, 特願 2 0 0 2 - 1 3 7 3 6 2 号については特許第 3 3 5 2 0 8 4 号〔本件特許権 3〕, 特願 2 0 0 2 - 1 3 7 3 6 0 号については特許第 3 3 5 2 0 8 3 号)。

本件各特許権については, 平成 1 4 年 6 月 1 0 日付け手続補正書(本件特許権 1 につき乙 9, 本件特許権 2 につき乙 1 7, 本件特許権 3 につき乙 2 2) による手続補正が行われ, さらに, 本件特許権 1, 2 については, 同年 1 0 月 2 8 日付け手続補正書(本件特許権 1 につき乙 1 2, 本件特許権 2 につき乙 2 0) による手続補正が行われた。

ウ 本件特許権 1 の特許出願の分割出願

本件特許権 1 の特許出願(出願 2 0 0 2 - 1 3 7 3 5 9 号)については, 更に分割出願が行われた(別紙 4 「表 2 特許第 3 3 3 7 4 6 7 号を親とする特許の出願審査状況」)。

エ 本件各発明等の新規性, 進歩性の判断の基準日

後記 3 (4)〔本判決 2 2 頁〕のとおり, 本件各発明の新規性, 進歩性の有無については争いがあり, また, 後記 3 (5)〔本判決 2 2 頁〕のとおり, 本件各特許権について訂正が行われたと仮定した場合(本件各特許権について訂正が行われたと仮定した場合の訂正後の各発明を, 以下「本件各訂正発明」という。)の無効事由の解消の有無については争いがあるところ, それらの争点において新規性, 進歩性が問題とされる本件各発明の構成要件の記載事項及び本件各訂正発明の記載事項は, 前記ア(ア) d 〔本判決 1 2 頁〕の特願平 7 - 5 6 2 0 2 号の願書に添付した明細書及び図面において初めて開示された事項であるから, これらの争点における新規性, 進歩性の判断の基準日は, 前記ア(ア) d 〔本判決 1 2 頁〕の特願平 7 - 5 6 2 0 2 号の出願日である平成 7 年 3 月 1 5 日である。(弁論の全趣旨)

(10) 訂正請求の経緯

ア 無効審判請求と第1次審決取消訴訟

被告は、平成18年7月31日、本件特許権1の請求項6に係る発明（本件発明1）の特許についての無効審判（無効2006－80142号事件）、本件特許権2の請求項1に係る発明（本件発明2）の特許についての無効審判（無効2006－80141号事件）、本件特許権3の請求項1に係る発明（本件発明3）についての特許の無効審判（無効2006－80140号事件）を請求した。

特許庁は、平成19年1月22日、上記各無効審判請求に係る特許をいずれも無効とする旨の各審決（乙39ないし41）をした。

原告は、平成19年2月28日、上記各審決につき知的財産高等裁判所（以下「知財高裁」という。）に審決取消訴訟を提起した（知財高裁平成19年（行ケ）第10085号ないし第10087号事件）。

イ 訂正審判請求と差戻決定

（ア） 原告は、平成19年4月2日、本件各明細書の訂正をすることにつきそれぞれ訂正審判請求を行ったが（甲8ないし10）、同年6月12日、これらの各訂正審判請求を取り下げた。

（イ） 原告は、平成19年5月28日、本件各明細書の訂正をすることにつきそれぞれ再度の訂正審判請求を行った（甲11ないし13）。

（ウ） 知財高裁は、平成19年7月20日、事件を審判官に差し戻すため、前記ア〔本判決14頁〕の各審決を取り消す旨の決定（特許法181条2項）をした。

ウ 訂正請求と訂正審判のみなし取下げ

原告は、差戻し後の無効審判において、平成19年8月6日、本件各明細書につきそれぞれ訂正請求を行い、前記イ（イ）〔本判決14頁〕の各訂正審判請求はいずれも取り下げられたものとみなされた（特許法134条

の 3 第 4 項。以下、本件特許権 1 の上記訂正請求に係る訂正を「本件訂正 1」、本件特許権 2 の上記訂正請求に係る訂正を「本件訂正 2」、本件特許権 3 の上記訂正請求に係る訂正を「本件訂正 3」といい、本件訂正 1 ないし 3 を包括して「本件各訂正」という。))。

(11) 訂正の内容

ア 本件訂正 1

本件訂正 1 は、本件特許権 1 の請求項のうち、無効審判請求されている請求項 6 の他、請求項 8（請求項 6 及び 7 を引用する。訂正後は項番号の繰り上げにより請求項 7 となる。）、請求項 9（請求項 6 ないし 8 を引用する。訂正後は項番号の繰り上げにより請求項 8 となる。）についても訂正を行うものであった。

本件訂正 1 は、本件特許権 1 の請求項 6（本件発明 1）については、次のとおり訂正することを内容としていた（下線部の箇所は、訂正により変更された部分である。以下、訂正後の発明を「本件訂正発明 1」という。))。

「絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられ、

同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され上記複数個を一括して封止可能なブロックが形成されており、同一の上記ブロックが複数個設けられていることを特徴とする半導体素子搭載用基板。」

#### イ 本件訂正 2

本件訂正 2 は、本件特許権 2 の請求項のうち、無効審判請求されている請求項 1 の他、請求項 2、3（いずれも請求項 1 を引用する。）についても訂正を行うものであった。

本件訂正 2 は、本件特許権 2 の請求項 1（本件発明 2）については、次のとおり訂正することを内容としていた（下線部の箇所は、訂正により変更された部分である。以下、訂正後の発明を「本件訂正発明 2」という。）。  
「それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、

上記半導体素子実装基板部間を連結するための連結部と、

位置合わせマーク部とを備え、

上記半導体素子実装基板部は、

半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と、上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、

上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半



導体素子を搭載する面側のみに 1 層あり，上記配線は，ワイヤボンディング端子と，外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

上記ワイヤボンディング端子はその反対側の面に備えられ，

上記外部接続端子の形成される箇所の上記絶縁性支持体に，上記外部接続端子に達する開口部が設けられ，上記開口部の半導体素子を搭載する面側は，上記外部接続端子で覆われており，

上記絶縁性支持体はポリイミドフィルムであって，上記開口部の側壁に上記絶縁性支持体が露出しており，

上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」

#### ウ 本件訂正 3

本件訂正 3 は，本件特許権 3 の請求項のうち，無効審判請求されている請求項 1 の他，請求項 2 ないし 8（いずれも請求項 1 を直接又は間接に引用する。）についても訂正を行うものであった。

本件訂正 3 は，本件特許権 3 の請求項 1（本件発明 3）については，次のとおり訂正することを内容としていた（下線部の箇所は，訂正により変更された部分である。以下，訂正後の発明を「本件訂正発明 3」という。）。

「絶縁性支持体と，その片面のみに形成されるる複数の配線とを備える半導体素子搭載用基板において，

半導体素子搭載領域と，該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを，複数組備え，

上記配線は銅箔から形成される配線であって，上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり，

上記配線は，上記半導体パッケージ領域に形成されるるワイヤボンディ

ング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出していることを特徴とする半導体素子搭載用基板。」

(12) 平成20年2月5日付け無効審決

ア 本件特許権1

特許庁は、平成20年2月5日、本件特許権1の請求項6に係る発明（本件発明1）の特許についての無効審判請求（無効2006－80142号事件）について、同特許を無効とするとの審決を行った（甲28）。その理由は、訂正後の特許請求の範囲の請求項7、請求項8に係る発明は、特許法29条2項の規定により特許出願の際独立して特許を受けることができないものであるから、本件訂正1は特許法134条の2第5項において読み替えて準用する平成6年法律第116号による改正前の特許法126条3項の規定に適合せず、本件訂正1は認められないとした上で、（訂正前の）本件発明1についての特許は特許法29条2項の規定に違反してなされたものであり、特許法123条1項2号に該当するというものであった。

イ 本件特許権2

特許庁は、平成20年2月5日、本件特許権2の請求項1に係る発明（本件発明2）の特許についての無効審判請求（無効2006－80141号

事件) について、同特許を無効とするとの審決を行った(甲29)。その理由は、訂正後の特許請求の範囲の請求項2に係る発明は、特許法29条2項の規定により特許出願の際独立して特許を受けることができないものであるから、本件訂正2は特許法134条の2第5項において読み替えて準用する平成6年法律第116号による改正前の特許法126条3項の規定に適合せず、本件訂正2は認められないとした上で、(訂正前の) 本件発明2についての特許は特許法29条2項の規定に違反してなされたものであり、特許法123条1項2号に該当するというものであった。

#### ウ 本件特許権3

特許庁は、平成20年2月5日、本件特許権3の請求項1に係る発明(本件発明3)の特許についての無効審判請求(無効2006-80140号事件) について、同特許を無効とするとの審決を行った(甲30)。その理由は、訂正後の特許請求の範囲の請求項2に係る発明は、特許法29条2項の規定により特許出願の際独立して特許を受けることができないものであるから、本件訂正3は特許法134条の2第5項において読み替えて準用する平成6年法律第116号による改正前の特許法126条3項の規定に適合せず、本件訂正3は認められないとした上で、(訂正前の) 本件発明3についての特許は特許法29条2項の規定に違反してなされたものであり、特許法123条1項2号に該当するというものであった。

#### (13) 半導体素子搭載用基板の種類

半導体素子搭載用基板には、外部接続端子が半導体素子搭載領域の外側のみに設けられている Fan-out タイプ、外部接続端子が半導体素子搭載領域のみに設けられている Fan-in タイプ、外部接続端子が半導体素子搭載領域及びその外側の両方に設けられている Fan-in/out タイプのものがある。

### 3 主要な争点

#### (1) 本件各発明の Fan-in タイプへの限定の有無

本件発明 1 の構成要件エ（「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、」）、本件発明 2 の構成要件シ（「上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」）、本件発明 3 の構成要件ヌ（「上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、」）は、外部接続端子が半導体素子搭載領域のみに設けられる Fan-in タイプに限定し、Fan-in/out タイプを含まない趣旨か、それとも Fan-in タイプの他 Fan-in/out タイプをも含む趣旨か。

- (2) 被告製品における「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）の有無

被告製品は、「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（以下「構成 E'」という。）を備えるか。

- (3) 構成要件充足性

ア 本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌの充足性

被告製品は、本件発明 1 の構成要件エ（上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、）、本件発明 2 の構成要件シ（上記半

導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、), 本件発明 3 の構成要件ヌ（上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、) を充足するか。

イ 被告製品の「スプロケットホール 7」, 「目印 1 0」の本件発明 2 の構成要件サⅢの「位置合わせマーク部」への該当性（本件発明 2 の構成要件サⅢの充足性）

被告製品の「スプロケットホール 7」, 「目印 1 0」は、本件発明 2 の構成要件サⅢの「位置合わせマーク部」に該当し、被告製品は、本件発明 2 の構成要件サⅢ（位置合わせマーク部とを備え、) を充足するか。

ウ 本件発明 1 の構成要件イ, オの充足性

被告製品は、本件発明 1 の構成要件イ（半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、), 構成要件オ（同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている）を充足するか。

エ 本件発明 3 の構成要件ニの充足性

被告製品は、本件発明 3 の構成要件ニ（半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、) を充足するか。

(4) 本件各発明の無効事由の有無

ア 本件特許権 1 の無効事由の有無

本件特許権 1 は、新規性又は進歩性の欠如のために特許無効審判により

無効にされるべきものか。

イ 本件特許権 2 の無効事由の有無

本件特許権 2 は，進歩性の欠如のために特許無効審判により無効にされるべきものか。

ウ 本件特許権 3 の無効事由の有無

本件特許権 3 は，新規性又は進歩性の欠如のために特許無効審判により無効にされるべきものか。

(5) 本件各訂正による無効事由の解消の成否

ア 本件訂正 1 による本件特許権 1 の無効事由の解消の成否

イ 本件訂正 2 による本件特許権 2 の無効事由の解消の成否

ウ 本件訂正 3 による本件特許権 3 の無効事由の解消の成否

(6) 本件各訂正発明の構成要件充足性

ア 本件訂正発明 1 の構成要件充足性

イ 本件訂正発明 2 の構成要件充足性

ウ 本件訂正発明 3 の構成要件充足性

(7) 損害の発生及びその額

被告製品の製造，販売により，本件各特許権の侵害として，原告にいかなる損害が発生したか，その額はいくらか。

第 3 争点に関する当事者の主張

1 争点(1)（本件各発明の Fan-in タイプへの限定の有無）

(1) 原告の主張

本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌは，Fan-in タイプに限定する趣旨ではなく，Fan-in タイプの他 Fan-in/out タイプをも含む趣旨である。以下，詳述する。

ア Fan-in/out タイプを含むとする理由

(ア) 半導体素子外側の外部接続端子の必要性

半導体パッケージにおいて、半導体素子搭載用基板に必要とされる外部接続端子の数は、搭載する半導体素子の設計に応じて増減する。そして、半導体素子のサイズと外部接続端子の数、大きさ、ピッチとの関係で、半導体素子の下に外部接続端子が収まりきれない場合には、半導体素子の外側にも外部接続端子を設けて、必要な数の外部接続端子を確保することになる。

(イ) 半導体素子搭載用基板の各タイプの成立過程等

小型の半導体パッケージにおいて、Fan-out タイプ、Fan-in タイプ、Fan-in/out タイプは、同時に成立したものではなく、当初は、半導体素子搭載領域の外側に外部接続端子の設けられた Fan-out タイプのみであった。Fan-in タイプの開発に係る技術的な課題は、半導体素子の下方の配線が基材と素子との熱膨張率の差によって断線しやすいこと、外部接続端子の有無で生じた段差の近傍でダイボンディング材に気泡が発生しやすいこと、素子と配線とがショートする可能性のあること、従前のスルーホール技術で外部接続端子を設けることが困難であったことにあり、これらの課題が克服されて Fan-in タイプが登場した。原告が出願過程において Fan-in タイプを例として半導体素子搭載用基板の説明を行ったのは、上記の技術の発展を踏まえたものであり、それは本件各発明を Fan-in タイプに限定する趣旨ではなかった。本件各明細書も、上記の技術の発展を前提として記載されている。

そして、小型の半導体パッケージの集積度がますます高まった結果、外部接続端子を半導体素子搭載領域の内側に設けるだけでは足りず、その外側にも設けたものが現れるに至り、これが Fan-in/out タイプである。Fan-in タイプの半導体素子搭載領域の外側に外部接続端子を設けることに、特別の技術的問題はないから、Fan-in/out タイプは、Fan-in タイプに公知の Fan-out タイプを組み合わせたものにすぎない。実際に、本件各

明細書においては、半導体素子搭載領域の内側のみに外部接続端子を設けるという記載は一切ない。

(ウ) 出願経過における説明等

原告は、早期審査に関する事情説明、出願審査中に提出された意見書、インターネットのホームページ等で、先行技術との差異を明確にするために最も分かりやすい Fan-in タイプのパッケージで用いる半導体素子搭載用基板の例を用いて説明をしたにすぎず、本件発明 1 の技術的範囲から Fan-in/out タイプのパッケージに用いる半導体素子搭載用基板を意識的に除外したものではない。

原告は、出願過程において、Fan-in タイプと Fan-out タイプとの比較において意見を主張して補正をしたのであって、Fan-in/out タイプを含まない Fan-out タイプのみを排除しただけであり、Fan-in/out タイプをも特許発明の技術的範囲から意識的に除外したものではなく、本件発明を Fan-in タイプに限定したものではない。

イ 構成要件の解釈

したがって、本件発明 1 の構成要件エ（上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、）、本件発明 2 の構成要件シ（上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、）、本件発明 3 の構成要件ヌ（上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、）は、Fan-in タイプに限定する趣旨ではなく、Fan-in タイプの他 Fan-in/out タイプをも含む趣旨であり、半導体素子搭載領域の



内側に外部接続端子が設けられていれば、その外側に外部接続端子が設けられているか否かにかかわらず、本件各発明の技術的範囲に属する。

## (2) 被告の反論

本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌは、Fan-in タイプに限定し、Fan-in/out タイプを含まない趣旨である。以下、詳述する。

### ア Fan-in/out タイプを含まないとする理由

#### (ア) 本件各明細書の記載

本件各明細書には、「外部接続端子は、半導体素子端子が配線とワイヤボンディング等で導通される位置より内側に設けるようにするのが高密度化の上で好ましい（ファンインタイプ）。このように外部接続端子の位置は、半導体素子が搭載された下面に格子状に配置するのが高密度化の上で好ましい。」（【0037】）との記載がある一方、外部接続端子が半導体素子搭載領域及びその外側の双方に設けられているものに関する記載は、本件各明細書中には存在しない。また、本件各明細書（前記第 2，2(3)アないしウ〔本判決 6，7 頁〕のとおり図面も含む。）の図面には、図 17，図 19，図 22 において Fan-in タイプのパッケージが図示されているにとどまり、外部接続端子が半導体素子搭載領域及びその外側の双方に設けられているもののパッケージを示す図面は一つもない。

#### (イ) 本件訴え提起前の交渉における原告の説明

本件訴えが提起される前に行われた交渉の際、原告は、平成 17 年（2005 年）2 月 17 日付け書簡（乙 13）において、「従来の CSP は『外部接続端子が実装領域内にあるパッケージ』であり、413 特許の請求項に記載のある『・・・上記外部接続端子は上記半導体素子搭載領域に設けられる・・・』とは、『外部接続端子が半導体素子搭載領域に

設けられる』である点で異なります。」（３頁８ないし１０行）と述べている。

また、平成１７年（２００５年）５月６日付け書簡（乙１４）の４頁において、本件発明１の半導体素子搭載領域と樹脂封止用半導体パッケージ領域を図示するものとして、外部接続端子が半導体素子搭載領域のみにありそれ以外の領域にはない Fan-in タイプのパッケージを描いている。

さらに、平成１７年（２００５年）７月７日付け書簡添付の見解書（乙１５）において、「本特許発明における構成は、半導体チップの電極を半導体チップの外側の樹脂封止領域にある基板上に設けられた電極とワイヤボンディングによって接続し、半導体チップ搭載部下部において、外部配線基板との接続部を有するものであり、従来の構成とは全く異なるものであります。」（乙１５の４頁図の下９ないし１３行）と述べている。

（ウ） 原告ホームページのニュースリリース欄

原告のホームページのニュースリリース欄のうち、平成１８年（２００６年）１月３０日発表分（乙１６）には、本件訴訟に関する記述が掲載されており、そこでも侵害対象製品として、Fan-in タイプのいわゆるチップサイズパッケージのみが図示されている。

（エ） 本件訴状別紙被告製品目録の第１ないし第４図

原告が本件訴状とともに提出して侵害製品として特定した当初の被告製品目録の中の第１ないし第４図において示されたパッケージは、すべて Fan-in タイプであり、Fan-in/out タイプのパッケージは示されていない。原告は、本件各発明がいずれも Fan-in タイプに係るものであり、被告製品も当然に Fan-in タイプに係るものであるという前提で、被告製品の十分な確認を怠って本件訴えを提起したものであり、その後、被告製

品が Fan-in/out タイプと判明したことから、このタイプにまでクレームの範囲を拡大して主張しているにすぎない。

(オ) 出願経過における説明等

a 本件各特許権の出願経過における説明等

本件各特許権の出願経過における説明等は、次のとおりである。

(a) 本件特許権 1

原告から特許庁に提出された平成 14 年 6 月 10 日付け手続補正書（乙 9）によれば、本件発明 1 の審査請求時の内容（当時の請求項 11）は、「絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、上記配線は、ワイヤボンディング端子と、外部接続端子と、該ワイヤボンディング端子及び該外部接続端子をつなぐ上記配線とを含む所定の配線パターンを備え、同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が、格子状に複数個配列されていることを特徴とする半導体素子搭載用基板。」とされていた。

特許庁は、平成 14 年 8 月 23 日付け拒絶理由通知書（発送日同年 9 月 3 日）（乙 10）において、10 件の引用文献に基づいて請求項 11 を含む全請求項が進歩性を有しない旨を通知した。

これに対し、原告は、平成 14 年 10 月 28 日付け手続補正書（乙 12）によって、本件発明 1 に係る請求項 6（補正により、従前の請求項 11 は請求項 6 とされた。）に「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、」との文言（本件発明 1 の構成要件エに相当する。）を追加する補正をして引用文献と

の差異を生じさせ、その技術的範囲の限定を明確にするとともに、同日付け意見書（乙１１）において、「（３）進歩性 本願発明の配線では、外部接続端子をワイヤボンディング端子部より内側に設けることによって、パッケージを従来より単純な構造にすることができ、従来より小型化することができます。」（１頁２４ないし２７行）、「これらの文献〔判決注 引用文献〕に記載されたパッケージは、いずれも本願発明のように外部接続端子をワイヤボンディング端子部より内側に設けるものではなく、いずれの文献にも、このような構造にすることで所謂チップサイズの小型パッケージを実現することを示唆する記載はありません。本願発明は、外部接続端子をワイヤボンディング端子部より内側に設けてチップサイズパッケージングを実現するものであって、このような構造に関する記載も、これを示唆する記載もない引用文献１～１０から容易に導かれるものではないと思います。」（２頁２１ないし２８行）としている。上記の「チップサイズパッケージングを実現するものであって」という表現は、外部接続端子が半導体素子搭載領域のみに設けられていることによる効果と解される。

このような出願経過によれば、本件発明１の技術的特徴が構成要件エのうち「外部接続端子は半導体素子搭載領域に設けられ」ている点（外部接続端子が半導体素子搭載領域のみに設けられている点）にあることは明らかである。

(b) 本件特許権２

原告から特許庁に提出された平成１４年６月１０日付け手続補正書（乙１７）によれば、本件発明２の審査請求時の内容（請求項１）は、「それぞれ半導体素子を搭載するための、複数の半導体素子実装基板部と、上記半導体素子実装基板部間を連結するための連結

部と、位置合わせマーク部とを備え、上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」とされている。

特許庁は、平成14年8月26日付け拒絶理由通知書（発送日同年9月3日）（乙18）において、12件の引用文献に基づいて請求項1を含む全請求項が進歩性を有しない旨を通知した。

これに対し、原告は、平成14年10月28日付け手続補正書（乙20）によって、本件発明2に係る請求項1に「上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」との文言（本件発明2の構成要件シに相当する。）を追加する補正をして引用文献との差異を生じさせ、その技術的範囲の限定を明確にするとともに、同日付け意見書（乙19）において、「（2）進歩性 本願発明の配線では、外部接続端子をワイヤボンディング端子部より内側に設けることによって、パッケージを従来より単純な構造にすることができ、従来より小型化することができます。」（1頁19ないし22行）、「また、引用文献1～12に記載されたパッケージは、いずれも本願発明のように外部接続端子をワイヤボンディング端子部より内側に設けるものではなく、いずれの文献にも、このような構造にすることで所謂チップサイズの小型パッケージを実現することを示唆する記載はありません。」（2頁27ないし3頁1行）としている。上記の「チップサイズの小型パッケージを実現する」という表現は、外部接続端子が半導体素子搭載領域のみに設けられていることによる効果と解される。

このような出願経過によれば、本件発明2の技術的特徴が構成要

件シにあり，特にそのうち「半導体素子搭載領域に設けられた外部接続端子」（半導体素子搭載領域のみに設けられた外部接続端子）にあることは明らかである。

(c) 本件特許権 3

原告から特許庁に提出された平成14年6月10日付け早期審査に関する事情説明書（乙21）では，「(Ⅲ) 先行技術文献との対比説明 文献（イ）～（ハ）のいずれにも，半導体素子搭載用基板と，それを用いた半導体パッケージとが開示されております。しかし，文献（イ），（ロ）のいずれにも，本願発明のように，素子と基板とがワイヤボンディングにより接続され，しかもファンイン構造（すなわち，パッケージ領域にワイヤボンディング端子が，その内側の半導体素子搭載領域に外部接続端子がそれぞれ設けられた構造）であって，外部接続端子が支持体の開口部に設けられている半導体パッケージ〔判決注 「パッケージ」の誤記と認められる。〕や，それに用いられる素子搭載用基板は開示されておられません。」（2頁25行ないし3頁3行），「本願発明は，ワイヤボンディングにより基板と素子とを接続しつつ，ファンインタイプ（すなわち，外部接続端子を，ボンディングワイヤ等の半導体素子との導通のための配線が，基板上の表面配線に接続した位置より内側に配置するタイプ）の構成にすることで，チップサイズとほぼ同等の小型パッケージを実現するものです」（3頁11ないし15行）としている。

本件発明3は，上記の早期審査に関する事情説明の結果，特許されたものであるから，その技術的特徴は，構成要件ヌにあり，特にそのうち「半導体素子搭載領域に形成された外部接続端子」（半導体素子搭載領域のみに設けられた外部接続端子）にあることは明らかである。

b 出願経過における説明等の参酌

出願経過における説明等は、技術的範囲の解釈にあたって参酌されるべきであり、前記 a〔本判決 27 頁〕のとおり、本件各発明は、原告自身が、出願の過程において、本件各発明は Fan-in タイプのものを対象とし、その構成により、チップサイズとほぼ同等の小型パッケージを実現すると主張した結果、特許されたものである。そして、Fan-in と Fan-in/out あるいは Fan-out とは技術構成が異なり、Fan-in/out あるいは Fan-out タイプの半導体パッケージでは、チップサイズとほぼ同等の小型パッケージを実現することはできず、Fan-in タイプとはその作用効果が異なる。

イ 構成要件の解釈について

したがって、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌは、Fan-in タイプに限定し、Fan-in/out タイプを含まない趣旨であり、半導体素子搭載領域の外側に外部接続端子が設けられていれば、本件各発明の技術的範囲に属さないことになる。

2 争点(2)（被告製品における「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）の有無）

(1) 原告の主張

被告製品は、以下のとおり、「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）を備える。

すなわち、被告が半導体素子搭載予定部 4 と樹脂封止予定部 5 のような領域を指定しているか否かはともかく、被告製品は、半導体素子搭載用基板と

して半導体素子を搭載し樹脂で封止することが客観的に明らかであるから、それぞれの領域の予定部分をもって、半導体素子搭載予定部４と樹脂封止予定部５と呼称することができる。また、被告は、後記３（２）イ〔本判決３５頁〕のとおり、被告製品が Fan-in/out タイプであることを主張しており、このことは、需要者でない被告においても、どの部分が半導体素子搭載領域であるか認識していることを示すものである。そのため、被告製品は、その構成として、半導体素子搭載予定部４と樹脂封止予定部５を備えている。

そして、ランド部２１は半導体素子搭載予定部４に設けられ、ワイヤボンディング接続端子２２が樹脂封止予定部５に設けられている。

したがって、被告製品は、「半導体素子搭載予定部４と樹脂封止予定部５を備え、ランド部２１が半導体素子搭載予定部４に設けられ、ワイヤボンディング接続端子２２が樹脂封止予定部５に設けられている。」との構成（構成Ｅ'）を備える。

## （２） 被告の反論

被告製品は、半導体素子搭載予定部４と樹脂封止予定部５を備えておらず、「半導体素子搭載予定部４と樹脂封止予定部５を備え、ランド部２１が半導体素子搭載予定部４に設けられ、ワイヤボンディング接続端子２２が樹脂封止予定部５に設けられている。」との構成（構成Ｅ'）を備えていない。

すなわち、被告製品については、需要者が、半導体素子搭載予定部４と樹脂封止予定部５のような領域を決めるのであって、被告があらかじめそのような領域を特定することはない。原告は、需要者が決した領域を遡及的に呼称しているにすぎない。

## ３ 争点（３）（構成要件充足性）ア（本件発明１の構成要件エ、本件発明２の構成要件シ、本件発明３の構成要件ヌの充足性）

### （１） 原告の主張

被告製品は、本件発明１の構成要件エ、本件発明２の構成要件シ、本件発



明 3 の構成要件ヌをいずれも充足する。以下、詳述する。

ア 構成要件と被告製品の構成部分の対応

被告製品の「半導体素子搭載予定部 4」（構成 E'）は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌの「半導体素子搭載領域」に該当する。

被告製品の「樹脂封止予定部 5」（構成 E'）は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シの「樹脂封止用半導体パッケージ領域」、本件発明 3 の構成要件ヌの「半導体パッケージ領域」に該当する。

被告製品の「ワイヤボンディング接続端子 2 2」（構成 B, E'）は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌの「ワイヤボンディング端子」に該当する。

被告製品の「ランド部 2 1」（構成 B, E'）は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌの「外部接続端子」に該当する。

被告製品の「配線パターン部 P」（構成 B, C）は、本件発明 2 の構成要件シの「半導体素子実装基板部」に該当する。

イ 本件発明 1 の構成要件エの充足性

構成 E'によれば、ワイヤボンディング接続端子 2 2 は樹脂封止予定部 5 に設けられ、ランド部 2 1 は半導体素子搭載予定部 4 に設けられているから、被告製品は、本件発明 1 の構成要件エ（「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、」）を充足する。

ウ 本件発明 2 の構成要件シの充足性

構成 E'によれば、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5、及び樹脂封止予定部 5 に設けられたワイヤボンディング接続端子 2 2 と、半導体素子搭載予定部 4 に設けられたランド部 2 1 とを備える。

また、構成Bによれば、被告製品の樹脂封止予定部5に設けられたワイヤボンディング接続端子22と半導体素子搭載予定部4に設けられたランド部21は、配線部2に含まれる。さらに、構成B、構成Cによれば、被告製品の配線パターン部P内には配線部2がある。

したがって、被告製品において、配線パターン部Pは、半導体素子搭載予定部4、樹脂封止予定部5、及び樹脂封止予定部5に設けられたワイヤボンディング接続端子22と、半導体素子搭載予定部4に設けられたランド部21とを含む配線2を備えるから、被告製品は、本件発明2の構成要件シ（「上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」）を充足する。

#### エ 本件発明3の構成要件ヌの充足性

構成E'によれば、被告製品は、半導体素子搭載予定部4と樹脂封止予定部5、及び樹脂封止予定部5に形成されたワイヤボンディング接続端子22と、半導体素子搭載予定部4に形成されたランド部21とを備える。また、構成AないしCによれば、被告製品の半導体素子搭載用基板の片面に形成された複数の配線パターンP内の配線部2は、ランド部21とワイヤボンディング接続端子22とを接続する配線23を備える。

したがって、被告製品において、配線部2は、樹脂封止予定部5に形成されたワイヤボンディング接続端子22と、半導体素子搭載予定部4に形成されたランド部21とをつなぐ配線部23を含むから、本件発明3の構成要件ヌ（「上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、」）を充足する。

## (2) 被告の反論

被告製品は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌをいずれも充足しない。以下、詳述する。

### ア 被告製品が構成 E' を備えないことによる構成要件の非充足

前記 2 (2) [本判決 3 2 頁] のとおり、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えておらず、「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（「構成 E'」）を備えていない。

したがって、被告製品は、本件発明 1 の構成要件エ（「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、」）、本件発明 2 の構成要件シ（「上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」）、本件発明 3 の構成要件ヌ（「上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、」）をいずれも充足しない。

### イ 本件各発明が Fan-in タイプに限定されることによる構成要件の非充足

前記 1 (2) [本判決 2 5 頁] のとおり、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌは、Fan-in タイプに限定し、Fan-in/out タイプを含まない趣旨であり、半導体素子搭載領域の外側に外部接続端子が設けられていれば、本件各発明の技術的範囲に属さないことになる。

仮に被告製品が半導体素子搭載予定部 4 と樹脂封止予定部 5（「構成 E」）を備えるとしても、被告製品は、ランド部 2 1 が半導体素子搭載予定部 4 及びその外側の双方に存在するから、外部接続端子が半導体素子搭載領域及びその外側の両方に設けられており、Fan-in/out タイプである。したがって、被告製品は、本件発明 1 の構成要件エ、本件発明 2 の構成要件シ、本件発明 3 の構成要件ヌをいずれも充足しない。

- 4 争点(3)イ（被告製品の「スプロケットホール 7」、「目印 1 0」の本件発明 2 の構成要件サⅢの「位置合わせマーク部」への該当性（本件発明 2 の構成要件サⅢの充足性））

(1) 原告の主張

被告製品の「スプロケットホール 7」又は「目印 1 0」は、以下のとおり、本件発明 2 の構成要件サⅢの「位置合わせマーク部」に該当し、被告製品は、本件発明 2 の構成要件サⅢ（位置合わせマーク部とを備え、）を充足する。

すなわち、被告製品においては、複数の配線パターン部 P はマトリクス状に配置されており（構成 A）、スプロケットホール 7 はインチ単位で配列され、配線パターン部 P はミリメートル単位で配列されているから、配線パターン部 P のブロックごとにスプロケットホール 7 の配列は一定となっている。また、目印 1 0 は、複数の配線パターン部 P がマトリクス状に配置された所定の箇所に位置する（構成 F'）。そのため、スプロケットホール 7 と目印 1 0 が位置合わせに使用されることは、当業者であれば当然予想される。

したがって、被告製品の「スプロケットホール 7」又は「目印 1 0」は、本件発明 2 の構成要件サⅢの「位置合わせマーク部」に該当し、被告製品は、本件発明 2 の構成要件サⅢ（位置合わせマーク部とを備え、）を充足する。

(2) 被告の反論

被告製品の「スプロケットホール 7」及び「目印 1 0」は、いずれも本件発明 2 の構成要件サⅢの「位置合わせマーク部」に該当せず、被告製品は、

本件発明 2 の構成要件サⅢを充足しない。

すなわち、被告製品において、スプロケットホール 7 は、スプロケットの歯に係合させてフィルムを送るためのものであり、マトリクス状に配置された複数の配線パターン部 P とスプロケットホール 7 とは所定の位置関係になく、スプロケットホール 7 は位置決めのために使用されるものではない。また、被告製品には、目印 10 があり、これは、切り分ける際の位置決めなどに利用されるとも考えられるが、需要者がこれを何の目的に利用しているか、被告は知らない。

## 5 争点(3)ウ（本件発明 1 の構成要件イ，オの充足性）

### (1) 原告の主張

被告製品は、構成 A ないし C，E' によれば、同一形状の複数の配線パターン部 P を有し、配線パターン部 P に、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えている。

したがって、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 とを複数組備えており、本件発明 1 の構成要件イ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）を充足する。

また、被告製品は、同じ配線パターンを有する半導体素子搭載予定部 4 と樹脂封止予定部 5 が複数個配列されており、本件発明 1 の構成要件オ（「同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている」）を充足する。

### (2) 被告の反論

前記 2 (2) [本判決 3 2 頁] のとおり、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えておらず、「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 21 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 22 が樹脂封止予定部 5 に設けられている。」

との構成（「構成E'」）を備えていない。

したがって、被告製品は、本件発明1の構成要件イ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）、構成要件オ（「同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている」）をいずれも充足しない。

## 6 争点(3)エ（本件発明3の構成要件ニの充足性）

### (1) 原告の主張

被告製品は、構成AないしC、E'によれば、同一形状の複数の配線パターン部Pを有し、配線パターン部Pに、半導体素子搭載予定部4と樹脂封止予定部5を備えている。

したがって、被告製品は、半導体素子搭載予定部4と樹脂封止予定部5とを複数組備えており、本件発明3の構成要件ニ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）を充足する。

### (2) 被告の反論

前記2(2)〔本判決32頁〕のとおり、被告製品は、半導体素子搭載予定部4と樹脂封止予定部5を備えておらず、「半導体素子搭載予定部4と樹脂封止予定部5を備え、ランド部21が半導体素子搭載予定部4に設けられ、ワイヤボンディング接続端子22が樹脂封止予定部5に設けられている。」との構成（「構成E'」）を備えていない。

したがって、被告製品は、本件発明3の構成要件ニ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）を充足しない。

## 7 争点(4)（本件各発明の無効事由の有無）ア（本件特許権1の無効事由の有無）

(1) 被告の主張

ア 新規性、進歩性の欠如

本件発明 1 は、乙 1 公報（特開平 5－1 0 9 9 2 2 号公報，平成 5 年 4 月 3 0 日公開，発明の名称：半導体装置，乙 1。以下，書証である公開特許公報等は，「乙 1 公報」のように書証番号により特定する。書証番号により特定される公開特許公報等の番号，発行日，発明の名称は，別紙 8「公報一覧表」のとおりである。）記載の発明と実質的に同一であって，新規性に欠ける。

仮にそうでないとしても，本件発明 1 は，乙 1 公報記載の発明と，本件各発明の新規性，進歩性の判断の基準日である平成 7 年 3 月 1 5 日より前に頒布された刊行物である乙 4 ないし乙 8 の公報記載の周知技術に基づいて，当業者が容易に発明をすることができたものであって，進歩性に欠ける。以下，詳述する。

イ 乙 1 公報記載の発明

(ア) 乙 1 公報の記載

乙 1 公報には，次のとおりの記載がある。

a 「【目的】半導体素子の大きさを限定することなく，多ピンで小型の半導体装置を提供する。

【構成】半導体素子 1 の下面に接着剤 5 及び絶縁シート 6 を介して，樹脂基板 8 のスルーホールを有しており，そのスルーホール内には外部接続用リードピン 9 が挿入されている。樹脂基板 8 上の配線回路はスルーホールより外側に向って形成されていて，半導体素子と電氣的接続するための素子接続用端子 7 は，スルーホールの外側に有している。」（【要約】欄）

b 「【請求項 2】 外部接続用リードピンがすべて半導体素子の外形内の下面に取付けられていることを特徴とする請求項 1 に記載の半導

体装置。」

- c 「【実施例】次に本発明によって図面を参照して説明する。図1の(A)は本発明の第1の実施例の半導体装置の断面図である。樹脂基板8は、ガラス布エポキシやガラス布BTやガラス布ポリイミド等の積層板で成っており、表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール10を設けてめっきを行ない、表裏面の銅をエッチングすることにより回路が形成されている。スルーホール10には、リン青銅、コバール、42 alloy等に半田めっきが施こされている外部接続用リードピン9が挿入されている。図1の(B)は本発明の第1の実施例の樹脂基板の上面図である。外部接続用リードピンを挿入するスルーホールが半導体素子1の外形内に設けられており、半導体素子1と外部接続用リードピン9とを電氣的接続するための素子接続用端子7がスルーホールの外側に形成されている。半導体素子1は絶縁シート6を介して接着剤5に固定されている。素子接続用端子7と半導体素子1を接続線3により電氣的接続させ、エポキシ系の封止樹脂2により接続線及び半導体素子を外圧より保護する。」(【0005】)
- d 「【発明の効果】以上説明したように本発明は、少なくとも最内列に形成したスルーホールに挿入した外部接続用リードピンより外側に素子接続用端子を有しているので、最内列ピンの配列サイズに関係なく又、パッケージサイズも規格外の大きなサイズにする必要なく、大きな半導体素子を搭載することが可能となるという効果を有する。」(【0007】)
- e 図1として、別紙5「乙1公報図面」の図1のと通りの図面が示されている。

(イ) 乙1公報に記載された発明



前記(ア)〔本判決３９頁〕の乙１公報の記載を参照すると、乙１公報には、①樹脂基板８上に複数の配線回路が設けられ、配線回路はスルーホールより外側に向かって形成されていること、②配線回路の外側端にある素子接続用端子７は、接続線３により半導体素子１と電氣的接続するためのものであること、また、③配線回路の内側端にあつて、スルーホールの周囲を取り囲んでいる環状の端子であり、スルーホール内に挿入される外部接続用リードピン９と電氣的接続するための端子(以下「環状外部接続端子」という。別紙６「乙１公報図面に部材名を記入した参考図面」の図１（Ｂ）に指示されている。)が示されているから、乙１公報に記載された発明を本件発明１の構成要件に対応させて示すと、次のとおりとなる(以下「被告主張に係る乙１公報発明１」という。)

「ガラス布エポキシ等の積層板と複数の配線回路とを備える、半導体素子１を搭載する樹脂基板８において、

半導体素子１を搭載する領域と、該半導体素子搭載領域の外側の封止樹脂２により保護された半導体パッケージ領域とを備え、

上記配線回路は、素子接続用端子７と、環状外部接続端子とを含む所定の配線回路を備え、

上記素子接続用端子７は上記半導体パッケージ領域に設けられ、上記環状外部接続端子は上記半導体素子の外形内、すなわち、半導体素子搭載領域に設けられた、

ことを特徴とする半導体素子搭載用樹脂基板８。」

ウ 被告主張に係る乙１公報発明１と本件発明１の一致点、相違点

被告主張に係る乙１公報発明１と本件発明１の構成部分の対応をみると、被告主張に係る乙１公報発明１の環状外部接続端子は本件発明１の「外部接続端子」に該当する。仮に、本件発明１の「外部接続端子」が、本件明細書１でいう配線パターン３３の一部ではなく、外部基板との接続部４

2のような部材を意味すると解釈し、被告主張に係る乙1公報発明1の環状外部接続端子が本件発明1の「外部接続端子」に該当しないとしても、被告主張に係る乙1公報発明1の外部接続用リードピン9は、本件発明1の「外部接続端子」に該当する。

また、被告主張に係る乙1公報発明1の効果と本件発明1の効果をみると、被告主張に係る乙1公報発明1の効果は、環状外部接続端子、スルーホール及び外部接続用リードピン9が半導体素子1の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化することができ、半導体パッケージを小型化するというものであり、本件発明1の効果と同様のものである。

そうすると、被告主張に係る乙1公報発明1を、本件発明1と対比すると、一致点及び相違点は、次のとおりである。

(ア) 一致点

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられる、

ことを特徴とする半導体素子搭載用基板である点。

(イ) 相違点

本件発明1では、半導体素子搭載領域と半導体パッケージ領域とを複数組備え（構成要件イ）、同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列されている（構成要件オ）

のに対し、被告主張に係る乙１公報発明１では、これらの領域を複数組  
備え、複数個配列することを明記していない点。

エ 新規性、進歩性の有無

(ア) 新規性

本件発明１の技術的特徴は、構成要件エの「上記外部接続端子は上記  
半導体素子搭載領域に設けられ」ている点にあり、このことは、前記１  
(2)ア(オ) a (a)〔本判決２７頁〕のとおりであるから、前記ウ(イ)〔本  
判決４２頁〕の相違点は、本件発明１の技術的特徴ではない些末な要素  
に関するものである。しかも、半導体素子搭載用基板の製造分野におい  
て、半導体パッケージ領域を１個ずつ個別に製造することは例外的であ  
り、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列  
することは技術常識であるから、当業者であれば、乙１公報に記載がな  
くとも、複数個配列を予定していることを当然の事項として了知するこ  
とができる。

したがって、本件発明１は、乙１公報に実質的に記載されているに等  
しく、被告主張に係る乙１公報発明１と実質的に同一である。

(イ) 進歩性

仮に、乙１公報に複数個配列の実質的な記載がないとしても、このこ  
とは、次のとおり、本件発明１と同じ技術分野に属する乙４ないし乙８  
の公報に記載されており、本件各発明の新規性、進歩性の判断の基準日  
である平成７年３月１５日の時点において周知の常用技術であった。

a 乙４公報（特開昭６４－５４７９１号公報，平成元年３月２日公開，  
発明の名称：複合配線基板）

「配線回路部Ａ複数個を、両側の連結部Ｂにより連結しており」（３  
頁左上欄９，１０行）と記載され、第１図（４頁左上）には、複数組  
の基板の配列が示されている。

- b 乙5公報（特開平3－89587号公報，平成3年4月15日公開，  
発明の名称：可撓性回路基板集合体及びその製造法）

「複数の回路基板形成域」（1頁左下欄7行）と記載され，第1図  
（4頁左上）には，複数組の基板の配列が示されている。

- c 乙6公報（特開平2－91956号公報，平成2年3月30日公開，  
発明の名称：フィルムキャリア）

「10は金属箔配線を示し，これが長手方向にくり返し形成されて  
いる。」（2頁左上欄1，2行）と記載され，第1図（4頁左下）及  
び第7図（5頁右上）には，複数組の基板の配列が示されている。

- d 乙7公報（特開平4－33350号公報，平成4年2月4日公開，  
発明の名称：TABテープの構造）

「搬送用送り孔1aを半導体搭載部毎に順次7つつ打ち抜き」（2  
頁左下欄10，11行）と記載され，第1図（a）（3頁右下）には，  
複数組の基板の配列が示されている。

- e 乙8公報（特開平3－94430号公報，平成3年4月19日公開，  
発明の名称：半導体装置の製造方法）

「ベースフィルム10上には回路パターンが繰り返しパターンで形  
成され」（3頁右上欄15ないし17行）と記載され，第2図（4頁  
下）には，複数組の基板の配列が示されている。

したがって，前記ウ（イ）〔本判決42頁〕の相違点は，製造設計上の  
当然の技術事項であり，本件発明1は，当業者が被告主張に係る乙1公  
報発明1及び周知技術に基づいて容易に発明をすることができた。

#### オ 小括

以上によれば，本件発明1は，被告主張に係る乙1公報発明1と実質的  
に同一であるか，又は被告主張に係る乙1公報発明1及び周知技術に基づ  
いて当業者が容易に発明をすることができたから，本件特許権1には，新

規性及び進歩性を欠くという無効事由がある。

## (2) 原告の反論

### ア 新規性，進歩性の具備

本件発明 1 は，乙 1 公報記載の発明と実質的に同一ではなく，新規性を有する。また，本件発明 1 は，乙 1 公報記載の発明と乙 4 ないし乙 8 の公報記載の周知技術に基づいて当業者が容易に発明をすることができたものではなく，進歩性を有する。以下，詳述する。

### イ 本件発明 1 の「外部接続端子」（構成要件ウ，エ）の開示の有無

#### (ア) 本件発明 1 の「外部接続端子」

本件発明 1 は，「上記配線は，ワイヤボンディング端子と，外部接続端子とを含む所定の配線パターンを備え，」（構成要件ウ）との構成要件を備えるから，本件発明 1 の「外部接続端子」（構成要件ウ，エ）は，「ワイヤボンディング端子と，外部接続端子とを含む所定の配線パターン」に作り込まれた外部接続端子であり，配線に含まれる外部接続端子である。

#### (イ) 乙 1 公報に開示された外部接続端子

以下のとおり，乙 1 公報には，本件発明 1 の「外部接続端子」は開示されていない。

#### a 外部接続用リードピンの本件発明 1 の「外部接続端子」への該当性

乙 1 公報記載の発明の外部接続用リードピンは，外部との接続手段という意味での外部接続用リードピンには該当するが，配線に含まれていないから，本件発明 1 の「外部接続端子」（配線に含まれる）には該当しない。以下，詳述する。

#### (a) 外部との接続手段への該当性

##### ① 半導体素子搭載用基板の意味

半導体素子搭載用基板とは，半導体を搭載することが可能な状

態の基板という意味であるから、乙1公報記載の発明における半導体素子搭載用基板とは、半導体搭載領域にリードピンが設けられている基板と解すべきであり、そのことから、乙1公報記載の発明における半導体素子搭載用基板の外部接続端子は、リードピンといわざるを得ない。

## ② 製造工程

半導体装置に関して、最終製品の半導体装置として完成した「半導体パッケージ」と、その製造工程における部材としての「半導体素子搭載用基板」は区別される。本件発明1は、製造工程における部材としての半導体素子搭載用基板に関する発明であるのに対し、乙1公報記載の発明は、乙1公報に「【産業上の利用分野】本発明は半導体装置に係わり、特にピングリッドアレイ型パッケージの半導体装置に関する。」（【0001】）と記載されていることから、最終製品としてのピングリッドアレイ（Pin Grid Array：PGA）型パッケージの半導体装置に関する発明である。そのため、乙1公報記載の発明を本件発明1と対比するに当たっては、乙1公報に記載された最終製品としてのPGA型半導体パッケージから、その部材としてのPGA基板を推測する必要がある。

そこで、PGA基板の製造法をみると、PGA基板の一般的な製造工程を示した日経BP社「VLSIパッケージング技術（上）」1993年（平成5年）167頁（乙38）の図5.3.3に示されるように、基材にスルーホールを形成し、回路を形成し、半導体パッケージ1個分を個別に切り出した後、外部接続用の接続ピンをスルーホールに挿入し、ろう付け、めっき等を行って製造される。このように、半導体素子を搭載する前の半導体素子搭載用基板の製造の段階で接続ピンを挿入するのは、半導体素

子を搭載した後に接続ピンを挿入すると、その挿入時に半導体素子を破損させるおそれがあり、また、ダイボンド材や絶縁シートの接着剤がスルーホールに浸出して接続ピンとの接触の妨げになるおそれがあり、そのような不都合を避けるためである。そのため、PGA基板の半導体素子搭載用基板としては、外部接続用リードピンを備えた構造となり、外部接続用リードピンが本件発明1の「外部接続端子」に該当する。そして、通常取引形態においても、PGA基板は、接続ピンを備えた状態で顧客に納入される。

半導体素子搭載用基板にリードピンを打つタイミングは、その構造から決まるものであり、半導体素子搭載領域にリードピンが設けられている半導体素子搭載用基板の場合は、その構造から、半導体素子搭載前にリードピンを打つ。乙1公報には、半導体素子搭載領域にリードピンが設けられている基板しか示されていないから、乙1公報により、どんなPGA基板でもリードピンを打つタイミングを変えることが周知の技術であるとはいえない。

③ 外部接続用リードピンが打たれていない半導体素子搭載用基板の存否

仮に外部接続用リードピン以外の部材が本件発明1の「外部接続端子」に該当するとするならば、本件各発明は、半導体素子搭載領域と樹脂封止用半導体パッケージ領域を複数組備えるから、リードピンが打たれておらずかつ半導体素子搭載領域と樹脂封止用半導体パッケージ領域が複数つながられているPGA基板が存在するとしなければならない。

しかし、そのようなPGA基板により半導体パッケージを製造するとすれば、半導体パッケージメーカーがPGA基板を購入し

た後、外部接続用リードピンを打ち込んでから半導体素子を搭載し、樹脂でモールドする方法が考えられるところ、そのような方法では、半導体パッケージメーカーは、基板メーカーから未完成の基板を購入し、リードピン打ちと絶縁シートの接着を行って半導体素子搭載用基板を完成させることになり、半導体パッケージメーカーにとって何のメリットもない。

他方、半導体素子を搭載し、樹脂でモールドした後に、外部接続用リードピンを打ち込む方法も考えられるが、そのような方法では、半導体素子直下でのリードピンの打ち込みにより、半導体素子を破損させる危険性が高く、歩留りからの要請上、合理的でない。もともと、「日経マイクロデバイス」1987年（昭和62年）8月号（日経マグロウヒル社刊、乙37）68頁や「日経マイクロデバイス」1986年（昭和61年）12月号（乙36）60頁で取り上げられた事例は、半導体素子の外側のかなり離れた箇所にリードピンを打ち込む構造のものであって、リードピンを基板に打ち込む際に、半導体素子にストレスを与える程度が問題にならないくらい小さいものであり、この場合にも、ストレスを減らすため、一度に全ピンではなく、1ピンずつ打つとされている。また、乙36には、半導体素子搭載領域にリードピンのない基板について半導体パッケージメーカーがリードピンを挿入することは記載されているが、乙1公報に示されているような半導体搭載領域にリードピンが設けられている基板について半導体パッケージメーカーがリードピンを挿入することは記載されていない。そのため、乙1公報の半導体パッケージに用いられている半導体素子搭載用基板を、リードピンを打たない状態で複数枚つなげたままで、これに半導体を搭載し、樹脂封止をした後、リード



ピンを打ち、その後、個別に切り離す方法を採用することは、当業者においても、極めて困難であり、乙1公報記載の発明に上記乙36、37記載の技術を適用することについては阻害要因がある。

そうすると、リードピンが打たれておらずかつ半導体素子搭載領域と樹脂封止用半導体パッケージ領域が複数つながられているPGA基板は存在するとはいえない。したがって、その点からも、外部接続用リードピン以外の部材が本件発明1の「外部接続端子」に該当することはなく、外部接続用リードピンが本件発明1の「外部接続端子」に該当する。

④ 外部接続用リードピンが打たれていない状態における「半導体素子搭載用基板」との呼称の有無

PGA基板が外部接続用リードピンを備えない状態であってもPGA用の「半導体素子搭載用基板」と呼ばれているかどうかについてみると、乙29公報（特開平3-195051号公報，平成3年（1991年）8月26日公開，発明の名称：磁性合金膜被覆リード）記載の発明は、リードピンを当然に備えており、リードピンが挿入されていない状態のPGA基板を開示しておらず、乙30公報（特開平5-6945号公報，平成5年（1993年）1月14日公開，発明の名称：半導体用アルミニウム基板）記載の発明は、半導体素子を搭載できる段階の基板でなく、単なるスルーホール基板であり、乙31公報（特開平5-152496号公報，平成5年（1993年）6月18日公開，発明の名称：半導体搭載基板）記載の発明は、放熱フィンの付いた特殊なピンを用いたピン接続型半導体素子搭載用基板の発明であり、組立ての手順として、ピンの挿入の前にパッケージの組立てをせざる

を得ないものであり，乙 3 2 公報（特開昭 6 1－2 0 8 2 2 6 号公報，昭和 6 1 年（1 9 8 6 年）9 月 1 6 日公開，発明の名称：半導体素子搭載用配線板）記載の発明は，半導体素子を搭載する段階で既にネールヘッドピンが取り付けられている例を示すものであり，いずれによっても，PGA 基板が外部接続用リードピンを備えない状態において PGA 用の「半導体素子搭載用基板」と呼ばれていることを示しているとはいえない。

⑤ ハンダボールとの比較

外部接続用リードピンがハンダボールに該当するという見方は，製品としての半導体装置の状態を比較した場合の見方であり，半導体素子搭載用基板の状態と比較した場合は，そのような見方は当てはまらない。

⑥ 外部との接続手段への該当性

以上によれば，乙 1 公報記載の発明の外部接続用リードピン（9）は，外部との接続手段という意味での外部接続端子には該当する。

(b) 配線への包含の有無

ところで，乙 1 公報には，「スルーホール 1 0 には，リン青銅，コバール，4 2 a 1 1 o y 等に半田めっきが施こされている外部接続用リードピン 9 が挿入されている。」（【0 0 0 5】）として，外部接続用リードピン 9 をスルーホール 1 0 に挿入することが，回路形成とは別に記載されており，外部接続リードピン（9）は配線の一部として形成されるものではない。

(c) 本件発明 1 の「外部接続端子」への該当性

そうすると，前記(a)〔本判決 4 5 頁〕のとおり，乙 1 公報には，外部との接続手段という意味での外部接続用リードピン（9）が開

示されているが、前記(b)〔本判決50頁〕のとおり、この外部接続用リードピン(9)は、配線には含まれていないから、本件発明1の「外部接続端子」(配線に含まれる)には該当しない。

したがって、乙1公報記載の発明の外部接続用リードピン(9)は、本件発明1の「外部接続端子」には該当しない。

b 環状外部接続端子の本件発明1の「外部接続端子」への該当性

被告の主張する環状外部接続端子は、本件発明1の「外部接続端子」には該当しない。以下、詳述する。

(a) パッケージ外部接続端子と基板配線外部接続端子の区別

被告は、後記(3)ア(イ)〔本判決58頁〕のとおり、パッケージ外部接続端子と基板配線外部接続端子を区別し、乙1公報には、「樹脂基板上に設けられた複数の配線回路の内側端にあり、スルーホール周囲を取り囲んでいる環状の端子であって、スルーホール内に挿入される外部接続用リードピンと電気的接続をするための端子(環状外部接続端子)」が示されており、これが基板配線外部接続端子に含まれ、本件発明1の「外部接続端子」に該当すると主張する。しかし、パッケージ外部接続端子と基板配線外部接続端子の区別は外観による区分けにすぎず、技術的な根拠はない。

(b) 外部との接続の可否

乙1公報記載の発明におけるPGA用の半導体素子搭載用基板における外部接続端子は、外部接続用リードピンであって、環状外部接続端子ではない。

スルーホールの内部にめっきが施されていたとしても、半導体素子を基板に接着するダイボンド材がスルーホールを埋めてしまえば、リードピンやバンプは外部と接続することができないから、この点からして、リードピン、バンプ、環状外部接続端子は、いずれ

も外部接続端子とはいえない。

半導体素子搭載用基板とは、半導体素子を搭載することが可能な状態の基板であるところ、リードピンやバンプのない状態で半導体素子を搭載すると、ダイボンド材がスルーホールを埋めてしまい、半導体素子搭載用基板として機能しなくなるから、リードピン等を挿入する前の段階の基板は、半導体素子を搭載することができず、半導体素子搭載用基板ではなく、このような状態の基板を本件発明 1 の半導体素子搭載用基板と比較することは無意味である。

(c) 外部接続端子における「端子」の意味

端子とは、「電気回路の接続をするため設けた電流の出入口。また、そこに取りつける金具。ターミナル。」（広辞苑第 5 版）とされているところ、被告が定義する「環状外部接続端子」は電流の出入口といえる部位ではない。

そして、被告のいう環状外部接続端子は、乙 1 公報の図 1（A）を拡大してみれば明らかなように、外部接続用リードピンとも物理的に接続されていないから、電流の出入口としての端子ということとはできない。

また、乙 1 公報の樹脂基板 8 上に絶縁シート 6 を設ける場合、絶縁シート 6 を樹脂基板 8 に接着させる必要があり、その接着剤がスルーホールを埋めてしまうことになる。接着性のある絶縁シートであれば、加熱、加圧の際に、絶縁シートがスルーホール内に一部染みだして硬化するため、接続用リードピンを均一かつ十分にスルーホール内に挿入できないという不具合が生ずる可能性が高まる。このように、環状外部接続端子は、電流の出入口の役割を果たすことができない。

(d) 本件発明 1 の「外部接続端子」への該当性

したがって、被告の主張する環状外部接続端子は、本件発明１の「外部接続端子」には該当しない。

c 本件発明１の「外部接続端子」を外部基板との接続部４２のような部材と解することの可否

さらに、被告は、前記(1)ウ〔本判決４１頁〕のとおり、本件発明１の「外部接続端子」について、本件明細書１における配線パターン３３の一部でなく、外部基板との接続部４２のような部材を意味すると解釈したとすれば、被告主張に係る乙１公報発明１の外部接続用リードピン９は、本件発明１の「外部接続端子」に該当すると主張する。

しかし、本件明細書１の段落【００７０】後段の「半導体パッケージ」の製造工程を説明する記載からも明らかなとおり、外部基板との接続部４２は、半導体パッケージの外部接続端子であって、半導体素子搭載用基板の外部接続端子ではない。

d 乙１公報における本件発明１の「外部接続端子」の開示の有無

したがって、乙１公報には、本件発明１の「外部接続端子」は開示されていない。

(ウ) 乙２公報に開示された外部接続端子

以下のとおり、乙２公報には、本件発明１の「外部接続端子」は開示されていない。

すなわち、被告は、乙２公報（特開平２－１３３９４３号公報，平成２年（１９９０年）５月２３日公開，発明の名称：高集積回路及びその製造方法）に本件発明１の「外部接続端子」が開示されていると主張するところ（後記(3)ア(ウ)〔本判決６１頁〕），その点についての反論は、次のとおりである。

乙２公報には、マルチチップモジュール用の高集積回路及びその製造方法に関する発明が記載されており、「半導体素子搭載用基板」に關す

る発明は、第３Ａ図ないし第３Ｃ図に関する説明として記載されている。この第３Ａ図ないし第３Ｃ図に関する説明中には、「複数の貫通孔１８が、基板プレート６と同じ材料で形成可能な基板１７のマウント領域２内に、・・・グリッド間隔 $e$ で形成される（第３Ａ図）。基板１７の上面からその下面へと延びた貫通孔１８は、その後上面と下面間の導電接続のために使われる。」（７頁左上欄１６行ないし右上欄３行）、「孔あき基板１７に・・・，第１の接続領域１９と、該第１の接続領域１９を貫通孔１８に接続する導体路２０とが施される（第３Ｂ図）。ここで導体路２０は、基板１７の上面と下面の両方に配置できる。」（７頁右上欄５ないし９行）、「これに追加して、あるいは導体及び接続構造を施すのと同時に、貫通孔１８はそれらを一貫してメタライズされると共に、基板１７の下面箇所に（好ましくは電気化学蒸着によって）、いわゆるバンプ２１の形の接点領域が設けられる。この結果、第３Ｃ図の断面図に示すような基板が得られる。」（７頁右上欄１２行ないし右上欄１８行）と記載されている。

上記記載によれば、乙２公報に開示された「基板」の外部接続端子は「バンプ２１」であって、本件発明１の「外部接続端子」とは相違し、乙２公報には、本件発明１の「外部接続端子」は開示されていない。

(エ) 乙３公報に開示された外部接続端子

以下のとおり、乙３公報には、本件発明１の「外部接続端子」は開示されていない。

すなわち、被告は、乙３公報（特開平４－１０３１５２号公報，平成４年（１９９２年）４月６日公開，発明の名称：半導体装置）に本件発明１の「外部接続端子」が開示されていると主張するところ（後記(3)ア(エ)〔本判決６２頁〕），その点についての反論は、次のとおりである。

乙３公報には、乙１公報と同じくPGAタイプの半導体装置（パッケージ）が記載されており、第２図からして、半導体チップ搭載基板の外部接続端子として構成されているのは、「リードピン４」である。さらに、乙３公報の目的、課題は、半導体搭載面下にもリードピンと内部配線を設けることにより、これらに影響されずに大きい半導体チップを搭載することができるとするもので、本件発明１とは異なっている。

そうすると、乙３公報に記載された「半導体チップ搭載基板」の外部接続端子は「リードピン４」であって、本件発明１の「外部接続端子」と相違し、乙３公報には、本件発明１の「外部接続端子」は開示されていない。

（オ） 小括

以上によれば、乙１ないし乙３の公報には、本件発明１の「外部接続端子」は開示されていない。

ウ 本件発明１の「上記外部接続端子は上記半導体搭載領域に設けられ」（構成要件エ）の開示の有無

前記イ（オ）〔本判決５５頁〕のとおり、乙１ないし乙３の公報には、本件発明１の「外部接続端子」は開示されていないから、本件発明１の「上記外部接続端子は上記半導体搭載領域に設けられ」（構成要件エ）との構成要件も開示されていない。

エ 半導体パッケージ領域を複数個配列することの周知性の有無

半導体パッケージ領域を複数個配列することは、以下のとおり、周知ではない。

すなわち、乙１公報のPGA基板は、外部接続端子として、接続用リードピンを多数設けており、仮に、１枚の大きなPGA基板に複数の半導体パッケージ領域を形成した場合、その数の分の多数の接続ピンが基板の底面から突出することになって、取扱いの煩雑さや破損等の問題が生じ、さ

らに、接続ピンが障害となって、複数の半導体パッケージを一括して樹脂でモールド封止することも難しくなるため、通常は、個別に切り分けられた後、外部接続用リードピンを挿入した状態で取引される。このように、PGA基板においては、「半導体素子搭載領域と、半導体パッケージ領域とを、複数組備え、同一の配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され」ることは、技術常識あるいは周知といえる技術ではなく、むしろ、技術常識に反するものである。

被告は、後記(3)ウ〔本判決62頁〕のとおり、乙33公報（特開昭61-248453号公報，昭和61年（1986年）11月5日公開，発明の名称：セラミック基板および半導体装置の製造方法），乙34公報（特開昭63-60547号公報，昭和63年（1988年）3月16日公開，発明の名称：半導体搭載用基板）によれば、半導体素子搭載領域と樹脂封止用半導体パッケージ領域を複数組備えたPGA基板は周知であったと主張する。しかし、乙33公報は、PGAなどの半導体パッケージにも適用できるとしか記載がなく、具体性に欠けるから、これをもって周知性の根拠とすることはできないし、乙34公報は、半導体素子搭載用基板を作る途中段階のものにすぎず、ピンを挿入した時点では個別に分けられており、半導体素子搭載領域と半導体パッケージ領域が複数組存在しているとはいえない。

オ 乙1公報記載の発明と本件発明1の課題の相違

乙1公報記載の発明と本件発明1は、以下のとおり、課題が相違する。

すなわち、本件発明1の課題と効果は、半導体パッケージを小型化することにある。ところが、乙1公報の段落【0003】、【発明が解決しようとする課題】中には、半導体パッケージの小型化に関する記載も示唆もなく、段落【0007】には、半導体素子の大きさにかかわらず、半導体パッケージを規格の寸法に収めることができると記載されているのであつ



て、半導体パッケージを小型化するという本件発明１の効果に対応する思想はどこにも記載がなく、その示唆もない。したがって、本件発明１の出願前に、このような課題の異なる乙１公報から本件発明１を想到することはできない。

乙１公報【要約】欄の【目的】の記載は、規格外の大きなサイズに比べて小型の半導体装置を提供するという意味であり、本件各発明の半導体パッケージの小型化とは、レベルが全く異なるものである。

カ 乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することの容易性の有無

乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することは、以下のとおり、容易ではない。

すなわち、乙４ないし乙８の公報に記載された発明は、乙１公報に記載されたPGA基板とは構造も課題も異なるから、乙１公報記載の発明に乙４ないし乙８の公報に記載された発明を組み合わせることは、動機付けがなく、困難であり、本件発明１は、乙１公報記載の発明から当業者が容易に想到することのできた発明であるとはいえない。

乙４公報の記載は、ICカードと呼ばれる製品の複合配線基板であって、半導体素子搭載用基板と異なるだけでなく、本件発明１とも技術分野が異なり、これをPGA基板に適用するには、当業者にとっても容易ではない。また、乙５公報はフレキシブルプリント配線板、乙６公報はフィルムキャリア、乙７公報はTABテープ、乙８公報はマルチチップモジュール等の基板にそれぞれ関するものであって、乙１公報に記載されたような接続ピンを挿入する構造のPGA基板に関するものでない。PGA基板は、個別に切り分けた状態で一般的に使用されるため、乙４ないし乙８の公報に示された回路パターンを繰り返して形成することを乙１公報記載の発明に適用することは、当業者にとっても容易ではない。

乙４公報のＩＣカードはマザーボードに搭載せず、そのための外部接続端子をもたないから、これを乙１公報のＰＧＡ基板の発明に適用することは、当業者にとって容易ではない。

また、乙５ないし乙８の公報記載の各発明は、外部接続端子が乙１公報のリードピンとは異なっており、これらの各発明と乙１公報記載の発明を組み合わせることは容易ではない。仮に、乙１公報記載の発明と乙５ないし乙８の公報記載の発明を組み合わせても、本件発明１の構成要件ウを充足しない。

### (3) 被告の再反論

ア 本件発明１の「外部接続端子」（構成要件ウ，エ）の開示の有無について

乙１公報の環状外部接続端子は、本件発明１の「外部接続端子」に該当する。以下、詳述する。

#### (ア) 本件発明１の半導体素子搭載用基板について

被告は、被告主張に係る乙１公報発明１と本件発明１を対比するに当たり、乙１公報の記載事項のうち本件発明１に関連する記載箇所を抽出した上で「半導体素子搭載用樹脂基板」の発明（被告主張に係る乙１公報発明１）を特定し、本件発明１と対比しているから、製品としての半導体パッケージと、部材としての半導体素子搭載用基板との区別をした上で対比をしている。

乙１公報が半導体パッケージの発明に係るものであるとしても、その半導体パッケージの一部として、乙１公報には、半導体素子１を搭載する樹脂基板８が開示されており、本件各発明の半導体素子搭載用基板が示されている。

#### (イ) 乙１公報に開示された外部接続端子について

a 外部接続用リードピン及び環状外部接続端子の本件発明１の「外部

接続端子」への該当性について

以下のとおり，乙１公報の外部接続用リードピン９は，本件発明１の「外部接続用端子」には該当しないが，乙１公報の環状外部接続端子は，本件発明１の「外部接続端子」に該当する。

(a) パッケージ外部接続端子と基板配線外部接続端子の区別について

外部接続端子を「パッケージ外部接続端子」（「はんだボール」，「リードピン」，「バンプ」のように，外部基板に電氣的に接続するための端子であり，半導体素子搭載基板上の配線パターンの一部でない端子）と「基板配線外部接続端子」（半導体素子搭載用基板上のワイヤボンディング端子を「パッケージ外部接続端子」に電氣的に接続するための半導体素子搭載基板上の配線パターンの一部としての端子）に区別すれば，乙１公報に開示された外部接続用リードピン９と環状外部接続端子のうち，外部接続用リードピン９がパッケージ外部接続端子に，環状外部接続端子が基板配線外部接続端子にそれぞれ該当するから，本件各発明の外部接続端子と対比すべき乙１公報の端子は，基板配線外部接続端子に当たる環状外部接続端子である。環状外部接続端子は，樹脂基板が備える配線回路の一部としての接続端子であり，半導体素子外形内に設けられ，その結果，半導体パッケージを小型化する効果を発揮している。

(b) 外部との接続の可否について

仮に，半導体素子を基板に接着するダイボンド材がスルーホールを埋めてしまうおそれがあったとしても，乙１公報の【要約】欄の【構成】欄に「半導体素子１の下面に接着剤５及び絶縁シート６を介して，樹脂基板８のスルーホールを有しており，」と記載され，図１（Ａ）にも明示されているように，絶縁シート６の存在によっ

て、接着剤 5 がスルーホールを埋めてしまう懸念は無用となる。

(c) 半導体素子搭載用基板におけるリードピンの有無について

P G A 基板が、個別に切り出された後に外部接続用の接続ピンを挿入するものであったと仮定しても、乙 1 公報の P G A 基板は、接続ピンを挿入する前にかつ個別に切り出す前に本件発明 1 の全構成要件に相当する構成を実質上備えている。

日経マイクロデバイス 1 9 8 7 年（昭和 6 2 年）8 月号（日経マ  
グロウヒル社刊、乙 3 7）6 8 頁には、「同社は P G A の基板が 5  
枚程度リードフレーム状につながった状態を取り扱い、自動化を図  
っている（図 1 0）。ピンも自社で取り付ける。リードフレーム状  
の基板にダイ・ボンディング、ワイヤー・ボンディングし、ポッテ  
ィング樹脂とメタル・キャップで封止する。そしてピンを挿入する。  
・・・ピン打ち後、ピンの接合部を半田付けする。キャップにマー  
キングして、最後にフレームから切り離す。」（右欄 8 ないし 1 9  
行）と記載されており、図 1 0 が示されている。また、日経マイク  
ロデバイス 1 9 8 6 年（昭和 6 1 年）1 2 月号（乙 3 6）6 0 頁に  
は、「まず、ピン数に合わせてパターンニングしたプリント基板を切  
断せず、5 枚程度つながった状態で基板の製造元から受け取る（図  
1）。基板に L S I チップをダイ・ボンディングし、ワイヤー・ボ  
ンディングする。その上にエポキシ樹脂をポッティングし、メタル  
・キャップで封止する。ピン挿入、ハンダ付け、マーキング後、最  
後に各パッケージをバラバラにする（図 2）。」（右欄 3 ないし 1 2  
行）と記載されており、図 1 が示されている。これらの記載によれ  
ば、P G A 基板において、半導体素子を搭載した後にピンを挿入す  
ることは周知技術であり、また、ピンを挿入する前に半導体素子搭  
載用基板が複数の半導体素子搭載領域を備えることは周知技術であ

った。

また、乙 27 公報（特開平 5－29526 号公報，平成 5 年（1993 年）2 月 5 日公開，発明の名称：半導体パッケージの基板への端子ピンの取付方法），乙 29 公報，乙 30 公報，乙 31 公報及び乙 32 公報によれば，PGA 基板が外部接続用リードピンを備えない状態であっても，当業界において PGA 用の「半導体素子搭載用基板」と呼ばれている。

なお，もともと本件各発明も，各公報記載の公知の発明も，物の発明であって製造方法の発明ではないから，製造工程や納入形態を議論する意味はなく，リードピンを挿入するタイミングに関する議論は意味がない。

(d) 本件発明 1 の「外部接続端子」への該当性について

したがって，乙 1 公報の環状外部接続端子は，本件発明 1 の「外部接続端子」に該当する。

b 本件発明 1 の「外部接続端子」を外部基板との接続部 42 のような部材と解することの可否について

前記(1)ウ〔本判決 41 頁〕のとおり，仮に本件発明 1 の外部接続について，本件明細書 1 における配線パターン 33 の一部でなく，外部基板との接続部 42 のような部材を意味すると解釈し，被告主張に係る乙 1 公報発明 1 の環状外部接続端子が本件発明 1 の「外部接続端子」に該当しないとしても，被告主張に係る乙 1 公報発明 1 の外部接続用リードピン 9 は，本件発明 1 の「外部接続端子」に該当する。

c 乙 1 公報における本件発明 1 の「外部接続端子」の開示の有無について

したがって，乙 1 公報の環状外部接続端子は，本件発明 1 の「外部接続端子」に該当し，乙 1 公報の PGA 型樹脂基板 8 は，本件発明 1

の「半導体素子搭載用基板」に該当する。

(ウ) 乙2公報に開示された外部接続端子について

乙2公報の「貫通孔18に接続する端子部」は、本件発明1の「外部接続端子」に該当する。

すなわち、乙2公報のバンプ21は、パッケージ外部接続端子に該当するものであり、これは、本件発明1の「外部接続端子」に該当しない。しかし、乙2公報の第3B図(F I G. 3 B)に図示されているように、乙2公報記載の実施例の各導体路20の一端には第1の接続領域19が存在し、他端には「貫通孔18に接続する端子部」が存在しており、この「貫通孔18に接続する端子部」は、基板配線外部接続端子であって、本件発明1の「外部接続端子」に該当する。

(エ) 乙3公報に開示された外部接続端子について

乙3公報のリードピン4は、パッケージ外部接続端子に該当するものであり、これは、本件発明1の「外部接続端子」に該当しない。しかし、乙3公報のスルーホール配線3に接続する内部配線2の端子部は、基板配線外部接続端子であって、本件発明1の「外部接続端子」に該当する。

(オ) 小括

以上によれば、乙1ないし乙3の公報には、本件発明1の「外部接続端子」が開示されている。

イ 本件発明1の「上記外部接続端子は上記半導体搭載領域に設けられ」(構成要件エ)の開示の有無について

乙1公報の環状外部接続端子は、本件発明1の「外部接続端子」に該当するから、本件発明1の「外部接続端子」は乙1公報に開示されており、本件発明1の構成要件ウ及びエは、乙1公報に開示されている。

ウ 半導体パッケージ領域を複数個配列することの周知性の有無について

半導体パッケージ領域を複数個配列することは、以下のとおり、周知で

ある。

すなわち、原告は、PGA基板について、一般的に切り出される前の時点において、複数個の半導体素子搭載領域及び半導体パッケージ領域が存在することを認めている。仮に、切り出された後に外部接続用リードピン9が挿入されるとしても、本件発明1の「外部接続端子」に該当するものは、配線回路の一部である環状外部接続端子であることから、乙1公報のPGA基板は、切り出される前から、本件発明1の構成要素をすべて実質上備えているといえる。

また、乙33公報及び乙34公報によれば、半導体素子搭載領域と樹脂封止用半導体パッケージ領域を複数組備えたPGA基板は周知であった。

したがって、通常の製造工程では、同一基板上に半導体パッケージ領域を複数個配列することは技術常識であり、当業者であれば、被告主張に係る乙1公報発明1について、複数個配列を予定したものであることを当然の事項として了知することができる。

エ 乙1公報記載の発明と本件発明1の課題の相違について

乙1公報記載の発明と本件発明1は、以下のとおり、課題を同一にする。

すなわち、乙1公報【要約】欄の【目的】には、「小型の半導体装置を提供する」と記載され、段落【0003】の【発明が解決しようとする課題】には、「外形サイズが大きくなってしまいうという問題があった。また、この種の外形サイズを大きくしたパッケージは、・・・特殊仕様になってしまいうという問題があった。」と記載され、さらに、段落【0007】には、「パッケージサイズも規格外の大きなサイズにする必要なく」と記載されている。したがって、乙1公報記載の発明の目的は小型の半導体装置の提供である。他方、本件発明1の課題及び効果は大きいパッケージを小型化することであるから、乙1公報記載の発明と本件発明1とは課題を同一にするものである。

オ 乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することの容易性の有無について

乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することは、以下のとおり、容易である。

すなわち、乙４公報には、ＩＣカード用の複合配線基板が開示されており、複合配線基板自体は、本件発明１の半導体素子搭載用基板と同じ技術分野に属するものであり、乙４公報に記載された技術を乙１公報に記載されたPGA基板に適用することは当業者にとって容易である。また、乙５ないし乙８の公報も、本件発明１と同じ技術分野に属する発明を開示しており、これらに記載された技術を乙１公報に記載されたPGA基板に適用することは当業者にとって容易である。

## ８ 争点(4)イ（本件特許権２の無効事由の有無）

### (1) 被告の主張

#### ア 進歩性の欠如

本件発明２は、乙１公報記載の発明と乙４ないし乙８の公報記載の周知技術に基づいて、当業者が容易に発明をすることができたものであって、進歩性に欠ける。以下、詳述する。

#### イ 乙１公報記載の発明

前記７(1)イ(イ)〔本判決４１頁〕のとおり、乙１公報の記載を参照すると、乙１公報には、①樹脂基板８上に複数の配線回路が設けられ、配線回路はスルーホールより外側に向かって形成されていること、②配線回路の外側端にある素子接続用端子７は、接続線３により半導体素子１と電氣的接続するためのものであること、また、③配線回路の内側端にあつて、スルーホールの周囲を取り囲んでいる環状の端子であり、スルーホール内に挿入される外部接続用リードピン９と電氣的に接続するための端子（環状外部接続端子）が示されているから、乙１公報に記載された発明を本件



発明２の構成要件に対応させて示すと、次のとおりとなる（以下「被告主張に係る乙１公報発明２」という。）。

「半導体素子１を搭載するための、半導体素子搭載樹脂基板８を備え、  
上記半導体素子搭載樹脂基板８は、半導体素子１を搭載する領域、上記半導体素子搭載領域の外側の封止樹脂２により保護された半導体パッケージ領域、及び上記封止樹脂半導体パッケージ領域に設けられた素子接続用端子７と、上記半導体素子搭載領域に設けられた環状外部接続端子とを含む配線回路を備える  
ことを特徴とする半導体素子搭載用樹脂基板８。」

ウ 被告主張に係る乙１公報発明２と本件発明２の一致点、相違点

被告主張に係る乙１公報発明２と本件発明１の構成部分の対応をみると、被告主張に係る乙１公報発明２の環状外部接続端子は本件発明２の「外部接続端子」に該当すると解される。仮に、本件発明２の「外部接続端子」が本件明細書２でいう配線３３の一部ではなく、外部基板との接続部４２のような部材を意味すると解釈し、被告主張に係る乙１公報発明２の環状外部接続端子が本件発明２の「外部接続端子」に該当しないとしても、被告主張に係る乙１公報発明２の外部接続用リードピン９は、本件発明２の「外部接続端子」に該当する。

また、被告主張に係る乙１公報発明２の効果と本件発明２の効果をみると、被告主張に係る乙１公報発明２の効果は、環状外部接続端子、スルーホール及び外部接続用リードピン９が半導体素子１の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化でき、半導体パッケージを小型化するというものであり、本件発明２の効果と同様のものである。そうすると、被告主張に係る乙１公報発明２を、本件発明２と対比すると、一致点及び相違点は、次のとおりである。

（ア） 一致点

半導体素子を搭載するための、半導体素子実装基板部を備え、

上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備えることを特徴とする半導体素子実装用基板である点。

(イ) 相違点

a 相違点 A

本件発明 2 では、複数個の半導体素子実装基板部を備えている（構成要件サ I）のに対し、被告主張に係る乙 1 公報発明 2 では、その複数個を明記していない点。

b 相違点 B

本件発明 2 では、半導体実装基板部間を連結するための連結部と（構成要件サ II）位置合わせマーク部とを備えている（構成要件サ III）のに対し、被告主張に係る乙 1 公報発明 2 では、そのような連結部と位置合わせマーク部を明記していない点。

c 相違点 C

本件発明 2 では、連結部が導電層を有する（構成要件ス）のに対し、被告主張に係る乙 1 公報発明 2 では、連結部の導電層を明記していない点。

エ 相違点についての容易想到性

本件発明 2 の技術的特徴は、構成要件シにあり、特に、このうちの「上記半導体素子搭載領域に設けられた外部接続端子」という点にあり、このことは、前記 1 (2) ア(オ) a (a)〔本判決 2 7 頁〕と同様であるから、前記ウ(イ)〔本判決 6 6 頁〕の相違点は、いずれも本件発明 2 の技術的特徴ではない些末な要素に関するものである。

しかも、前記ウ(イ)〔本判決 6 6 頁〕の相違点は、次のとおり、当業者であれば、乙 1 公報と周知技術に基づいて容易に想到し得たものである。

(ア) 相違点 A について

被告主張に係る乙 1 公報発明 2 では、半導体素子搭載領域と半導体パッケージ領域とを 1 組のみ示し、それらの複数個の存在を明記していない。しかし、半導体素子搭載用基板の製造分野において、半導体パッケージ領域を 1 個ずつ個別に製造することは例外的であり、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列することは技術常識であるから、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知することができる。仮に P G A 基板が接続ピン挿入前に個別に切り出されるものであるとしても、切り出される前に半導体素子を搭載するための複数個の半導体素子実装基板が連結されている。そうすると、相違点 A に係る複数個の半導体素子実装基板部を備えていることは、乙 1 公報に実質的に記載されているに等しい。

仮に、乙 1 公報に複数個配列の実質的な記載がないとしても、前記 7 (1)エ(イ)〔本判決 4 3 頁〕と同様に、このことは、本件発明 2 と同じ技術分野に属する乙 4 ないし乙 8 の公報に記載されており、本件各発明の新規性、進歩性の判断の基準日である平成 7 年 3 月 1 5 日の時点において周知の常用技術であった。

したがって、相違点 A は、製造設計上の当然の技術事項であり、複数個の半導体素子実装基板部を備えていることは、当業者であれば、乙 1 公報と周知技術に基づいて容易に想到し得たものである。

(イ) 相違点 B について

被告主張に係る乙 1 公報発明 2 では、半導体素子実装基板部間を連結するための連結部と位置合わせマーク部を明記していない。しかし、前

記(ア)〔本判決 6 7 頁〕のとおり、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知することができる。そして、複数個の半導体素子実装基板部を備えるためには、それらの間を連結する連結部を備える必要があることは明白であり、また、半導体パッケージの製造分野において、半導体を樹脂でモールドするなどのために位置合わせ用のマークを備えることも技術常識であり、被告主張に係る乙 1 公報発明 2 において、位置合わせマーク部を備えることを予定していることも当然の事項として了知することができる。そのため、相違点 B に係る半導体素子実装基板部間を連結するための連結部と位置合わせマーク部は、乙 1 公報に実質的に記載されているに等しい。

仮に、乙 1 公報に「半導体素子実装基板部間を連結するための連結部と位置合わせマーク部」の実質的な記載がないとしても、このことは、次のとおり、本件発明 2 と同じ技術分野に属する乙 4 ないし乙 8 の公報に記載されており、本件各発明の新規性、進歩性の判断の基準日である平成 7 年 3 月 1 5 日の時点において周知であった。

① 乙 4 公報

「配線回路部 A 複数個を、両側の連結部 B により連結しており」(3 頁左上欄 9, 1 0 行,) と記載され、第 1 図には、連結部 B 及び位置合わせ用の孔が図示されている。

② 乙 5 公報

「これら回路基板形成域の側方に連設した支持枠」(1 頁左下欄 7 ないし 8 行。ここにいう「支持枠」は、本件発明 2 の「連結部」に該当する。), 「両支持枠部分 1 9 の各端部には適当な位置決め穴乃至は支持穴 2 0 を適宜形成することが出来る」(3 頁左上欄 3 ないし 5 行) と記載され、第 1 図には、支持穴 2 0 が図示されている。

③ 乙 6 公報

「長尺状の可 性〔判決注 「可撓性」の誤記と認められる。〕絶縁性フィルム上に、金属箔配線が形成され」（1 頁左下欄 5 ないし 6 行。ここにいう「長尺状の可撓性絶縁性フィルム」は、本件発明 2 の「連結部」に該当する。），「パーフォレーション周囲の強度は充分であり、・・・その際の位置精度を下げることはない。」（3 頁右下欄 7 ないし 12 行。ここにいう「パーフォレーション」は本件発明 2 の「位置合わせマーク部」に該当する。）と記載され、第 7 図には、フィルムキャリア 1 及びパーフォレーション 10 が図示されている。

④ 乙 7 公報

「ポリイミド製ベーステープ（絶縁性フィルム）1」（2 頁右上欄 2，3 行。ここにいう「ポリイミド製ベーステープ（絶縁性フィルム）1」は、本件発明 2 の「連結部」に該当する。），「搬送用送り孔 1 a を基準にして」（2 頁左下欄 13，14 行。ここにいう「搬送用送り孔 1 a」は本件発明 2 の「位置合わせマーク部」に該当する。）と記載され、第 1 図（a）には、ポリイミド製ベーステープ 1 と搬送用送り孔 1 a が図示されている。

⑤ 乙 8 公報

「ベースフィルム 10 上には回路パターンが繰り返しパターンで形成され」（3 頁右上欄 15 ないし 17 行）と記載され、第 2 図には、位置合わせ孔が図示されている。

したがって、相違点 B は、製造設計上の当然の技術事項であり、半導体素子実装基板部間を連結するための連結部と位置合わせマーク部を備えることは、当業者であれば、乙 1 公報と周知技術に基づいて容易に想到し得たものである。

（ウ） 相違点 C について

被告主張に係る乙１公報発明２では、剛性を与えるために連結部が具える導電層を明記していない。しかし、半導体素子搭載用基板の製造分野において、強度を増すために「連結部は導電層を有する」ようにすることは、次のとおり、本件発明２と同じ技術分野に属する乙４ないし乙８の公報に記載されており、本件各発明の新規性、進歩性の判断の基準日である平成７年３月１５日の時点において周知であった。

① 乙４公報

「金属層１１ｄを連結部の配線基板に設けたのは、複合配線基板としての機械的強度の向上と・・・をはかるためであり、配線基板１１の配線導体１１ｃ形成時に同時に形成した。」（３頁左下欄７ないし１１行）と記載され、第３図には、金属層１１ｄが図示されている。

② 乙５公報

「支持枠部分６には機械的強度を確保する為に導電層を残置することも出来る。」（２頁左上欄６ないし８行）と記載されている。

③ 乙６公報

「図中１３がパーフォレーション周辺を補強する為に配置された、銅箔であり」（３頁右上欄１１ないし１３行）と記載され、第７図には、補強材１３が図示されている。

④ 乙７公報

「金属箔は、絶縁性フィルムの側縁に送り孔の部分を除いて連続的に付着され、送り孔の開口縁を補強する」（１頁左下欄９ないし１１行）と記載され、第１図（ａ）には、搬送用送り孔補強用帯６及び帯間隔変化防止用横棧７が図示されている。

⑤ 乙８公報

「ベースフィルム１０上には回路パターンが繰り返しパターンで形成され、同時に各回路パターンに接続して検査用ライン４０および電

解めっきの導通をとるためのバスライン４２が設けられる。」（３頁右上欄１５ないし１９行）と記載され、第２図には、回路パターンを連結するベースフィルム１０上に導電性のバスライン４２が設けられていることが図示されている。

したがって、相違点Ｃは、製造設計上の当然の技術事項であり、連結部が導電層を有するようにすることは、当業者であれば、乙１公報と周知技術に基づいて容易に想到し得たものである。

#### オ 小括

以上によれば、本件発明２は、被告主張に係る乙１公報発明２及び周知技術に基づいて当業者が容易に発明をすることができたから、本件特許権２には、進歩性を欠くという無効事由がある。

### (2) 原告の反論

#### ア 進歩性の具備

本件発明２は、乙１公報記載の発明と乙４ないし乙８の公報記載の周知技術に基づいて当業者が容易に発明をすることができたものではなく、進歩性を有する。以下、詳述する。

#### イ 本件発明２の「外部接続端子」（構成要件シ）の開示の有無

以下のとおり、乙１ないし乙３の公報には、本件発明２の「外部接続端子」は開示されていない。

##### (ア) 本件発明２の「外部接続端子」

本件発明２は、「・・・上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」（構成要件シ）との構成要件を備えるから、本件発明２の「外部接続端子」（構成要件シ）は、配線に含まれる外部接続端子である。

##### (イ) 乙１公報に開示された外部接続端子

前記７(2)イ(イ)〔本判決４５頁〕と同様に、乙１公報には、本件発

明 2 の「外部接続端子」は開示されていない。

(ウ) 乙 2 公報に開示された外部接続端子

前記 7 (2) イ (ウ) [本判決 5 3 頁] と同様に、乙 2 公報には、本件発  
明 2 の「外部接続端子」は開示されていない。

(エ) 乙 3 公報に開示された外部接続端子

前記 7 (2) イ (エ) [本判決 5 4 頁] と同様に、乙 3 公報には、本件発  
明 2 の「外部接続端子」は開示されていない。

ウ 乙 1 公報記載の発明と本件発明 2 の課題の相違

前記 7 (2) オ [本判決 5 6 頁] と同様に、乙 1 公報から本件発明 2 を想  
到することはできない。

エ 乙 4 ないし乙 8 の公報記載の発明を乙 1 公報記載の発明に適用すること  
の容易性の有無

前記 7 (2) カ [本判決 5 7 頁] と同様に、乙 1 公報記載の発明に乙 4 な  
いし乙 8 の公報に記載された発明を組み合わせることは困難であり、本件  
発明 2 は、乙 1 公報記載の発明から当業者が容易に想到することはできな  
かった。

オ 相違点についての容易想到性

以下のとおり、被告主張に係る乙 1 公報発明 2 と本件発明 2 の相違点に  
係る技術事項は、容易想到であるとはいえない。

(ア) 相違点 A について

P G A 基板は、他の半導体パッケージとは異なり、接続用リードピン  
が多数設けられているという特殊性があるから、個別に作られるのが一  
般的な製造法である。乙 1 公報にはこのような一般的な製造法が記載さ  
れているにとどまり、同一基板上に半導体素子実装基板部を複数個配列  
することは記載されていない。

したがって、相違点 A は、製造設計上の当然の技術事項ではなく、複



数個の半導体素子実装基板部を備えていることは、乙1公報と周知技術に基づいて容易に想到し得たものではない。

(イ) 相違点Bについて

前記(ア)〔本判決72頁〕で述べたように、PGA基板は、個別に作られるのが一般的な製造法であるから、複数個の半導体素子実装基板部の存在を前提とした連結部や位置合わせマーク部を設けることは、製造設計上の当然の技術事項ではなく、そのために乙4ないし乙8の公報に記載された技術を適用する動機付けもない。

(ウ) 相違点Cについて

乙1公報に記載されたPGA基板は、基板に外部接続用リードピンを挿入してこれを支持する必要があるため、基板自体が十分な剛性を有しているか又は剛性を出すために厚さを厚くしており、導電層を設けて強度を上げようとする発想がない。したがって、乙1公報には、「連結部は導電層を有する」ことの記載も示唆もなく、乙4ないし乙8の公報に記載された技術を組み合わせる動機付けも存在しない。

(エ) 相違点AないしCについての容易想到性の有無

そうすると、相違点AないしCに係る技術事項は、いずれも乙1公報に記載されているに等しいとはいえず、また、乙4ないし乙8の公報に記載された技術を乙1公報のPGA基板に適用することは当業者にとって容易とはいえないから、相違点AないしCに係る技術事項は、容易想到であるとはいえない。

9 争点(4)ウ（本件特許権3の無効事由の有無）

(1) 被告の主張

ア 新規性、進歩性の欠如

本件発明3は、乙1公報記載の発明と実質的に同一であって、新規性に欠ける。仮にそうでないとしても、乙1公報記載の発明と乙4ないし乙8

の公報記載の周知技術に基づいて、当業者が容易に発明をすることができたものであって、進歩性に欠ける。以下、詳述する。

#### イ 乙１公報記載の発明

前記７（１）イ（イ）〔本判決４１頁〕のとおり、乙１公報の記載を参照すると、乙１公報には、①樹脂基板８上に複数の配線回路が設けられ、配線回路はスルーホールより外側に向かって形成されていること、②配線回路の外側端にある素子接続用端子７は、接続線３により半導体素子１と電氣的接続するためのものであること、また、③配線回路の内側端にあつて、スルーホールの周囲を取り囲んでいる環状の端子であり、スルーホール内に挿入される外部接続用リードピン９と電氣的に接続するための端子（環状外部接続端子）が示されているから、乙１公報に記載された発明を本件発明３の構成要件に対応させて示すと、次のとおりとなる（以下「被告主張に係る乙１公報発明３」という。）。  
「ガラス布エポキシ等の積層板と、その上面に形成された複数の配線回路とを備える、半導体素子１を搭載する樹脂基板８において、  
半導体素子１を搭載する領域と、該半導体素子搭載領域の外側の封止樹脂２により保護された半導体パッケージ領域とを備え、  
上記配線回路は、上記半導体パッケージ領域に形成された素子接続用端子７と、上記半導体素子搭載領域に形成された環状外部接続端子とをつなぐ配線回路を含み、  
上記環状外部接続端子の形成された箇所の上記積層板に、上記環状外部接続端子に達するスルーホール１０が設けられている  
ことを特徴とする半導体素子搭載用樹脂基板８。」

#### ウ 被告主張に係る乙１公報発明３と本件発明３の一致点、相違点

被告主張に係る乙１公報発明３と本件発明３の構成部分の対応をみると、被告主張に係る乙１公報発明３の「環状外部接続端子」は本件発明３

の「外部接続端子」に該当すると解される。仮に、本件発明３の「外部接続端子」が本件明細書３でいう配線パターン３３の一部ではなく、外部基板との接続部４２のような部材を意味すると解釈し、被告主張に係る乙１公報発明３の「環状外部接続端子」が本件発明３の「外部接続端子」に該当しないとしても、被告主張に係る乙１公報発明３の「外部接続用リードピン９」は、本件発明３の「外部接続端子」に該当すると解される。

また、被告主張に係る乙１公報発明３の効果と本件発明３の効果をみると、被告主張に係る乙１公報発明３の効果は、環状外部接続端子、スルーホール及び外部接続用リードピン９が半導体素子１の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化することができ、半導体パッケージを小型化するというものであり、本件発明３と同様のものである。

そうすると、被告主張に係る乙１公報発明３を、本件発明３と対比すると、一致点及び相違点は、次のとおりである。

(ア) 一致点

絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、

上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

ことを特徴とする半導体素子搭載用基板である点。

(イ) 相違点

本件発明 3 では、半導体素子搭載領域と半導体パッケージ領域とを複数組備えている（構成要件ニ）のに対し、被告主張に係る乙 1 公報発明 3 では、これらの領域を複数組備えることを明記していない点

エ 新規性、進歩性の有無

（ア） 新規性

以下のとおり、本件発明 3 は、被告主張に係る乙 1 公報発明 3 と実質的に同一である。

すなわち、本件発明 3 の技術的特徴は、構成要件ヌの「上記半導体素子搭載領域に形成された外部接続端子」という点にあり、このことは、前記 1 (2) ア(オ) a (c) [本判決 3 0 頁]と同様であるから、前記ウ(イ) [本判決 7 5 頁]の相違点は、本件発明 3 の技術的特徴ではない些末な要素に関するものである。しかも、半導体素子搭載用基板の製造分野において、半導体パッケージ領域を 1 個ずつ個別に製造することは例外的であり、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列することは技術常識であるから、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知することができる。

したがって、本件発明 3 は、乙 1 公報に実質的に記載されているに等しく、被告主張に係る乙 1 公報発明 3 と実質的に同一である。

（イ） 進歩性

仮に、乙 1 公報に複数組（複数個配列）の実質的な記載がないとしても、前記 7 (1) エ(イ) [本判決 4 3 頁]と同様に、このことは、本件発明 3 と同じ技術分野に属する乙 4 ないし乙 8 の公報に記載されており、本件各発明の新規性、進歩性の判断の基準日である平成 7 年 3 月 1 5 日の時点において周知の常用技術であった。

したがって、前記ウ(イ) [本判決 7 5 頁]の相違点は、製造設計上の

当然の技術事項であり，本件発明３は，当業者が被告主張に係る乙１公報発明３及び周知技術に基づいて容易に発明をすることができた。

オ 小括

以上によれば，本件発明３は，被告主張に係る乙１公報発明３と実質的に同一であるか，又は被告主張に係る乙１公報発明３及び周知技術に基づいて当業者が容易に発明をすることができたから，本件特許権３には，新規性及び進歩性を欠くという無効事由がある。

(2) 原告の反論

ア 新規性，進歩性の具備

本件発明３は，乙１公報記載の発明と実質的に同一ではなく，新規性を有する。また，本件発明３は，乙１公報記載の発明と乙４ないし乙８の公報記載の周知技術に基づいて当業者が容易に発明をすることができたものではなく，進歩性を有する。以下，詳述する。

イ 本件発明３の「外部接続端子」（構成要件ヌ）の開示の有無

以下のとおり，乙１ないし乙３の公報には，本件発明３の「外部接続端子」は開示されていない。

(ア) 本件発明３の「外部接続端子」

本件発明３は，「・・・上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み，」（構成要件ヌ）との構成要件を備えるから，本件発明３の「外部接続端子」（構成要件ヌ）は，配線に含まれる外部接続端子である。

(イ) 乙１公報に開示された外部接続端子

前記７(2)イ(イ)〔本判決４５頁〕と同様に，乙１公報には，本件発明３の「外部接続端子」は開示されていない。

(ウ) 乙２公報に開示された外部接続端子

前記７(2)イ(ウ)〔本判決５３頁〕と同様に，乙２公報には，本件

発明３の「外部接続端子」は開示されていない。

(エ) 乙３公報に開示された外部接続端子

前記７(２)イ(エ)〔本判決５４頁〕と同様に、乙３公報には、本件発明３の「外部接続端子」は開示されていない。

ウ 本件発明３の基板の片面に形成された配線（構成要件ナ）の開示の有無

以下のとおり、乙１公報記載の発明は、本件発明３の構成要件ナを構成を備えるものではない。

すなわち、構成要件ナの基板の「片面に形成された配線」とは、基板の片面のみに配線が形成されていることを意味する。

これに対し、乙１公報には、「表裏両面には銅が張られている。」「表裏面の銅をエッチングすることにより回路が形成されている。」（【０００５】）と記載されており、乙１公報記載の発明に係る基板には、裏面にも配線がある。PGA基板においては、通常、裏面の環状回路を含む配線とリードピンをハンダで接続し、裏面の配線とリードピンとの電気的な接続を確実にしているため、裏面の回路は電気配線として機能している。そうすると、乙１公報記載の発明の基板は、半導体素子１を搭載する面とその裏面に複数の配線が設けられており、これらの配線が素子接続用端子７とめっきの施されたスルーホール１０をつなぐ配線パターンを備えるものである。

したがって、乙１公報記載の発明は、配線が基板の両面に形成されたものであるから、構成要件ナの上記構成を備えるものではなく、本件発明３と相違する。

エ 本件発明３の「開口部」（構成要件ネ）の開示の有無

以下のとおり、本件発明３の「開口部」（構成要件ネ）は乙１公報記載の発明には開示されていない。

(ア) 本件発明 3 は、配線を絶縁性支持体の片面に形成して、開口部を外部接続端子でふさぐ構造とすることにより、半導体パッケージの構造を単純化することができ、低コストで生産性に優れた半導体素子搭載用基板を得ることができるものであるのに対し、乙 1 公報記載の発明の P G A 基板のスルーホールは、外部接続端子を挿入してこれを支持するためのものであり、内部のめっきと両面配線が必要であり、外部接続端子が挿入されなければダイボンド材によって埋められてしまうから、乙 1 公報記載の発明のスルーホール 1 0 と本件発明 3 の「開口部」は目的も構造も全く相違している。したがって、乙 1 公報記載の発明のスルーホール 1 0 は本件発明 3 の「外部接続端子に達する開口部」ではなく、本件発明 3 の「開口部」は乙 1 公報記載の発明には開示されていない。

(イ) 仮に「外部接続端子」がスルーホールのめっき部であるとする、本件発明 3 の構成要件ネ（上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている）は、「上記外部接続端子の形成された箇所の上記絶縁性支持体に、スルーホールのめっき部に達する開口部が設けられている」ということになるが、乙 1 公報にはそのような構造のものは開示されていない。また、そこでいう開口部はスルーホールであるから、「上記外部接続端子の形成された箇所の上記絶縁性支持体に、スルーホールのめっき部に達するスルーホールが設けられている」ということになり、矛盾した意味になる。

オ 乙 1 公報記載の発明と本件発明 3 の課題の相違

前記 7 (2) オ〔本判決 5 6 頁〕と同様に、乙 1 公報から本件発明 3 を想到することはできない。

カ 乙 4 ないし乙 8 の公報記載の発明を乙 1 公報記載の発明に適用するこ

との容易性の有無

前記 7 (2) カ〔本判決 5 7 頁〕と同様に、乙 1 公報記載の発明に乙 4 ないし乙 8 の公報に記載された発明を組み合わせることは困難であり、本件発明 3 は、乙 1 公報記載の発明から当業者が容易に想到することのできた発明であるとはいえない。

キ 被告主張に係る乙 1 公報発明 3 と本件発明 3 の相違点についての容易想到性

前記 8 (2) オ(ア)〔本判決 7 2 頁〕のとおり、乙 1 公報には P G A 基板を個別に作る一般的な製造法が記載されているにとどまり、同一基板上に半導体素子実装基板部を複数個配列することは記載されていない。

したがって、被告主張に係る乙 1 公報発明 3 と本件発明 3 の相違点は、製造設計上の当然の技術事項ではなく、半導体搭載領域と半導体パッケージ領域とを複数組備えていることは、乙 1 公報と周知技術に基づいて容易に想到し得たものではない。

### (3) 被告の再反論

ア 本件発明 3 の基板の片面に形成された配線（構成要件ナ）の開示の有無について

以下のとおり、本件発明 3 の基板の片面に形成された配線（構成要件ナ）は、乙 1 公報記載の発明に開示されている。

すなわち、本件発明 3 の構成要件ナには、「片面に形成された複数の配線」と記載されており、「片面のみに」との記載はなく、また、片面のみに配線を設けることによる格別な効果もない。そのため、乙 1 公報記載の発明において、絶縁性支持体の片面に配線が形成されていれば、その他の面の配線の有無にかかわらず、構成要件ナの「片面に形成された複数の配線」が開示されているといえる。

乙 1 公報の段落【0 0 0 5】、図 1 には、ガラス布エポキシ等の積層



板と、その上面に形成された複数の配線回路が開示されているから、本件発明３の絶縁性支持体の片面に形成された配線が開示されている。

イ 本件発明３の「開口部」（構成要件ネ）の開示の有無について

以下のとおり、本件発明３の「開口部」（構成要件ネ）は乙１公報記載の発明には開示されている。

すなわち、本件特許権３の請求項１に、開口部を外部接続端子で「ふさぐ」構造とするような限定の記載はなく、本件発明３の「開口部」は、乙１公報にスルーホールとして開示されている。

仮に、被告主張に係る乙１公報発明３のPGA基板のスルーホールが、内部のめっきと両面配線を必要とするとしても、乙１公報の「環状外部接続端子に達するスルーホール」が本件発明３の「外部接続端子に達する開口部」に該当することには変わりはない。

なお、スルーホールに内部めっきのされていない状態でリードピン又はバンプに接続することは可能であり、環状外部接続端子が、スルーホール内のめっきの有無にかかわらず、基板上のワイヤボンディング端子をリードピン又はバンプと電氣的に接続するための機能、すなわち、本件発明３の半導体素子搭載用基板の外部接続端子と同一の機能を果たしていることは明らかである。

本件発明３においては、絶縁性支持体裏面から外部接続端子に達する開口部が設けられているが、その開口部はバンプを設け、絶縁性支持体裏面と外部接続端子との電氣的接触を取れるようにするためのものである。乙１公報記載の発明においても、開口が基板裏面から外部接続端子であるめっきが施されたスルーホールの内面に達するように設けられているから、本件発明３の「開口部」（構成要件ネ）は開示されている。

10 争点(5)（本件各訂正による無効事由の解消の有無）ア（本件訂正１による本件特許権１の無効事由の解消の有無）

(1) 原告の主張

本件訂正 1 により本件特許権 1 の無効事由は解消された。以下、詳述する。

ア 乙 1 公報記載の発明に基づく容易想到性がないこと

(ア) 乙 1 公報記載の発明

乙 1 公報記載の発明は、次のとおりである。

「樹脂基板に、半導体素子が搭載される領域と、その外側に樹脂により封止される領域を有し、該樹脂基板の片面に複数の配線が設けられ、該樹脂により封止される領域に素子接続用端子が設けられ、該半導体素子が搭載される領域にめっきが施されたスルーホールが設けられ、該配線が素子接続用端子とスルーホールとをつなぐ配線パターンを備えた P G A 基板。」

(イ) 本件訂正発明 1

本件訂正発明 1（前記第 2，2 (11) ア〔本判決 15 頁〕）を構成要件に分説すると、次のとおりである。

ア 絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

イ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数组備え、

㊦Ⅰ 上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

㊦Ⅱ 上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

㊦Ⅲ 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

㊦Ⅳ 上記ワイヤボンディング端子はその反対側の面に備えられ、

㊦Ⅴ 上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記

外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

④ iv 上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、

④ v 上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

④ vi 上記外部接続端子は上記半導体素子搭載領域に設けられ、

④ I 同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され上記複数個を一括して封止可能なブロックが形成されており、

④ II 同一の上記ブロックが複数個設けられている

ことを特徴とする半導体素子搭載用基板。

(ウ) 乙 1 公報記載の発明と本件訂正発明 1 の対比

本件訂正発明は、前記(ア)〔本判決 8 2 頁〕の乙 1 公報記載の発明と対比すると、次の点で相違する。

a 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに 1 層ある点。

b 外部接続端子は配線の絶縁性支持体側の面に備えられている点。

c 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点。

d 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点。

e 同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列され複数個を一括して封止可能なブロックが形成されており、同一のブロックが複数個設けられている点。

(エ) 乙 1 公報記載の発明に基づく容易想到性の有無

そうすると、乙 1 公報記載の発明と本件訂正発明 1 とは、配線や外部との接続構造が全く異なっているから、乙 1 公報記載の発明に基づいて本件訂正発明 1 を容易に想到することはできなかった。

イ 乙 4 公報記載の発明に基づく容易想到性がないこと

(ア) 乙 4 公報記載の発明

乙 4 公報の発明は、次のとおりである。

「配線回路部と前記配線回路部を複数個を連結するための連結部とにより構成され、前記配線回路部および前記連結部は、絶縁基板に配線導体が設けられた配線基板と、不要部が除去加工された絶縁体とを接着積層して形成され、配線回路部の配線基板には、集積回路素子を搭載する凹部が設けられ、配線回路部の配線導体は、配線基板の凹部が設けられた側の絶縁基板表面の複数の回路パターン、及び該回路パターンに設けられたワイヤボンディング端子、絶縁基板裏面の外部接続用端子パターン、及びスルーホールを有し、集積回路素子および接続部は、封止樹脂により保護される部分である複合配線基板。」

(イ) 乙 4 公報記載の発明と本件訂正発明 1 の対比

本件訂正発明 1 は、前記(ア)〔本判決 8 4 頁〕の乙 4 公報記載の発明と対比すると、次の点で相違する。

- a 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに 1 層ある点。
- b 外部接続端子は配線の絶縁性支持体側の面に備えられている点。
- c 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点。
- d 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁

性支持体が露出している点。

e 外部接続端子は半導体素子搭載領域に設けられている点。

f 同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列され複数個を一括して封止可能なブロックが形成されており、同一のブロックが複数個設けられている点。

(ウ) 乙4公報記載の発明に基づく容易想到性の有無

そうすると、乙4公報記載の発明と本件訂正発明1とは、配線や外部との接続構造が全く異なっているから、乙4公報記載の発明に基づいて本件訂正発明1を容易に想到することはできなかった。

ウ 本件特許権1の無効事由の解消

したがって、本件訂正1により、本件特許権1の無効事由は解消された。

(2) 被告の反論

本件訂正1によっても本件特許権1の無効事由は解消されていない。以下、詳述する。

ア 乙1公報記載の発明との対比における新規性、進歩性の欠如

本件訂正発明1の技術的特徴は、訂正前の本件発明1と同様、外部接続端子が半導体素子搭載領域に設けられている点にあり、構成要件㊦Ⅰ、㊦Ⅱ、㊦Ⅰないしiv、㊦Ⅰ、㊦Ⅱは、この本件発明1の技術的特徴自体を本質的に限定するものではない。本件訂正発明1の上記の技術的特徴は、乙1公報の図1により開示されている。そして、本件発明1の本件訂正1に係る事項は、このような技術的特徴と関係のない些末な要素に関するものであるから、本件訂正発明1は、乙1公報記載の発明と実質的に同一であり、又は乙1公報記載の発明及び周知技術に基づき、当業者が容易に発明をすることができたものである。

イ 乙42公報記載の発明との対比における進歩性の欠如

本件訂正発明1は、当業者が乙42公報（特開昭61-177759号

公報，昭和 6 1 年（1 9 8 6 年）8 月 9 日公開，発明の名称：半導体装置）  
及び周知技術に基づいて容易に発明をすることができた。以下，詳述する。

（ア） 乙 4 2 公報記載の発明

乙 4 2 公報の実施例及び図面によれば，乙 4 2 公報には，次の構成を備える発明が記載されている。

- a ガラスエポキシ基板により構成されるベース 1 と金属箔から形成される複数のメタライズ層 6 とを備える，半導体素子 3 を固着した半導体素子搭載用基板。
- b 半導体素子 3 を搭載する領域と，外側の S i 系ゲル 9 により被覆された半導体パッケージ領域。
- c 1 層のメタライズ層 6 は，ベース 1 の半導体素子 3 を搭載する面側のみにある。
- d メタライズ層 6 は，コネクタワイヤボンディング部と，アウターリード 4 に接続する端子とをベース 1 上に形成されるメタライズ層 6 の一部とした配線パターンを備えている。
- e アウターリード接続部分はメタライズ層 6 のベース 1 側の面に備えられ，コネクタワイヤボンディング部はその反対側（素子側）の面に備えられている。
- f アウターリード 4 に接続する端子の形成される箇所のベース 1 に，アウターリード 4 に接続する端子に達するスルーホールがベース 1 に穿設され，スルーホールの半導体素子搭載面側は，メタライズ層 6 で覆われており，スルーホールの側壁にベース 1 が露出している。
- g コネクタワイヤボンディング部は S i 系ゲル 9 により被覆される半導体パッケージ領域に設けられ，アウターリード 4 に接続する端子は半導体素子 3 搭載領域に設けられている。

（イ） 乙 4 2 公報記載の発明と本件訂正発明 1 の一致点，相違点

乙４２公報記載の発明と本件訂正発明１の一致点、相違点は、次のとおりである。

a 一致点

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみに１層あり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記開口部の側壁に上記絶縁性支持体が露出しており、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられている点。

b 相違点

(a) 相違点①

本件訂正発明１は、半導体素子搭載用基板において半導体素子搭載領域と半導体パッケージ領域が複数組備えられているが、乙４２公報記載の発明には、複数組備えられていることが明示されていない

い点。

(b) 相違点②

本件訂正発明 1 は、配線が銅箔により形成されているが、乙 4 2 公報記載の発明には、そのことが明示されていない点。

(c) 相違点③

本件訂正発明 1 は、絶縁性支持体がポリイミドフィルムにより形成されているが、乙 4 2 公報記載の発明には、そのことが明示されていない点。

(d) 相違点④

本件訂正発明 1 は、同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列され、複数個を一括して封止可能なブロックが形成されており、同一の上記ブロックが複数個設けられているが、乙 4 2 公報記載の発明には、そのことが明示されていない点。

(ウ) 相違点に係る技術の周知性

a 相違点①について

半導体素子搭載用基板において半導体素子搭載領域と半導体パッケージ領域が複数組備えられていることは、乙 4 ないし 8、4 7 ないし 5 1 に記載されており、周知であった。

b 相違点②について

配線を銅箔により形成することは、乙 7、4 4、4 5、5 8、5 9 に記載されており、周知であった。

c 相違点③について

絶縁性支持体をポリイミドフィルムにより形成することは、乙 7、8、4 5、5 8、5 9 に記載されており、周知であった。

d 相違点④について



同一の配線パターンを有する半導体素子搭載領域と半導体パッケージ領域が複数個配列されることは、乙４ないし８，４７ないし５１に記載されており，周知であった。また，これらの複数個を一括して封止可能な複数ブロックが複数個設けられることも，乙６０ないし６３に記載されており，周知であった。

(エ) 容易想到性

前記(ウ)〔本判決８８頁〕のとおり，相違点に係る技術はいずれも周知であった。また，乙４２公報には，「発明の概要」を記載した欄に，「チップの下部にもアウターリードを垂直に出した構成・・・としたので，・・・パッケージサイズも小型化可能となる。」（２頁右上欄３ないし９行）と記載されており，半導体パッケージを小型化するという本件訂正発明１と同様の作用効果が記載されている。したがって，乙４２公報記載の発明に周知技術を適用して本件訂正発明１を構成することは，当業者にとって容易に想到し得たものである。

(3) 原告の再反論

乙４２公報記載の発明に周知技術を適用して本件訂正発明１を構成することは，当業者にとって容易に想到することはできなかった。以下，詳述する。

ア 乙４２公報記載の発明について

本件各訂正発明は，その特許請求の範囲の記載にあるとおり半導体素子搭載用の基板についての発明であって，その基本的な構成は，ポリイミドフィルムの上面（半導体素子を搭載する側を上面とし，反対側を下面とする）に銅箔からなる配線パターンを設け，その一端の上面をワイヤボンディング端子とし，他端の下面を外部接続端子とし，基板であるポリイミドフィルムの当該部分に該当する位置に開口部を設けて，外部と電氣的に接続できるようにしておくというものである。これに対して，乙４２公報記載の発明は，半導体素子を搭載した半導体装置であるが，そのうちの基板

の部分の構成をみると、ガラスエポキシのベース（基板）の上面にメタライズ層からなる配線パターンを設け、その一端の上面をワイヤボンディング端子とし、他端をベースに穿設されたスルーホールに電氣的に接続する。そして、このスルーホールにアウターリードを挿入し、スルーホールの下部につながる裏面配線とアウターリードとをはんだ付したというものである。ここで、スルーホールとは、側壁にめっき等による導電層を有する貫通孔のことである。

そこで、本件各訂正発明と乙４２公報記載の発明を対比すると、ポリイミドフィルムのような薄い素材では、アウターリードを挿入し保持・固定するスルーホールを設けることは困難であり、そもそも基板の材質が異なっている。そして、配線について、本件各訂正発明では基板の上面のみに設けられているのに対し、乙４２公報記載の発明では、電氣的接続経路が、コネクタワイヤ→メタライズ層→スルーホール→アウターリード、又はコネクタワイヤ→メタライズ層→スルーホール→下面配線→はんだ→アウターリードの順となり、基板の下面にも下面配線が設けられている。このように、基板として、両者は技術的に基本的発想が異なっている。

そうすると、乙４２公報記載の発明は、半導体素子を搭載する面の反対側の下面にも配線が設けられているから、ベース１の半導体素子３を搭載する面側のみに、メタライズ層６からなる複数の配線が設けられていること（前記(2)イ(ア)ｃ，ｄ〔本判決８６頁〕）はない。

また、乙４２公報の第３図に示されているように、スルーホールに対面する部分のメタライズ層６は空孔となっており、メタライズ層６はスルーホールを覆っていない。そのため、乙４２公報記載の発明において、アウターリード４に接続されているのは、電氣的にも物理的にもスルーホールであり、メタライズ層６の下面にアウターリード４に接続する端子は存在しないから、アウターリード４に接続する端子は半導体素子３の搭載領域

のメタライズ層 6 の下面に設けられること（前記(2)イ(ア) e , g [本判決 8 6 頁]) はないし、スルーホール 3 の半導体素子 3 を搭載する面側がメタライズ層 6 で覆われていること（前記(2)イ(ア) f [本判決 8 6 頁]) はない。そのため、乙 4 2 公報記載の発明においては、外部接続端子に該当するのは、アウターリード 4 ということになる。

イ 乙 4 2 公報記載の発明と本件訂正発明 1 の一致点、相違点について

前記ア [本判決 8 9 頁] のとおり、乙 4 2 公報記載の発明においては、半導体素子を搭載する面の反対側である下面にも配線があるから、「上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、」（前記(2)イ(イ) a [本判決 8 7 頁]) との点は一致点ではなく、相違点である。

また、乙 4 2 公報記載の発明においては、アウターリード 4（リードピン）が外部接続端子に該当するから、外部接続端子は絶縁性支持体上に形成される配線の一部ではない。仮にスルーホールの側壁（めっき等が施されている部分）を外部接続端子とした場合でも同様である。そうすると、「上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え」、「上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ」、「上記ワイヤボンディング端子はその反対側の面に備えられ」、「上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており」（前記(2)イ(イ) a [本判決 8 7 頁]) との点は、一致点ではなく、相違点である。

ウ 絶縁性支持体の開口部側壁への露出に関する相違点について

(ア) 本件訂正発明 1 では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙 4 2 公報記載の発明では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出し

ているか否かを明記しておらず、この点は、本件訂正発明１と乙４２公報記載の発明の相違点である。

(イ) 本件訂正発明１は、製品としての半導体素子搭載用基板において、開口部の側壁に絶縁性支持体が露出しているのに対し、乙４２公報記載の発明では、製品としての状態で、スルーホールの側壁にはめっき等による導電層が形成される。

すなわち、本件訂正発明１は、半導体素子搭載用基板に関する発明であって、半導体素子を直ちに搭載できる状態であることが必要である。本件訂正発明１に係る半導体素子搭載用基板は、開口部の側壁に絶縁性支持体が露出しているが、半導体素子を搭載できる状態にあり、この基板に半導体素子を接着し、半導体素子の外部端子とワイヤボンディング端子とを電氣的に接続し、パッケージ領域に該当する部分に半導体封止用エポキシ樹脂を用いて配線パターンを一括封止した後、外部接続端子にはんだボールを形成して外部接続用バンプを形成し、各パッケージ部に分離するものである。そのため、開口部の側壁に絶縁性支持体が露出している基板は、半導体素子搭載用基板の製造工程におけるある時点での基板の状態ではなく、本件訂正発明１の半導体素子搭載用基板そのものである。

これに対し、乙４２公報記載の発明は、半導体素子搭載領域にアウターリードを設ける構造となっているため、半導体素子を搭載した後でアウターリードを打ち込むことは極めて困難であり、アウターリードが備わっている状態でなければ半導体素子搭載基板とはいえない。そして、乙４２公報に「上記メタライズ層６と、アウターリード４とを、ベース１に穿設されたスルーホールを介して電氣的に接続している」（２頁右下欄１ないし３行）と記載されているように、アウターリードを打ち込む際には、スルーホールは、メタライズ層６とアウターリード４とを電

氣的に接続するために、めっき等により側壁に導電層が形成されていなければならないから、乙４２公報記載の発明の半導体素子搭載用基板は、スルーホールの側壁にベースが露出された状態にはならない。なお、スルーホールは、両面銅張積層板に孔を穿設し、次いで孔の側壁を含めめっきすることによって形成されるものであり、この時点では、まだ配線は形成されておらず、そのため、孔が穿設された段階、及び次のスルーホール形成の段階においては、半導体素子搭載用基板とはいえない。

(ウ) 前記(ア)〔本判決９１頁〕の相違点について、スルーホールの側壁にめっき等による導電層が形成されている乙４２公報記載の発明から、開口部の側壁に絶縁性支持体が露出している本件訂正発明１を想到することは、容易とはいえない。

#### エ 容易想到性について

したがって、乙４２公報記載の発明に周知技術を適用して本件訂正発明１を構成することは、当業者にとって容易に想到することはできなかった。

### 11 争点(5)イ（本件訂正２による本件特許権２の無効事由の解消の有無）

#### (1) 原告の主張

本件訂正２により本件特許権２の無効事由は解消された。以下、詳述する。

#### ア 乙４公報記載の発明

乙４公報記載の発明は、次のとおりである。

「配線回路部と前記配線回路部を複数個を連結するための連結部とにより構成され、前記配線回路部及び前記連結部は、絶縁基板に配線導体が設けられた配線基板と、不要部が除去加工された絶縁体とを接着積層して形成され、配線回路部の配線基板には、集積回路素子を搭載する凹部が設けられ、配線回路部の配線導体は、配線基板の凹部が設けられた側の絶縁基板表面の回路パターン及び該回路パターンに設けられたワイヤボンディング端子、絶縁基板裏面の外部接続用端子パターン、及び、スルーホールを有

し、集積回路素子及び接続部は、封止樹脂により保護される部分であり、連結部は、その配線基板の少なくとも一方面に設けられた金属層、及び、隣接する配線回路部間に対応する位置に形成された穴を有する複合配線基板。」

イ 本件訂正発明 2

本件訂正発明 2（前記第 2， 2 (11) イ [本判決 1 6 頁]）を構成要件に分説すると、次のとおりである。

サ I それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、

サ II 上記半導体素子実装基板部間を連結するための連結部と、

サ III 位置合わせマーク部とを備え、

㊦ I 上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と、上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、

㊦ II 上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

㊦ III 上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え、

㊦ iv 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

㊦ v 上記ワイヤボンディング端子はその反対側の面に備えられ、

㊦ vi 上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

⑤vii 上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、

ス 上記連結部は導電層を有する

ことを特徴とする半導体素子実装用基板。

ウ 乙4公報記載の発明と本件訂正発明2の対比

本件訂正発明2は、前記ア〔本判決93頁〕の乙4公報記載の発明と対比すると、次の点で相違する。

a 半導体素子搭載領域に設けられた外部接続端子である点。

b 配線は銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに1層ある点。

c 外部接続端子は配線の絶縁性支持体側の面に備えられる点。

d 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点。

e 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点。

エ 乙4公報記載の発明に基づく容易想到性の有無

そうすると、乙4公報記載の発明と本件訂正発明2とは、配線や外部との接続構造が全く異なっているから、乙4公報記載の発明に基づいて本件訂正発明2を容易に想到することはできなかった。

オ 本件特許権2の無効事由の解消

したがって、本件訂正2により、本件特許権2の無効事由は解消された。

(2) 被告の反論

本件訂正2によっても本件特許権1の無効事由は解消されていない。以下、詳述する。

ア 乙1公報記載の発明との対比における進歩性の欠如

本件訂正発明 2 の技術的特徴は、訂正前の本件発明 1 と同様、外部接続端子が半導体素子搭載領域に設けられている点にあり、構成要件⑤ I ないし vii は、この本件発明 2 の技術的特徴自体を本質的に限定するものではない。本件訂正発明 2 の上記の技術的特徴は、乙 1 公報の図 1 により開示されている。そして、本件発明 2 の本件訂正 2 に係る事項は、このような技術的特徴ではない些末な要素に関するものであるから、本件訂正発明 2 は、乙 1 公報記載の発明及び周知技術に基づき、当業者が容易に発明をすることができたものである。

イ 乙 4 2 公報記載の発明との対比における進歩性の欠如

本件訂正発明 2 は、当業者が乙 4 2 公報及び公知文献に基づいて容易に発明をすることができた。以下、詳述する。

(ア) 乙 4 2 公報記載の発明

乙 4 2 公報の実施例及び図面によれば、乙 4 2 公報には、次の構成を備える発明が記載されている。

- a 半導体素子を搭載するためのベース 1 及び金属箔から形成されるメタライズ層 6。
- b 半導体チップ 3 を固着するベース 1、コネクタワイヤボンディング部を被覆する領域、該被覆領域のコネクタワイヤ 7、チップの下部にあるアウターリード 4 に接続する端子を含むメタライズ層 6、並びにベース 1。
- c 1 層のメタライズ層 6 は、ベース 1 の半導体素子 3 を搭載する面側のみにある。
- d メタライズ層 6 は、コネクタワイヤボンディング部と、アウターリード 4 に接続する端子とをベース 1 上に形成されるメタライズ層 6 の一部とした配線パターンを備えている。
- e アウターリード接続部分はメタライズ層 6 のベース 1 側の面に備え



られ、コネクタワイヤボンディング部はその反対側（素子側）の面に備えられている。

- f アウターリード４に接続する端子の形成される箇所のベース１に、アウターリード４に接続する端子に達するスルーホールがベース１に穿設され、スルーホールの半導体素子搭載面側は、メタライズ層６で覆われており、スルーホールの側壁にベース１が露出している。

(イ) 乙４２公報記載の発明と本件訂正発明２の一致点、相違点

乙４２公報記載の発明と本件訂正発明２の一致点、相違点は、次のとおりである。

a 一致点

それぞれ半導体素子を搭載するための、半導体素子実装基板部を備え、

上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と、上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみに１層あり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭

載する面側は、上記外部接続端子で覆われており、  
上記開口部の側壁に上記絶縁性支持体が露出している点。

b 相違点

(a) 相違点①

本件訂正発明 2 は、複数個の半導体素子実装基板部が備えられているが、乙 4 2 公報記載の発明には、複数個備えられていることが明示されていない点。

(b) 相違点②

本件訂正発明 2 は、半導体素子実装基板間を連結するための連結部と、位置合わせマーク部とを備えるが、乙 4 2 公報記載の発明ではそのことが明示されていない点。

(c) 相違点③

本件訂正発明 2 は、配線を銅箔により形成するが、乙 4 2 公報記載の発明ではそのことが明示されていない点。

(d) 相違点④

本件訂正発明 2 は、絶縁性支持体であるベース 1 をポリイミドフィルムにより形成するが、乙 4 2 公報記載の発明ではそのことが明示されていない点。

(e) 相違点⑤

本件訂正発明 2 は、連結部が導電層を有するが、乙 4 2 公報記載の発明ではそのことが明示されていない点。

(ウ) 相違点に係る技術の周知性

a 相違点①について

半導体素子搭載用基板において半導体素子搭載領域と半導体パッケージ領域が複数組備えられていることは、乙 4 ないし 8、4 7 ないし 5 1 に記載されており、周知であった。

b 相違点②について

連結部及び位置合わせマーク部は、乙 4 ないし 8 に記載されており、周知であった。

c 相違点③について

配線を銅箔により形成することは、乙 7, 44, 45, 58, 59 に記載されており、周知であった。

d 相違点④について

絶縁性支持体であるベース 1 をポリイミドフィルムにより形成することは、乙 7, 8, 45, 58, 59 に記載されており、周知であった。

e 相違点⑤について

連結部に導電部が形成されていることは、乙 4 ないし乙 8 に記載されており、周知であった。

(エ) 容易想到性

前記(ウ)〔本判決 98 頁〕のとおり、相違点に係る技術はいずれも周知であった。また、乙 42 公報には、「発明の概要」を記載した欄に、「チップの下部にもアウターリードを垂直に出した構成・・・としたので、・・・パッケージサイズも小型化可能となる。」(2 頁右上欄 3 ないし 9 行)と記載されており、半導体パッケージを小型化するという本件訂正発明 2 と同様の作用効果が記載されている。したがって、乙 42 公報記載の発明に周知技術を適用して本件訂正発明 2 を構成することは、当業者にとって容易に想到し得たものである。

(3) 原告の再反論

前記 10 (3) ア, イ〔本判決 89, 91 頁〕と同様に、乙 42 公報記載の発明と本件訂正発明 2 の対比において、「上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、」, 「上記配線は、ワイヤボンデ

ィング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え」、「上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ」、「上記ワイヤボンディング端子はその反対側の面に備えられ」、「上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており」（前記(2)イ(イ) a [本判決 9 7 頁]）との点は、いずれも一致点ではなく、相違点である。

## 12 争点(5)ウ（本件訂正 3 による本件特許権 3 の無効事由の解消の有無）

### (1) 原告の主張

本件訂正 3 により本件特許権 3 の無効事由は解消された。以下、詳述する。

#### ア 乙 1 公報記載の発明

乙 1 公報記載の発明は、次のとおりである。

「樹脂基板に、半導体素子が搭載される領域と、その外側に樹脂により封止される領域を有し、該樹脂基板の片面に複数の配線が設けられ、該樹脂により封止される領域に素子接続用端子が設けられ、該半導体素子が搭載される領域にめっきが施されたスルーホールが設けられ、該配線が素子接続用端子とスルーホールとをつなぐ配線パターンを含む P G A 基板。」

#### イ 本件訂正発明 3

本件訂正発明 3（前記第 2， 2 (11) ウ [本判決 1 7 頁]）を構成要件に分説すると、次のとおりである。

ナ 絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

ニ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

⊗ I 上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

⊗ II 上記配線は、上記半導体パッケージ領域に形成されるワイヤボンデ

ィング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、

㊦Ⅰ 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

㊦Ⅱ 上記ワイヤボンディング端子はその反対側の面に備えられ、

㊦Ⅲ 上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

㊦Ⅳ 上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出している

ことを特徴とする半導体素子搭載用基板。

ウ 乙１公報記載の発明と本件訂正発明３の対比

本件訂正発明３は、乙１公報記載の発明と次の点で相違する。

a 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備える点。

b 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに１層ある点。

c 外部接続端子は配線の上記絶縁性支持体側の面に備えられる点。

d 外部接続端子の形成される箇所の上記絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点。

e 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点。

エ 乙１公報記載の発明に基づく容易想到性の有無

そうすると、乙１公報記載の発明と本件訂正発明３とは、配線や外部との接続構造が全く異なっているから、乙１公報記載の発明に基づいて本件

訂正発明 3 を容易に想到することはできなかった。

オ 本件特許権 3 の無効事由の解消

したがって、本件訂正 3 により、本件特許権 3 の無効事由は解消された。

(2) 被告の反論

本件訂正 3 によっても本件特許権 3 の無効事由は解消されていない。以下、詳述する。

ア 乙 1 公報記載の発明との対比における進歩性の欠如

本件訂正発明 3 の技術的特徴は、訂正前の本件発明 3 と同様、外部接続端子が半導体素子搭載領域に設けられている点にあり、構成要件ナ、㊸ I，㊸ II，ネ I ないし iv は、この本件訂正発明 3 の技術的特徴自体を限定するものではない。本件訂正発明 3 の上記の技術的特徴は、乙 1 公報の図 1 により開示されている。そして、本件発明 3 の本件訂正 3 に係る事項は、このような技術的特徴ではない些末な要素に関するものであるから、本件訂正発明 3 は、乙 1 公報記載の発明及び周知技術に基づき、当業者が容易に発明をすることができたものである。

イ 乙 4 2 公報記載の発明との対比における進歩性の欠如

本件訂正発明 3 は、当業者が乙 4 2 公報及び公知文献に基づいて容易に発明をすることができた。以下、詳述する。

(ア) 乙 4 2 公報記載の発明

乙 4 2 公報の実施例及び図面によれば、乙 4 2 公報には、次の構成を備える発明が記載されている。

- a ガラスエポキシ基板により構成されるベース 1 と、ベース 1 の片面のみに形成された金属箔から形成される複数のメタライズ層 6 とを備える、半導体素子 3 を固着した半導体素子搭載用基板。
- b 半導体素子 3 を搭載する領域と、外側の S i 系ゲル 9 により被覆された半導体パッケージ領域。

- c   メタライズ層 6 は，ベース 1 の半導体素子 3 を搭載する面側のみにある。
  - d   メタライズ層 6 は，S i 系ゲル 9 により被覆される半導体パッケージ領域に設けられたコネクタワイヤボンディング部と，半導体素子搭載領域に設けられたアウターリード 4 に接続する端子及びそれらをつなぐ配線を配線の一部として備えている。
  - e   アウターリード接続部分はメタライズ層 6 のベース 1 側の面に備えられ，コネクタワイヤボンディング部はその反対側（素子側）の面に備えられている。
  - f   アウターリード 4 に接続する端子の形成された箇所のベース 1 に，アウターリード 4 に接続する端子に達するスルーホールがベース 1 に穿設され，スルーホールの半導体素子搭載面側は，メタライズ層 6 で覆われており，スルーホールの側壁にベース 1 が露出している。
- (イ)   乙 4 2 公報記載の発明と本件訂正発明 3 の一致点，相違点

乙 4 2 公報記載の発明と本件訂正発明 3 の一致点，相違点は，次のとおりである。

a   一致点

絶縁性支持体と，その片面に形成された複数の配線とを備える半導体素子搭載用基板において，

半導体素子搭載領域と，該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを，備え，

上記配線は，上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり，

上記配線は，上記半導体パッケージ領域に形成されるワイヤボンディング端子と，上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記開口部の側壁に上記絶縁性支持体が露出している点。

b 相違点

(a) 相違点①

本件訂正発明 3 は、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備えるが、乙 4 2 公報記載の発明には、複数組備えることが明示されていない点。

(b) 相違点②

本件訂正発明 3 は、配線が銅箔により形成されているが、乙 4 2 公報記載の発明には、そのことが明示されていない点。

(c) 相違点③

本件訂正発明 3 は、絶縁性支持体がポリイミドフィルムにより形成されているが、乙 4 2 公報記載の発明には、そのことが明示されていない点。

(ウ) 相違点に係る技術の周知性

a 相違点①について

半導体素子搭載用基板において半導体素子搭載領域と半導体パッケージ領域が複数組備えられていることは、乙 4 ないし 8、4 7 ないし 5 1 に記載されており、周知であった。

b 相違点②について



配線を銅箔により形成することは、乙 7, 44, 45, 58, 59 に記載されており、周知であった。

c 相違点③について

絶縁性支持体であるベース 1 をポリイミドフィルムにより形成することは、乙 7, 8, 45, 58, 59 に記載されており、周知であった。

(エ) 容易想到性

前記(ウ)〔本判決 104 頁〕のとおり、相違点に係る技術はいずれも周知であった。また、乙 42 公報には、「発明の概要」を記載した欄に、「チップの下部にもアウターリードを垂直に出した構成・・・としたので、・・・パッケージサイズも小型化可能となる。」(2 頁右上欄 3 ないし 9 行)と記載されており、半導体パッケージを小型化するという本件訂正発明 3 と同様の作用効果が記載されている。したがって、乙 42 公報記載の発明に周知技術を適用して本件訂正発明 3 を構成することは、当業者にとって容易に想到し得たものである。

(3) 原告の再反論

前記 10 (3) ア, イ〔本判決 89, 91 頁〕と同様に、乙 42 公報記載の発明と本件訂正発明 3 の対比において、「上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり,」,「上記配線は、上記半導体パッケージ領域に形成されるワイヤボンディング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え,」,「上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ,」,「上記ワイヤボンディング端子はその反対側の面に備えられ,」,「上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており」(前記(2)イ(イ) a〔本判決 103 頁〕)との点は、いずれも一致点ではなく、相違点である。

13 争点(6) (本件各訂正発明の構成要件充足性) ア (本件訂正発明 1 の構成要件充足性)

(1) 原告の主張

ア 本件各訂正発明の構成要件と対比するための被告製品の特

被告製品は、構成 A ないし D, F' により特定され (前記第 2, 2 (6) [本判決 10 頁]), 構成 E' (前記第 3, 2 (1) [本判決 31 頁]) をも備えるが、更に、次の G ないし L の構成をも備えるものであって、本件各訂正発明の構成要件と対比するための被告製品の構成は、次のとおりである。

A 被告製品は、絶縁性フィルム状支持体 1 と、その片面に形成された配線部 2 を有し、複数の配線パターン部 P がマトリクス状に配置される。

B それぞれの配線パターン部 P 内の配線部 2 は、少なくとも、①ランド部 2 1, ②ワイヤボンディング接続端子 2 2, ③配線 2 3 を備える。

① ランド部 2 1

ランド部 2 1 の下面に位置する部分に、ランド部 2 1 に達する開口部 1 1 が設けられ、ハンダボール等で外部と接続する。

② ワイヤボンディング接続端子 2 2

ワイヤ 3 によって、半導体素子と配線部 2 とを接続する。

③ 配線 2 3

ランド部 2 1 とワイヤボンディング接続端子 2 2 とを接続する。

C 被告製品の半導体素子搭載用基板は、絶縁性フィルム状支持体 1 の上に同一形状の配線パターン部 P が多数並び、各配線パターン部 P は連結部 8 によって連結され、この連結部 8 は、各配線パターン部 P を連結するほか、目印 1 0 及び導電部 6 を設け、導電部 6 は、給電部 9 を介して配線部 2 と接続する。

D 絶縁性フィルム状支持体 1 の両側には、絶縁性フィルム状支持体 1 を定量送りするために用いられるスプロケットホール 7 が設けられる。

E' 半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。

F' 複数の配線パターン部 P がマトリクス状に配置された所定の箇所に目印 1 0 が位置する。

G 樹脂封止予定部 5 は、半導体素子搭載予定部 4 の外側に位置し、同じ配線パターンを有する半導体素子搭載予定部 4 及び樹脂封止予定部 5 が、多数配列され、その複数個を一括して封止可能なブロックが形成されており、このブロックが複数個設けられている。

H 配線部 2 は銅箔から形成されており、絶縁性フィルム状支持体 1 の半導体素子の搭載が予定される面側にのみ 1 層ある。

I 外部接続端子は、配線部 2 のランド部 2 1 の下面、すなわち絶縁性フィルム状支持体 1 側の面に備えられている。

J ワイヤボンディング接続端子 2 2 は、絶縁性フィルム状支持体 1 側とは反対側の面に備えられている。

K ランド部 2 1 の下面にあたる部分の絶縁性フィルム状支持体 1 に、ランド部 2 1 に達する開口部 1 1 が設けられ、この支持体 1 の半導体素子を搭載する面の側は、ランド部 2 1 で覆われている。

L 絶縁性フィルム状支持体 1 はポリイミドフィルムであって、ランド部 2 1 に達する開口部 1 1 の側壁に、この支持体 1 が露出している。

イ 本件訂正発明 1 の構成要件充足性

以下のとおり、被告製品は、本件訂正発明 1 の構成要件を充足する。

(ア) 構成要件ア

被告製品の構成 A、C によれば、被告製品は、絶縁性フィルム状支持体 1 と、複数の配線パターン部 P を備える配線部 2 を有する半導体素子搭載用の基板である。したがって、被告製品は、構成要件ア（絶縁性支

持体と複数の配線とを備える半導体素子搭載用基板において,)を充足する。

(イ) 構成要件イ

被告製品の構成E', Gによれば, 被告製品において, 半導体素子搭載予定部4と, その外側に位置する樹脂封止予定部5とが, 多数配列されている。したがって, 被告製品は, 構成要件イ(半導体素子搭載領域と, 該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを, 複数組備え,)を充足する。

(ウ) 構成要件㊦ I

被告製品の構成Hによれば, 被告製品において, 配線部2は銅箔から形成されており, 絶縁性フィルム状支持体1の半導体素子の搭載が予定される面側にのみ1層ある。したがって, 被告製品は, 構成要件㊦ I(上記配線は銅箔から形成される配線であって, 上記絶縁性支持体の半導体素子を搭載する面側のみに1層あり,)を充足する。

(エ) 構成要件㊦ II

構成Bによれば, 被告製品において, 配線部2は, ワイヤボンディング接続端子22と外部接続端子とを, 絶縁性フィルム状支持体1上に形成される配線部2の一部とした配線パターンを備えている。したがって, 被告製品は, 構成要件㊦ II(上記配線は, ワイヤボンディング端子と, 外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え,)を充足する。

(オ) 構成要件㊦ I

構成Iによれば, 被告製品において, 外部接続端子は, 配線部2のランド部21の下面, すなわち絶縁性フィルム状支持体1側の面に備えられている。したがって, 被告製品は, 構成要件㊦ I(上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ,)を充足する。

(カ) 構成要件⑤Ⅱ

構成Jによれば、被告製品において、ワイヤボンディング接続端子22は、絶縁性フィルム状支持体1側とは反対側の面に備えられている。したがって、被告製品は、構成要件⑤Ⅱ（上記ワイヤボンディング端子はその反対側の面に備えられ、）を充足する。

(キ) 構成要件⑤Ⅲ

構成Kによれば、被告製品において、ランド部21の下面にあたる部分の絶縁性フィルム状支持体1に、ランド部21に達する開口部11が設けられ、この支持体1の半導体素子を搭載する面の側は、ランド部21で覆われている。したがって、被告製品は、構成要件⑤Ⅲ（上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、）を充足する。

(ク) 構成要件⑤iv

構成Lによれば、被告製品において、絶縁性フィルム状支持体1はポリイミドフィルムであって、ランド部21に達する開口部11の側壁に、この支持体1が露出している。したがって、被告製品は、構成要件⑤iv（上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、）を充足する。

(ケ) 構成要件⑤v

構成E'によれば、被告製品において、樹脂封止予定部5内にワイヤボンディング接続端子22がある。したがって、被告製品は、構成要件⑤v（上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、）を充足する。

(コ) 構成要件⑤vi

構成E'によれば、半導体素子搭載予定部4内にランド部21がある。

したがって、被告製品は、構成要件⑤ vi（上記外部接続端子は上記半導体素子搭載領域に設けられ、）を充足する。

（サ） 構成要件④ I

構成Gによれば、同じ配線パターンを有する半導体素子搭載予定部4及び樹脂封止予定部5が、多数配列され、その複数個を一括して封止可能なブロックが形成されている。したがって、被告製品は、構成要件④ I（同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され上記複数個を一括して封止可能なブロックが形成されており、）を充足する。

（シ） 構成要件④ II

構成Gによれば、同じ配線パターンを有する半導体素子搭載予定部4及び樹脂封止予定部5が、多数配列され、その複数個を一括して封止可能なブロックが形成されており、このブロックが複数個設けられている。したがって、被告製品は、構成要件④ II（同一の上記ブロックが複数個設けられている）を充足する。

（ス） 半導体素子搭載用基板

構成Cによれば、被告製品は半導体素子搭載用基板である。

（セ） 構成要件充足性

したがって、被告製品は、本件訂正発明1の構成要件をすべて充足し、本件訂正発明1の技術的範囲に属する。

（2） 被告の反論

被告製品が本件訂正発明1の技術的範囲に属することは争う。そもそも、本件各訂正が特許庁により認められていない段階で、技術的範囲の充足性を議論することは無意味である。

14 争点(6)イ（本件訂正発明2の構成要件充足性）

（1） 原告の主張

以下のとおり、被告製品は、本件訂正発明２の構成要件を充足する。

ア 構成要件サⅠ

被告製品の構成Ｃによれば、被告製品において、半導体素子を搭載するための基板部である配線パターン部Ｐが、多数ある。したがって、被告製品は、構成要件サⅠ（それぞれ半導体素子を搭載するための、複数の半導体素子実装基板部と、）を充足する。

イ 構成要件サⅡ

被告製品の構成Ｃによれば、被告製品において、半導体素子を搭載する各基板部間に、連結部８がある。したがって、被告製品は、構成要件サⅡ（上記半導体素子実装基板部間を連結するための連結部と、）を充足する。

ウ 構成要件サⅢ

被告製品の構成Ｄ，Ｆ’によれば、被告製品において、位置合わせの機能を有するスプロケットホール７及び目印１０がある。したがって、被告製品は、構成要件サⅢ（位置合わせマーク部とを備え、）を充足する。

エ 構成要件㊟Ⅰ

被告製品の構成Ａ，Ｂ，Ｅ’，Ｇによれば、被告製品において、半導体素子を搭載する各基板部は、半導体素子搭載予定部４，その外側に位置する樹脂封止予定部５，及び樹脂封止予定部５に設けられたワイヤボンディング接続端子２２と，半導体素子搭載予定部４に設けられたランド部２１を含む配線部２，並びに絶縁性フィルム状支持体１を備えている。したがって、被告製品は，構成要件㊟Ⅰ（上記半導体素子実装基板部は，半導体素子搭載領域，上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域，及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と，上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、）を充足する。

オ 構成要件㊟Ⅱ

被告製品の構成Hによれば、被告製品において、配線部2は銅箔から形成されており、絶縁性フィルム状支持体1の半導体素子の搭載が予定される面側にのみ1層ある。したがって、被告製品は、構成要件㊦II（上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに1層あり、）を充足する。

カ 構成要件㊦III

被告製品の構成B，Iによれば、被告製品において、配線は、ワイヤボンディング接続端子22と、外部接続端子とを絶縁性フィルム状支持体1の上に形成される配線部2の一部として備える。したがって、被告製品は、構成要件㊦III（上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え、）を充足する。

キ 構成要件㊦iv

被告製品の構成Iによれば、被告製品において、外部接続端子は、配線部2のランド部21の下面，すなわち絶縁性フィルム状支持体1側の面に備えられている。したがって、被告製品は、構成要件㊦iv（上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、）を充足する。

ク 構成要件㊦v

被告製品の構成Jによれば、被告製品において、ワイヤボンディング接続端子22は、絶縁性フィルム状支持体1側とは反対側の面に備えられている。したがって、被告製品は、構成要件㊦v（上記ワイヤボンディング端子はその反対側の面に備えられ、）を充足する。

ケ 構成要件㊦vi

被告製品の構成Kによれば、被告製品において、ランド部21の下面に当たる部分の絶縁性フィルム状支持体1に、ランド部21に達する開口部11が設けられ、この支持体1の半導体素子を搭載する面の側は、ランド部21で覆われている。したがって、被告製品は、構成要件㊦vi（上記外



部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており,)を充足する。

コ 構成要件㊦vii

被告製品の構成Lによれば、被告製品において、絶縁性フィルム状支持体1はポリイミドフィルムであって、ランド部21に達する開口部の側壁に、この支持体1が露出している。したがって、被告製品は、構成要件㊦vii(上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており,)を充足する。

サ 構成要件ス

被告製品の構成Cによれば、被告製品において、連結部8には、導電部6が形成されている。したがって、被告製品は、構成要件ス(上記連結部は導電層を有する)を充足する。

シ 半導体素子搭載用基板

構成Cによれば、被告製品は半導体素子搭載用基板である。

ス 構成要件充足性

したがって、被告製品は、本件訂正発明2の構成要件をすべて充足し、本件訂正発明2の技術的範囲に属する。

(2) 被告の反論

被告製品が本件訂正発明2の技術的範囲に属することは争う。

15 争点(6)ウ(本件訂正発明3の構成要件充足性)

(1) 原告の主張

以下のとおり、被告製品は、本件訂正発明3の構成要件を充足する。

ア 構成要件ナ

被告製品の構成Aによれば、被告製品は、絶縁性フィルム状支持体1と、その一方の面のみに形成される複数の配線部2とを備える半導体素子搭載

用の基板である。したがって、被告製品は、構成要件ナ（絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、）を充足する。

#### イ 構成要件ニ

被告製品の構成Gによれば、被告製品は、半導体素子搭載予定部4と、その外側に位置する樹脂封止予定部5とを多数組備えている。したがって、被告製品は、構成要件ニ（半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、）を充足する。

#### ウ 構成要件㊦Ⅰ

被告製品の構成Hによれば、被告製品において、配線部2は銅箔から形成されており、絶縁性フィルム状支持体1の半導体素子の搭載が予定される面側にのみ1層ある。したがって、被告製品は、構成要件㊦Ⅰ（上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに1層あり、）を充足する。

#### エ 構成要件㊦Ⅱ

被告製品の構成B、E'によれば、被告製品において、配線部2は、樹脂封止予定部5に設けられているワイヤボンディング接続端子22と、半導体素子搭載予定部4に設けられているランド部21と、両者を接続する配線23とを、配線2の一部として備えている。したがって、被告製品は、構成要件㊦Ⅱ（上記配線は、上記半導体パッケージ領域に形成されるワイヤボンディング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、）を充足する。

#### オ 構成要件㊦Ⅰ

被告製品の構成Iによれば、被告製品において、外部接続端子は、配線部2のランド部21の下面、すなわち絶縁性フィルム状支持体1側の面に

備えられている。したがって、被告製品は、構成要件㊦Ⅰ（上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、）を充足する。

カ 構成要件㊦Ⅱ

被告製品の構成Ⅱによれば、被告製品において、ワイヤボンディング接続端子２２は、絶縁性フィルム状支持体１側とは反対側の面に備えられている。したがって、被告製品は、構成要件㊦Ⅱ（上記ワイヤボンディング端子はその反対側の面に備えられ、）を充足する。

キ 構成要件㊦Ⅲ

被告製品の構成Ⅲによれば、被告製品において、ランド部２１の下面にあたる部分の絶縁性フィルム状支持体１に、ランド部２１に達する開口部１１が設けられ、この支持体１の半導体素子を搭載する面の側は、ランド部２１で覆われている。したがって、被告製品は、構成要件㊦Ⅲ（上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、）を充足する。

ク 構成要件㊦Ⅳ

被告製品の構成Ⅳによれば、被告製品において、絶縁性フィルム状支持体１はポリイミドフィルムであって、ランド部２１に達する開口部１１の側壁に、この支持体１が露出している。したがって、被告製品は、構成要件㊦Ⅳ（上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出している）を充足する。

ケ 半導体素子搭載用基板

被告製品の構成Ⅴによれば、被告製品は半導体素子搭載用基板である。

コ 構成要件充足性

したがって、被告製品は、本件訂正発明３の構成要件をすべて充足し、本件訂正発明３の技術的範囲に属する。

(2) 被告の反論

被告製品が本件訂正発明 3 の技術的範囲に属することは争う。

16 争点(7) (損害の発生及びその額)

(1) 原告の主張

ア 被告製品の販売額

被告は、被控訴人の関連会社として平成 14 年 4 月に設立され、以降、被告製品を製造し、被控訴人の名で販売している。

株式会社ジャパンマーケティングサーベイの「CSP/BGA マテリアル市場動向」によると、被控訴人のテープ CSP 基板（半導体チップを搭載又は実装するためのチップサイズパッケージ基板である「半導体素子搭載用基板」又は「半導体素子実装用基板」）の生産額は、米ドル建てで平成 14 年が 200 万ドル、平成 15 年が 200 万ドル、平成 16 年が 145 万ドルであり、年平均は約 180 万ドルで、円貨換算では 2 億円以上であった。被告は、本件各特許権の特許公報の発行日以後である平成 15 年 6 月 3 日から少なくとも約 2 年半、被告製品を製造、販売しているから、被告製品の販売額は、上記の生産額から推計すると、総額 5 億円を下らない。

イ 実施料率

本件各特許権の侵害による損害賠償額を算定する場合の実施料率は、8 %を下らない。

ウ 損害額

原告が被告による被告製品の製造販売によって受けた損害の金額は、被告製品の販売額（5 億円）に実施料率（8 %）を乗じた 4000 万円である。

(2) 被告の反論

ア 原告の主張ア（被告製品の販売額）のうち、被告が平成 14 年 4 月に設

立された被控訴人の関連会社であることは認め、その余は否認する。被告は、平成14年4月1日から同年6月30日まで、被控訴人に被告製品の製造を委託して、これを自社で販売しており、同年7月1日に被控訴人から被告製品の製造部門の移管を受け、同日から、自社で被告製品の製造、販売を行っていた。

イ 原告の主張イ（実施料率）は争う。

ウ 原告の主張ウ（損害額）は争う。

#### 第4 当裁判所の判断

##### 1 争点(1)（本件各発明の Fan-in タイプへの限定の有無）について

本件発明1の構成要件エ、本件発明2の構成要件シ、本件発明3の構成要件ヌは、Fan-in タイプに限定されるものではなく、Fan-in タイプの他 Fan-in/out タイプをも含む趣旨であると解する。以下、詳述する。

##### (1) Fan-in/out タイプを含む理由について

###### ア 特許請求の範囲の記載

本件発明1の構成要件エ（「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、」）、本件発明2の構成要件シ（「上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、」）、本件発明3の構成要件ヌ（「上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、」）は、その文言からすると、外部接続端子が半導体素子搭載領域に設けられていることは記載されているが、それを超えて、外部接続端子が半導体素子搭載領域のみに設けられていて樹脂封止用半導体パ

ッケージ領域（半導体パッケージ領域）には設けられていないこと，すなわち Fan-in タイプに限定する趣旨が記載されているとは，直ちには認められない。

#### イ 本件各明細書等の記載

##### （ア） 発明の詳細な説明の記載

本件各明細書の発明の詳細な説明には，次のとおり記載されている（甲 1 の 2， 2 の 2， 3 の 2）。

a 「一般に，入出力端子はパッケージの周辺に一系列配置するタイプと，周辺だけでなく内部まで多列に配置するタイプがある。前者は，QFP（Quad Flat Package）が代表的である。・・・後者のアレイタイプは比較的大きなピッチで端子配列が可能なため，多ピン化に適している。」

（【 0 0 0 2 】）

b 「従来，アレイタイプは接続ピンを有する PGA（Pin Grid Array）が一般的であるが，配線板との接続は挿入型となり，表面実装には適していない。このため，表面実装可能な BGA（Ball Grid Array）と称するパッケージが開発されている。」（【 0 0 0 3 】）

c 「パッケージサイズの更なる小型化に対応するものとして，半導体チップとほぼ同等サイズの，いわゆるチップサイズパッケージ（CSP; Chip Size Package）が提案されている。これは，半導体チップの周辺部でなく，実装領域内に外部配線基板との接続部を有するパッケージである。」（【 0 0 0 4 】）

d 「以上のように小型化高集積度化に対応できる半導体パッケージとして，種々の提案がされているが，性能，特性，生産性等全てにわたって満足するよう一層の改善が望まれている。」（【 0 0 0 7 】）

e 「本発明は，小型化，高集積度化に対応できる半導体パッケージを，生産性良くかつ安定的に製造するを可能とする半導体パッケージの製

造法及び半導体パッケージを提供するものである。」(【0008】)

f 「外部接続端子は、半導体素子端子が配線とワイヤボンディング等で導通される位置より内側に設けるようにするのが高密度化の上で好ましい(ファンインタイプ)。このように外部接続端子の位置は、半導体素子が搭載された下面に格子状に配置するのが高密度化の上で好ましい。」(【0037】)

g 「本発明により、半導体チップの高集積度化に対応することができる半導体パッケージを生産性良く、かつ安定的に製造することができる。」(【0100】)

#### (イ) 図面

本件各明細書(前記第2, 2(3)アないしウ〔本判決6, 7頁〕のとおりに図面も含む。)の図面には、半導体パッケージの製造法の例を説明する断面図と平面図が示されている(図面は、本件各特許権について共通である。甲1の2, 2の2, 3の2)。このうち、図1ないし図4, 図7ないし図10, 図13, 図16, 図24, 図25は、外部接続端子が半導体素子搭載領域外のみにある Fan-out タイプであり、図17, 図19, 図22は、外部接続端子が半導体素子搭載領域内のみにある Fan-in タイプであり、図18は、外部接続端子が半導体素子搭載領域の境界域にあるタイプである。外部接続端子が半導体素子搭載領域の内側と外側の双方にある Fan-in/out タイプを示す図面は存在しない。

#### (ウ) Fan-in/out タイプの公知性

乙42公報(昭和61年(1986年)8月9日公開, 発明の名称: 半導体装置)には、半導体装置の発明が記載されており、第1図及び第2図には、半導体素子の搭載領域の内側と外側の双方に外部接続端子のある Fan-in/out タイプが示されている。また、乙3公報(平成4年(1992年)4月6日公開, 発明の名称: 半導体装置)にも、半導体装置

の発明が記載されており、第1図及び第2図には、半導体チップの搭載領域の内側と外側の双方に外部接続端子のある Fan-in/out タイプが示されている。

上記の乙42公報、乙3公報の記載によれば、本件各発明の新規性、進歩性の判断の基準日である平成7年3月15日当時、既に Fan-in/out タイプは公知であったことが認められる。

## (2) 構成要件の解釈

ア 前記(1)イ(ア)〔本判決118頁〕の発明の詳細な説明の記載（特に段落【0008】）によれば、本件各発明は、半導体パッケージの小型化、高集積化を目的とするものである。そして、段落【0004】、【0037】には、小型化、高集積化のために Fan-in タイプが好適である旨記載されている。また、本件各明細書中には、Fan-in/out タイプについての直接の記載はなく、図面にも Fan-in/out タイプを示すものはない。

しかし、半導体パッケージの小型化、高集積化は、Fan-in タイプのみによってしか実現できないものではなく、Fan-in/out タイプによっても実現し得るものである。そして、前記(1)イ(ウ)〔本判決119頁〕のとおり、本件各発明の新規性、進歩性の判断の基準日である平成7年3月15日当時、既に Fan-in/out タイプは公知であり、その存在は当業者であれば認識していたものと認められる。また、本件各発明は、その内容に鑑みれば、Fan-in タイプに限定されるか否か争いのある点を除いたそれ以外の技術内容については、Fan-in タイプ、Fan-in/out タイプのいずれであっても実施することが可能であると認められる。そうすると、発明の詳細な説明の記載及び図面を参酌しても Fan-in タイプに限定する趣旨とは直ちに解されない構成要件の文言を、敢えて Fan-in タイプに限定して解釈する根拠は認められないというべきである。

イ 被告は、本件訴え提起前の交渉における原告の説明（前記第3，1(2)



ア(イ)〔本判決 25 頁〕, 乙 13 ないし 15), 原告ホームページのニュースリリース欄(前記第 3, 1(2)ア(ウ)〔本判決 26 頁〕, 乙 16), 本件各特許権の出願経過における説明等(前記第 3, 1(2)ア(オ)〔本判決 27 頁〕, 本件特許権 1 につき乙 9 ないし 12, 本件特許権 2 につき乙 17 ないし 20, 本件特許権 3 につき乙 21) から, 本件発明 1 の構成要件エ, 本件発明 2 の構成要件シ, 本件発明 3 の構成要件ヌは, **Fan-in** タイプに限定する趣旨である旨主張する。

確かに, 上記の書証によれば, 原告が上記の各場合において, 外部接続端子を半導体素子搭載領域に設けることにより半導体パッケージの小型化を図ることに言及して本件各発明の特徴を説明するなどしていたことが認められ, 図面として **Fan-in** タイプの半導体パッケージを示していたことが認められる。そして, 本件各特許権の出願経過における説明(前記第 3, 1(2)ア(オ)〔本判決 27 頁〕, 本件特許権 1 につき乙 11, 本件特許権 2 につき乙 19, 本件特許権 3 につき乙 21) において, 原告は, 本件各発明の進歩性に関し, **Fan-in** タイプを採用することによってチップサイズとほぼ同等の小型パッケージを実現する趣旨を述べていたことが認められる。

しかし, 上記の各場合における原告の説明等は, 外部接続端子を半導体素子搭載領域に設けることによる利点を説くものではあるが, 外部接続端子を半導体素子搭載領域のみに設けなければならない, その外側の樹脂封止用半導体パッケージ領域(半導体パッケージ領域)に設けてはならないこと, すなわち **Fan-in** タイプに限定し **Fan-in/out** タイプを排除することを明確に述べたものではない。本件各特許権の出願経過における原告の説明等(前記第 3, 1(2)ア(オ)〔本判決 27 頁〕)は, 本件各発明にもともと含まれる **Fan-in** タイプの利点(チップサイズのパッケージの実現)を強調するものではあるが, その主張の内容や表現に鑑みると, 本件各発明が

Fan-in/out タイプを含むと解することと相反する趣旨のもの（禁反言に該当するもの）とまでは解されず，その説明等を根拠として構成要件の文言を限定して解釈すべきであるということとはできない。なお，本件訴状別紙被告製品目録の第 1 ないし第 4 図（前記第 3， 1 (2) ア(エ)〔本判決 26 頁〕）は，Fan-in タイプを示すものであったが，その後，別紙 1「被告物件目録」に変更され，被告製品は，Fan-in/out タイプをも含むものとして特定されるようになったから，本件訴状別紙被告製品目録の第 1 ないし第 4 図が Fan-in タイプを示すものであったことをもって，構成要件の文言を限定して解釈すべきであるということとはできない。

ウ したがって，本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌは，Fan-in タイプに限定されるものではなく，Fan-in タイプの他 Fan-in/out タイプをも含む趣旨と解するのが相当である。

2 争点(2)（被告製品における「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え，ランド部 2 1 が半導体素子搭載予定部 4 に設けられ，ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）の有無）について

被告製品は，「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え，ランド部 2 1 が半導体素子搭載予定部 4 に設けられ，ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）を備えるものと認められる。以下，詳述する。

(1) 半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えること

被告製品の構成 A， B 及び別紙 1「被告物件目録」，別紙 2「被告製品構造説明図」（別紙 1「被告物件目録」添付図面，別紙 2「被告製品構造説明図」は，被告製品の一例であるが，被告製品の構成部分の位置関係は，これらが示すとおりである。）によれば，被告製品には，配線パターン部 P が複数配置されており，個々の配線パターン部 P においては，配線 2 3 の両端に

ランド部 2 1 とワイヤボンディング端子 2 2 を備えた配線部 2 がパターン化されて配置されていることが認められる。そして、被告製品は、半導体素子が搭載されるものであり、弁論の全趣旨によれば、ワイヤボンディング端子 2 2 は、半導体素子の電極とワイヤボンディングで接続されるものであることが認められるから、ワイヤボンディング端子の位置を基準として、半導体素子を搭載する領域（半導体素子搭載予定部 4）と、樹脂封止をする領域のうちの半導体素子を搭載する領域よりも外側でワイヤボンディング端子を含む領域（樹脂封止予定部 5）は、被告製品の基板上の所定の区域に自ずと限定され、各領域は、被告製品において客観的に明らかであるものと認められる。したがって、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えるものと認められる。

被告は、被告製品については、需要者が、半導体素子搭載予定部 4 と樹脂封止予定部 5 のような領域を決めるのであって、被告があらかじめそのような領域を特定することはないから、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えていない旨を主張する（前記第 3，2 (2)〔本判決 3 2 頁〕）。しかし、上記のとおり、半導体素子搭載予定部 4 と樹脂封止予定部 5 は、被告製品において客観的に明らかであるものと認められるから、被告の上記主張は、採用することができない。

## (2) ランド部 2 1，ワイヤボンディング接続端子 2 2 の位置

前記(1)〔本判決 1 2 2 頁〕のとおり、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えるものと認められる。そして、別紙 1「被告物件目録」④には、「ワイヤボンディング接続端子よりも配線パターンの内側の位置に配置されているランド部も存在する。」と記載されている。また、別紙 1「被告物件目録」添付第 1 図、別紙 2「被告製品構造説明図」第 1 図ー 2，第 3 図によれば、ランド部 2 1 が半導体素子の下面に当たる半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が、半導体素

子の外側の樹脂によって封止された樹脂封止予定部 5 に設けられている状態が示されている。

そうすると、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられているものと認められる。

### (3) 構成 E' の有無

したがって、被告製品は、「半導体素子搭載予定部 4 と樹脂封止予定部 5 を備え、ランド部 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）を備えるものと認められる。

## 3 争点(3)（構成要件充足性）ア（本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌの充足性）について

被告製品は、本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌを充足すると解する。以下，詳述する。

### (1) 構成要件と被告製品の構成部分の対応

本件各発明の構成要件と被告製品の構成は、次のとおり対応するものと認められる。

被告製品の「半導体素子搭載予定部 4」（構成 E'）は、本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌの「半導体素子搭載領域」に該当する。

被告製品の「樹脂封止予定部 5」（構成 E'）は、本件発明 1 の構成要件エ，本件発明 2 の構成要件シの「樹脂封止用半導体パッケージ領域」，本件発明 3 の構成要件ヌの「半導体パッケージ領域」に該当する。

被告製品の「ワイヤボンディング接続端子 2 2」（構成 B，構成 E'）は、本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌの「ワイヤボンディング端子」に該当する。

被告製品の「ランド部 2 1」（構成 B，構成 E'）は，本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌの「外部接続端子」に該当する。

被告製品の「配線パターン部 P」（構成 B，構成 C）は，本件発明 2 の構成要件シの「半導体素子実装基板部」に該当する。

(2) 本件発明 1 の構成要件エの充足性

構成 E'によれば，ワイヤボンディング接続端子 2 2 は樹脂封止予定部 5 に設けられ，ランド部 2 1 は半導体素子搭載予定部 4 に設けられているから，被告製品は，本件発明 1 の構成要件エ（「上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ，上記外部接続端子は上記半導体素子搭載領域に設けられ，」）を充足するものと認められる。

(3) 本件発明 2 の構成要件シの充足性

構成 E'によれば，被告製品は，半導体素子搭載予定部 4 と樹脂封止予定部 5，及び樹脂封止予定部 5 に設けられたワイヤボンディング接続端子 2 2 と，半導体素子搭載予定部 4 に設けられたランド部 2 1 とを備える。また，構成 Bによれば，被告製品の樹脂封止予定部 5 に設けられたワイヤボンディング接続端子 2 2 と半導体素子搭載予定部 4 に設けられたランド部 2 1 は，配線部 2 に含まれる。さらに，構成 B，Cによれば，被告製品の配線パターン部 P 内には配線部 2 がある。

そうすると，被告製品において，配線パターン部 P は，半導体素子搭載予定部 4，樹脂封止予定部 5，及び樹脂封止予定部 5 に設けられたワイヤボンディング接続端子 2 2 と，半導体素子搭載予定部 4 に設けられたランド部 2 1 とを含む配線 2 を備えるから，被告製品は，本件発明 2 の構成要件シ（「上記半導体素子実装基板部は，半導体素子搭載領域，上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域，及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と，上記半導体素子搭載領

域に設けられた外部接続端子とを含む配線を備え,」)を充足する。

(4) 本件発明3の構成要件ヌの充足性

構成E'によれば,被告製品は,半導体素子搭載予定部4と樹脂封止予定部5,及び樹脂封止予定部5に形成されたワイヤボンディング接続端子22と,半導体素子搭載予定部4に形成されたランド部21とを備える。また,構成AないしCによれば,被告製品の半導体素子搭載用基板の片面に形成された複数の配線パターンP内の配線部2は,ランド部21とワイヤボンディング接続端子22とを接続する配線23を備える。

そうすると,被告製品において,配線部2は,樹脂封止予定部5に形成されたワイヤボンディング接続端子22と,半導体素子搭載予定部4に形成されたランド部21とをつなぐ配線部23を含むから,被告製品は,本件発明3の構成要件ヌ(「上記配線は,上記半導体パッケージ領域に形成されたワイヤボンディング端子と,上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み,」)を充足する。

4 争点(3)イ(被告製品の「スプロケットホール7」,「目印10」の本件発明2の構成要件サⅢの「位置合わせマーク部」への該当性(本件発明2の構成要件サⅢの充足性))について

被告製品の「スプロケットホール7」,「目印10」は,本件発明2の構成要件サⅢの「位置合わせマーク部」に該当し,被告製品は,本件発明2の構成要件サⅢを充足すると解する。以下,詳述する。

(1) 被告製品の「目印10」の本件発明2の構成要件サⅢの「位置合わせマーク部」への該当性

被告製品においては,複数の配線パターン部Pがマトリクス状に配置された所定の箇所に「目印10」が位置する(構成F')。別紙1「被告物件目録」添付第2図,第3図,別紙2「被告製品構造説明図」第4図ー2及び3によれば,「目印10」は,基板上に整然と配置された複数の配線パターン

部P全体の周囲にあって、個々の配線パターン部Pの端の線上とその間の線上に規則正しく位置していることが認められる。このような位置にあることからすると、「目印10」は、配線パターン部Pのエッチング加工を行う際や、配線パターン部Pを個別に切り出す際に、位置合わせのために使用されるものと認められる。

被告は、需要者が「目印10」を何の目的に利用しているか知らないと主張するが（前記第3，4（2）〔本判決36頁〕），「目印10」は、客観的にみて、位置合わせのために使用されているものと認められる。

そうすると、被告製品の「目印10」は、本件発明2の構成要件サⅢの「位置合わせマーク部」に該当するものと認められる。

(2) 被告製品の「スプロケットホール7」の本件発明2の構成要件サⅢの「位置合わせマーク部」への該当性

弁論の全趣旨によれば、「スプロケットホール7」は、製造工程で製品を搬送するために用いられるスプロケットの歯の間隔に合わせて形成されるものであり、基板全体を定量送りすることを可能とするものであること、「スプロケットホール7」は、基板全体の定量送りを可能とすることにより、「目印10」と連動して位置合わせの機能を実現することが認められる。

そうすると、被告製品の「スプロケットホール7」は、本件発明2の構成要件サⅢの「位置合わせマーク部」に該当するものと認められる。

(3) 本件発明2の構成要件サⅢの充足性

前記(1)，(2)〔本判決126，127頁〕のとおり，被告製品の「スプロケットホール7」及び「目印10」は，いずれも本件発明2の構成要件サⅢの「位置合わせマーク部」に該当するものと認められるから，被告製品は，本件発明2の構成要件サⅢ（位置合わせマーク部とを備え，）を充足するものと認められる。

5 争点(3)ウ（本件発明1の構成要件イ，オの充足性）について

被告製品は、以下のとおり、本件発明 1 の構成要件イ、オを充足すると解する。

すなわち、被告製品は、構成 A ないし C，E'によれば、同一形状の複数の配線パターン部 P を有し、配線パターン部 P に、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えているものと認められる。

したがって、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 とを複数組備えており、本件発明 1 の構成要件イ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）を充足するものと認められる。

また、被告製品は、同じ配線パターンを有する半導体素子搭載予定部 4 と樹脂封止予定部 5 が複数個配列されており、本件発明 1 の構成要件オ（「同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている」）を充足するものと認められる。

#### 6 争点(3)エ（本件発明 3 の構成要件ニの充足性）について

被告製品は、以下のとおり、本件発明 3 の構成要件ニを充足すると解する。

すなわち、被告製品は、構成 A ないし C，E'によれば、同一形状の複数の配線パターン部 P を有し、配線パターン部 P に、半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えているものと認められる。

したがって、被告製品は、半導体素子搭載予定部 4 と樹脂封止予定部 5 とを複数組備えており、本件発明 3 の構成要件ニ（「半導体素子搭載領域と、該半導体搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、」）を充足するものと認められる。

#### 7 本件各発明の構成要件充足性

被告製品は、以下のとおり、本件各発明の構成要件をすべて充足すると解する。

##### (1) 本件発明 1（構成要件アないしオ）



前記第 2， 2 (7) ア〔本判決 1 1 頁〕のとおり，被告製品が構成要件アを充足することは，当事者間に争いがない。

前記 5〔本判決 1 2 7 頁〕のとおり，被告製品は，構成要件イを充足する。

前記第 2， 2 (7) ア〔本判決 1 1 頁〕のとおり，被告製品が構成要件ウを充足することは，当事者間に争いがない。

前記 3 (2)〔本判決 1 2 5 頁〕のとおり，被告製品は構成要件エを充足する。

前記 5〔本判決 1 2 7 頁〕のとおり，被告製品は，構成要件オを充足する。

したがって，被告製品は，本件発明 1 の構成要件をすべて充足するものと認められる。

(2) 本件発明 2（構成要件サⅠないしⅢ，シ，ス）

前記第 2， 2 (7) イ〔本判決 1 1 頁〕のとおり，被告製品が構成要件サⅠを充足することは，当事者間に争いがない。

前記第 2， 2 (7) イ〔本判決 1 1 頁〕のとおり，被告製品が構成要件サⅡを充足することは，当事者間に争いがない。

前記 4 (3)〔本判決 1 2 7 頁〕のとおり，被告製品は，本件発明 2 の構成要件サⅢを充足する。

前記 3 (3)〔本判決 1 2 5 頁〕のとおり，被告製品は，本件発明 2 の構成要件シを充足する。

前記第 2， 2 (7) イ〔本判決 1 1 頁〕のとおり，被告製品が構成要件スを充足することは，当事者間に争いがない。

したがって，被告製品は，本件発明 2 の構成要件をすべて充足するものと認められる。

(3) 本件発明 3（構成要件ナないしネ）

前記第 2， 2 (7) ウ〔本判決 1 1 頁〕のとおり，被告製品が構成要件ナを充足することは，当事者間に争いがない。

前記 6〔本判決 1 2 8 頁〕のとおり、被告製品は、本件発明 3 の構成要件ニを充足する。

前記 3 (4)〔本判決 1 2 5 頁〕のとおり、本件発明 3 の構成要件ヌを充足する。

前記第 2, 2 (7)ウ〔本判決 1 1 頁〕のとおり、被告製品が構成要件ネを充足することは、当事者間に争いがない。

したがって、被告製品は、本件発明 3 の構成要件をすべて充足するものと認められる。

8 争点(4)（本件各発明の無効事由の有無）ア（本件特許権 1 の無効事由の有無）について

本件発明 1 は、乙 1 公報記載の発明と実質的に同一であるとはいえないが、乙 1 公報記載の発明と周知又は公知技術に基づいて当業者が容易に発明をすることができたものであり、本件特許権 1 には進歩性欠如の無効事由があるというべきである。以下、詳述する。

(1) 乙 1 公報発明

ア 乙 1 公報の記載

乙 1 公報には、次のとおりの記載がある。

(ア) 「【目的】半導体素子の大きさを限定することなく、多ピンで小型の半導体装置を提供する。」（【要約】欄）

(イ) 「【構成】半導体素子 1 の下面に接着剤 5 及び絶縁シート 6 を介して、樹脂基板 8 のスルーホールを有しており、そのスルーホール内には外部接続用リードピン 9 が挿入されている。樹脂基板 8 上の配線回路はスルーホールより外側に向って形成されていて、半導体素子と電氣的接続するための素子接続用端子 7 は、スルーホールの外側に有している。」

（【要約】欄）

(ウ) 「【請求項 1】複数の外部接続用リードピンを樹脂基板に格子状に

形成したスルーホールに挿入して取付けた前記樹脂基板上に、半導体装置を搭載してなる半導体装置において、少なくとも最内列に形成された前記スルーホールに挿入された外部接続用リードピンより外側に素子接続用端子を有していることを特徴とする半導体装置。」

(エ) 「【請求項 2】「外部接続用リードピンがすべて半導体素子の外形内の下面に取付けられていることを特徴とする請求項 1 に記載の半導体装置。」

(オ) 「【産業上の利用分野】本発明は半導体装置に係わり、特にピングリッドアレイ型パッケージの半導体装置に関する。」(【0001】)

(カ) 「【実施例】次に本発明によって図面を参照して説明する。図 1 の (A) は本発明の第 1 の実施例の半導体装置の断面図である。樹脂基板 8 は、ガラス布エポキシやガラス布 B T やガラス布ポリイミド等の積層板で成っており、表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール 10 を設けてめっきを行ない、表裏面の銅をエッチングすることにより回路が形成されている。スルーホール 10 には、リン青銅、コバール、42 alloy 等に半田めっきが施こされている外部接続用リードピン 9 が挿入されている。図 1 の (B) は本発明の第 1 の実施例の樹脂基板の上面図である。外部接続用リードピンを挿入するスルーホールが半導体素子 1 の外形内に設けられており、半導体素子 1 と外部接続用リードピン 9 とを電氣的接続するための素子接続用端子 7 がスルーホールの外側に形成されている。半導体素子 1 は絶縁シート 6 を介して接着剤 5 に固定されている。素子接続用端子 7 と半導体素子 1 を接続線 3 により電氣的接続させ、エポキシ系の封止樹脂 2 により接続線及び半導体素子を外圧より保護する。」(【0005】)

(キ) 「【発明の効果】以上説明したように本発明は、少なくとも最内列に形成したスルーホールに挿入した外部接続用リードピンより外側に素

子接続用端子を有しているので、最内列ピンの配列サイズに関係なく又、パッケージサイズも規格外の大きなサイズにする必要なく、大きな半導体素子を搭載することが可能となるという効果を有する。」（【0007】）

（ク） 図1として、別紙5「乙1公報図面」の図1のと通りの図面が示されている。

イ 外部接続用リードピンが打たれていない状態のPGA基板についての文献の記載

乙36、37には、外部接続用リードピンが打たれていない状態のPGA基板について、次のとおりの記載がある。

（ア） 「日経マイクロデバイス」1987年（昭和62年）8月号、日経マグローヒル社刊（乙37）

a 「図B●パッケージはプリント基板とリード・ピン、ポッティング樹脂から成る

パッケージの組み立て工程と各パッケージ・メーカーとLSIメーカーのカバー範囲。通常、プリント基板メーカーはPGA用の基板を加工し、ピン打ちまで行う。LSIメーカーである日本電気は自社でピン打ちをする。パッケージ・メーカーのシチズン時計は組み立ての全作業をLSIメーカーから引き受ける。」（63頁上）

b 「自動化してコストを下げる

同社〔判決注 日本電気を指す。〕はPGAの基板が5枚程度リードフレーム状につながった状態で取り扱い、自動化を図っている（図10）。ピンも自社で取り付ける。リードフレーム状の基板にダイ・ボンディング、ワイヤー・ボンディングし、ポッティング樹脂とメタル・キャップで封止する。そしてピンを挿入する。ピン打ちの装置は専用に開発した。1ピンずつ打っているという。一度に全ピン打つと

生産性はいいが，L S I チップにストレスが加わりすぎる。ピン打ち後，ピンの接合部を半田付けする。キャップにマーキングして，最後にフレームから切り離す。」（68 頁右欄 7 ないし 19 行）

c 「図 10 ●リードフレームのように P G A を組み立てる

プリント基板メーカーから基板が 5 枚ぐらいつながった状態で購入する。ワイヤー・ボンダーやダイ・ボンダーは既存の装置を流用できるという。」（68 頁左上）

d 図 10（68 頁上）として，5 枚の P G A 基板がリードフレーム状につながった状態が示されている。

(イ) 「日経マイクロデバイス」1986 年（昭和 61 年）12 月号，日経マグローヒル社刊（乙 36）

a 「リードフレームのようにプリント基板が 5 枚程度につながった状態で，ダイ・ボンディングやワイヤー・ボンディング，メタル封止を行う。そして組み立ての最終工程でバラバラにする。」（60 頁上欄 2，3 行）

b 「日本電気は，P G A 用のプリント基板の 5 枚程度をリードフレームのようにつなげた状態でダイ・ボンディングし，ワイヤー・ボンディング後，切断する量産用の組み立て技術を開発し，すでにその P G A 製品を出荷していることを明らかにした」（60 頁左欄 6 ないし 12 行）

c 「まず，ピン数に合わせてパターニングしたプリント基板を切断せず，5 枚程度つながった状態で基板の製造元から受け取る（図 1）。基板に L S I チップをダイ・ボンディングし，ワイヤー・ボンディングする。その上にエポキシ樹脂をポッティングし，メタル・キャップで封止する。ピン挿入，ハンダ付け，マーキング後，最後に各パッケージをバラバラにする（図 2）。」（60 頁右欄 3 ないし 12 行）

d 「図 1 ●組み立てに使う基板

五つのプリント基板がつながった状態で基板の製造元から受け取る。

パターニングとスルー・ホールをめっきはしてある。」（60 頁右下）

e 図 1（60 頁下）として、5 枚の P G A 基板がリードフレーム状につながった状態が示されている。

ウ 乙 1 公報発明の認定

（ア） 前記ア〔本判決 130 頁〕の乙 1 公報の記載によれば、乙 1 公報記載の発明においては、「樹脂基板 8 は、ガラス布エポキシやガラス布 B T やガラス布ポリイミド等の積層板で成っており、表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール 10 を設けてめっきを行ない、表裏面の銅をエッチングすることにより回路が形成されている。」（前記ア（カ）〔本判決 131 頁〕）とされ、別紙 5 「乙 1 公報図面」図 1（A）及び（B）のとおり、表面（上面）に複数の配線回路が設けられ、その配線回路がスルーホールの外側に向かって形成され、配線回路の外側端には素子接続用端子 7 が形成され、配線回路の内側端にはスルーホール 10 を取り巻く環状部分が形成され、裏面（下面）の回路としては、スルーホール 10 内のめっきで表面（上面）の配線と導通してスルーホール 10 の周囲を取り巻く環状部分がエッチングで残されている。

また、前記イ〔本判決 132 頁〕の乙 36, 37 の記載によれば、L S I メーカーが、リードピンを打っていない状態の P G A 基板を基板メーカーから購入し、ダイボンディング、ワイヤボンディング、封止、リードピン挿入を行うことは周知又は公知の技術であるものと認められるから、乙 1 公報において、スルーホール 10 に外部接続用リードピン 9 の打っていない状態の P G A 基板も開示されているといえることができる。

(イ) したがって、乙１公報には、次の発明（以下「乙１公報発明」という。）が開示されているものと認められる（原判決９２頁にいう「引用発明１」、同１０５頁にいう「引用発明３」は、いずれも本判決にいう「乙１公報発明」と同じである。原判決９９頁にいう「引用発明２」は、末尾が「半導体素子実装用基板」である点以外は、本判決にいう「乙１公報発明」と同じである。なお、乙１公報に記載された発明について、次のとおり厳密に特定された発明を指す場合は「乙１公報発明」といい、そうでない場合は「乙１公報記載の発明」という。）。

「樹脂基板８に半導体素子１の搭載される領域とその外側に樹脂により封止される領域を有し、樹脂基板８の半導体素子１を搭載する面に複数の配線が設けられ、この配線が素子接続用端子７とめっきの施されたスルーホール１０とをつなぐ配線パターンを備え、素子接続用端子７が樹脂により封止される領域に設けられ、スルーホール１０が半導体素子１の搭載される領域に設けられた半導体素子搭載用基板。」

エ 乙１公報発明と本件発明１の対応

乙１公報発明の「樹脂基板」、「素子接続用端子」は、それぞれ本件発明１の「絶縁性支持体」、「ワイヤボンディング端子」に該当する。また、乙１公報発明の「めっきの施されたスルーホール」は、リードピンの打たれていないPGA基板において、外部接続用リードピンが挿入されて外部と接続する端子といえるから、本件発明１の「外部接続端子」（構成要件ウ、エ）に該当すると認められる。

オ 本件発明１の「外部接続端子」（構成要件ウ、エ）の開示の有無

乙１公報記載の発明の外部接続用リードピン９、環状外部接続端子は、いずれも本件発明１の「外部接続端子」に該当せず、前記エ〔本判決１３５頁〕のとおり、めっきの施されたスルーホールが、本件発明１の「外部接続端子」に該当すると解する。以下、詳述する。

(ア) 外部接続用リードピン

原告は、乙1公報発明の外部接続用リードピン(9)は、外部との接続手段という意味での外部接続端子に当たると主張し、その根拠として、①半導体素子搭載用基板という用語の意味、②製造工程、③外部接続用リードピンが打たれていない半導体素子搭載用基板の存否、④外部接続用リードピンが打たれていない状態における「半導体素子用基板」との呼称の有無、⑤ハンダボールとの比較を主張するので(前記第3, 7(2)イ(イ)a(a)〔本判決45頁〕)、以下、検討する。

① 半導体素子搭載用基板という用語の意味について

「・・・用」という文言は、一般に「・・・に使うためのもの」という意味を表すとされているから(広辞苑第5版等)、半導体素子搭載用基板とは、半導体素子の搭載に使うための基板という意味と解される。

本件各明細書によれば、本件各発明における「半導体素子搭載用基板」は、本件各明細書の発明の詳細な説明においては「半導体パッケージ」と表現されているものと認められ、半導体パッケージについて、発明の詳細な説明には、次のとおり記載されている(下線は本判決により付されたものである。)

a 「(技術分野) 本発明は、半導体パッケージの製造法及び半導体パッケージに関する。」(【0001】)

b 「(背景技術) 半導体の集積度が向上するに従い、入出力端子数が増加している。従って、多くの入出力端子数を有する半導体パッケージが必要になった。一般に、入出力端子はパッケージの周辺に一列配置するタイプと、周辺だけでなく内部まで多列に配置するタイプがある。前者は、QFP(Quad Flat Package)が代表的である。・・・後者のアレイタイプは比較的大きなピッチで端子配列が可能なた



め、多ピン化に適している。」(【0002】)

c 「従来、アレイタイプは接続ピンを有する PGA (Pin Grid Array) が一般的であるが、配線板との接続は挿入型となり、表面実装には適していない。このため、表面実装可能な BGA (Ball Grid Array) と称するパッケージが開発されている。」(【0003】)

d 「パッケージサイズの更なる小型化に対応するものとして、半導体チップとほぼ同等サイズの、いわゆるチップサイズパッケージ (CSP; Chip Size Package) が提案されている。これは、半導体チップの周辺部でなく、実装領域内に外部配線基板との接続部を有するパッケージである。」(【0004】)

e 「以上のように小型化高集積度化に対応できる半導体パッケージとして、種々の提案がされているが、性能、特性、生産性等全てにわたって満足するよう一層の改善が望まれている。」(【0007】)

f 「本発明は、小型化、高集積度化に対応できる半導体パッケージを、生産性良くかつ安定的に製造するを可能とする半導体パッケージの製造法及び半導体パッケージを提供するものである。」(【0008】)

g 「本発明により、半導体チップの高集積度化に対応することができる半導体パッケージを生産性良く、かつ安定的に製造することができる。」(【0100】)

上記の記載（特に下線部）に照らせば、発明の詳細な説明においても、半導体パッケージという文言を、半導体素子の搭載に使うための基板という意味と理解することができると認められる。

原告は、半導体素子搭載用基板とは、直ちに半導体を搭載することが可能な状態の基板という意味であると主張するが（前記第3，7(2)イ(イ) a (a)①〔本判決45頁〕），「・・・用」という文言の一般的

な意味からして、そのように限定して解釈する必然性はないし、本件各明細書の記載からしても、半導体素子の搭載に使うための基板という意味を超えて、直ちに半導体を搭載することが可能な状態の基板という意味であるとする根拠は認められず、原告の上記主張は、採用することができない。

## ② 製造工程について

原告は、PGA基板の製造工程から、PGA基板の半導体素子搭載用基板としては、外部接続用リードピンを備えた構造となり、外部接続用リードピンが本件発明1の「外部接続端子」に該当すること、通常取引形態においても、PGA基板は、接続ピンを備えた状態で顧客に納入されること、乙1公報によってどんなPGA基板でもリードピンを打つタイミングを変えることが周知又は公知の技術であるとはいえないことなどを主張する（前記第3，7(2)イ(イ)a(a)②〔本判決46頁〕）。

しかし、乙1公報記載の発明は、物の発明であり、物を生産する方法の発明ではなく、製造方法を限定するものではないこと、また、前記①〔本判決136頁〕のとおり、半導体素子搭載用基板とは、半導体素子の搭載に使うための基板であって、直ちに半導体を搭載することが可能な状態の基板に限定されるものではないことからすれば、製造方法や流通実態により半導体素子搭載用基板の構造を決することはできず、原告の上記主張は、いずれも採用することができない。乙1公報発明は、外部接続用リードピンが挿入される前の時点で、既に本件各発明の外部接続端子に該当する構成として、「めっきの施されたスルーホール」を開示していると認められる。

## ③ 外部接続用リードピンが打たれていない半導体素子搭載用基板の存否について

原告は、リードピンが打たれておらずかつ半導体素子搭載領域と樹脂封止用半導体パッケージ領域が複数つながられているPGA基板により半導体パッケージを製造するとすれば、半導体パッケージメーカーにとって何のメリットもないことを主張する。また、原告は、半導体素子を搭載し樹脂でモールドした後に外部接続用リードピンを打ち込み、その後切り離す方法を採用することは極めて困難であると主張する（前記第3，7(2)イ(イ)a(a)③〔本判決47頁〕）。

しかし、半導体パッケージメーカーにとって何のメリットもないとの主張については、これを裏付ける具体的な根拠はないし、前記①〔本判決136頁〕のとおり、半導体素子搭載用基板という語が、半導体素子の搭載に使うための基板という意味であり、それを超えて、直ちに半導体を搭載することが可能な状態の基板という意味であるとは認められないことからすれば、リードピンが打たれておらずかつ半導体素子搭載領域と樹脂封止用半導体パッケージ領域が複数つながられているPGA基板の存在を認めたとしても、その後のピン打ち、半導体素子搭載、切り離しの順序は適宜選択することができ、原告主張の上記順序（半導体素子を搭載し樹脂でモールドした後に外部接続用リードピンを打ち込み、その後切り離す）に限定される根拠はない。したがって、原告の上記主張は、いずれも、リードピンが打たれておらずかつ半導体素子搭載領域と樹脂封止用半導体パッケージ領域が複数つながられているPGA基板が存在し得ないことの根拠とはならないといふべきである。

- ④ 外部接続用リードピンを備えない状態における「半導体素子搭載用基板」との呼称の有無について

前記イ〔本判決132頁〕の乙36，37の記載によれば、PGA基板は、実際の取引においても、リードピンの打たれる前の状態でP

G A用の半導体素子搭載用基板としてL S I メーカーに納入されていることがあると認められ、その場合、P G A基板のスルーホールは、めっきが施されており、外部接続端子としての機能を備えていることが認められる。

また、乙29公報は、磁性合金膜被覆リードの発明に関する公開特許公報であり、「このリードピン(10)は半導体素子搭載用基板(30)のスルーホール(32)に挿入されて、導体回路(31)を介して搭載される半導体素子と外部とを電氣的に接続するためのものである。」(3頁右下欄16行ないし4頁左上欄1行)と記載されている。

乙30公報は、半導体用アルミニウム基板の発明に関する公開特許公報であり、リードピンを挿入する前の状態のスルーホールタイプのピングリッドアレー用のアルミニウム基板が記載されている。乙31公報は、半導体搭載基板の発明に関する公開特許公報であり、外部接続用リードピンを備えない段階の図1について、「図1は本発明による半導体搭載基板の製造工程の一例を示す図で、先ず、図1(a)に示すように、熱硬化性樹脂から或る〔判決注 「成る」の誤記と認めら

れる。〕基板11に、回路パターン、スルーホール12、半導体搭載用凹部13を形成し、さらに、ソルダーレジスト14を印刷し、ニッケル・金メッキを施して半導体搭載用基板を得る。」(【0006】)と記載されている。乙32公報は、半導体素子搭載用配線板に関する発明であり、特許請求の範囲などには、外部との接続に用いられるネールヘッドピンが打たれていない段階での半導体素子搭載用配線板が記載されている。そうすると、乙29ないし乙32の公報によれば、外部接続用リードピンを備えない状態において「半導体素子搭載用基板」と呼ばれていることが認められる。また、仮に、原告主張のとおり、乙29ないし乙32の公報が、P G A基板が外部接続用リードピ

ンを備えない状態においてPGA用の「半導体素子搭載用基板」と呼ばれていることを示していないとしても、少なくとも、乙29ないし乙32の公報は、そのような呼称を積極的に否定するものではないと解される。

⑤ ハンダボールとの比較について

原告は、乙1公報記載の発明の外部接続用リードピン9は本件発明1のハンダボールに該当するとはいえないと主張する（前記第3，7(2)イ(イ)a(a)⑤〔本判決50頁〕）。しかし、乙1公報によれば、乙1公報記載の発明では、外部接続用リードピン9は、PGA基板を外部と接続するための部材であり、他方、本件各発明においては、半導体素子搭載用基板に形成された外部接続端子と外部との接続は、本件各明細書の記載や図面のとおり、はんだボール7やはんだバンプ70を介して行う構造になっている。そうすると、乙1公報記載の発明の外部接続用リードピン9は、本件各明細書に記載されたはんだボール7又ははんだバンプ70に該当するものであり、本件各発明の外部接続端子（前記エ〔本判決135頁〕のとおりに、めっきの施されたスルーホールが、本件発明1の「外部接続端子」に該当すると認められる。）に該当するものではないと認められる。

(イ) 環状外部接続端子

被告は、乙1公報記載の発明の環状外部接続端子（別紙6「乙1公報図面に部材名を記入した参考図面」図1（B）に指示されている。）が本件発明1の「外部接続端子」に該当する旨主張する（前記第3，7(3)ア(イ)a〔本判決58頁〕）。

しかし、別紙6「乙1公報図面に部材名を記入した参考図面」図1（A）で指示されているとおり、外部接続用リードピン9の上方には空間があり、環状外部接続端子に該当する部分は、直接に外部接続用リー

ドピン 9 と接触しておらず、スルーホール内のめっきを介して外部接続用リードピン 9 と接触しており、このことからすると、環状外部接続端子をもって本件発明 1 の「外部接続端子」ととらえることはできない。したがって、被告の上記主張を採用することはできない。

(ウ) 外部基板との接続部 4 2 と解することについて

なお、被告は、本件発明 1 の「外部接続端子」について、本件明細書 1 における外部基板との接続部 4 2 のような部材を意味するとした場合について主張するが（前記第 3，7 (3) ア(イ) b [本判決 6 1 頁]），本件発明 1 の「外部接続端子」は配線に含まれるところ、接続部 4 2 は配線に含まれないから、「外部接続端子」には該当せず、被告の上記主張は、採用することができない。

(エ) 「外部接続端子」の開示の有無

上記のとおり、乙 1 公報記載の発明の外部接続用リードピン 9，環状外部接続端子は、いずれも本件発明 1 の「外部接続端子」に該当せず、めっきの施されたスルーホールが、本件発明 1 の「外部接続端子」に該当すると認められる（前記エ [本判決 1 3 5 頁]）。

カ 本件発明 1 の「上記外部接続端子は上記半導体搭載領域に設けられ」（構成要件エ）の開示の有無

原告は、乙 1 ないし乙 3 の公報には、本件発明 1 の「外部接続端子」は開示されていないから、本件発明 1 の「上記外部接続端子は上記半導体搭載領域に設けられ」（構成要件エ）との構成要件も開示されていないと主張する（前記第 3，7 (2) ウ [本判決 5 5 頁]）。

しかし、前記エ [本判決 1 3 5 頁] のとおり、乙 1 公報発明のめっきの施されたスルーホールが、本件発明 1 の「外部接続端子」に該当し、本件発明 1 の「外部接続端子」は開示されているものと認められるから、原告の上記主張は、採用することができない。

(2) 乙1公報発明と本件発明1の一致点、相違点

以上検討したところによれば、乙1公報発明と本件発明1を対比すると、一致点、相違点は、次のとおり認められる。

ア 一致点

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられることを特徴とする半導体素子搭載用基板である点。

イ 相違点

本件発明1では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え（構成要件イ）、同一の配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている（構成要件オ）のに対し、乙1公報発明では、これらの領域を複数組備え、複数個配列することを明記していない点。

(3) 相違点に係る技術の周知又は公知性

乙1公報発明と本件発明1の相違点に関する技術事項（半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えること、同一の配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されていること）は、周知又は公知であったものと認められる。以下、詳述する。

ア 公知文献の記載

公知文献には、次のとおり記載されている。

(ア) 乙4公報（平成元年3月2日公開，発明の名称：複合配線基板）

「配線回路部A複数個を，両側の連結部Bにより連結しており」（3頁左上欄9，10行）と記載され，第1図（4頁左上）には，実施例における複合配線基板の平面図により，複数組の基板の配列が示されている。

(イ) 乙5公報（平成3年4月15日公開，発明の名称：可撓性回路基板集合体及びその製造法）

「複数の回路基板形成域」（1頁左下欄7行）と記載され，第1図（4頁左上）には，実施例によるスクラップレス構造の小形微細な可撓性回路基板集合体の概念的な平面構成図により，複数組の基板の配列が示されている。

(ウ) 乙6公報（平成2年3月30日公開，発明の名称：フィルムキャリア）

「10は金属箔配線を示し，これが長手方向にくり返し形成されている。」（上記「10」は誤りで，「11」が正しいものと認められる。2頁左上欄1，2行）と記載され，第1図（4頁左下）には，従来のフィルムキャリアの平面図により，複数組の基板の配列が示されており，第7図（5頁右上）には，実施例を示すフィルムの上面図により，複数組の基板の配列が示されている。

(エ) 乙7公報（平成4年2月4日公開，発明の名称：TABテープの構造）

「搬送用送り孔1aを半導体搭載部毎に順次7つつ打ち抜き」（2頁左下欄10，11行）と記載され，第1図（a）（3頁右下）には，実施例1を示す正面図により，複数組の基板の配列が示されている。

(オ) 乙8公報（平成3年4月19日公開，発明の名称：半導体装置の製造方法）



「ベースフィルム 10 上には回路パターンが繰り返しパターンで形成され」（3 頁右上欄 15 ないし 17 行）と記載され、第 2 図（4 頁下）には、長尺帯状体を用いた製造方法を示す説明図により、複数組の基板の配列が示されている。

(カ) 「日経マイクロデバイス」 1986 年（昭和 61 年）12 月号、60 頁、日経マグロウヒル社刊（乙 36）

「ピン数に合わせてパターンニングしたプリント基板を切断せず、5 枚程度つながった状態で」（60 頁右欄 3 ないし 5 行）と記載され、図 1 には、組み立てに使う基板を示す写真により、複数組の基板の配列が示されている。

(キ) 「日経マイクロデバイス」 1987 年（昭和 62 年）8 月号、68 頁、日経マグロウヒル社刊（乙 37）

「PGA の基板が 5 枚程度リードフレーム状につながった状態で」（右欄 8、9 行）と記載され、図 10 には、組み立てに使う基板を示す写真により、複数組の基板の配列が示されている。

(ク) 「VLSI パッケージング技術（上）」 1993 年（平成 5 年）5 月 31 日発行、167 頁、日経 BP 社刊（乙 38）

図 5. 3. 3 において、PGA の製造工程が一覧できる形で図解され、同一基板上に複数組の領域が配列して形成されることが示されている。

(ケ) 乙 33 公報（昭和 61 年 11 月 5 日発行、発明の名称：セラミック基板および半導体装置の製造方法）

「縦に 2 つのパッケージ 5 を接続し、横には 3 個～5 個のパッケージ 5 を接続して、1 枚のセラミック基板には複数のパッケージが形成されている。」（2 頁右下欄 1 ないし 4 行）と記載され、第 1 図（3 頁左下）には、実施例の平面図により、複数組の基板の配列が示されている。

(コ) 乙 34 公報（昭和 63 年 3 月 16 日公開、発明の名称：半導体搭載

用基板)

「シート状で多数の半導体搭載用基板が連続的に配列されたプリント配線用基板」(2頁右下欄14ないし15行)と記載され、第2図(a)(5頁左上)には、半導体搭載用基板を形成する状態を示した部分平面図により、複数組の基板の配列が示されている。

イ 技術の周知又は公知性

(ア) 前記ア〔本判決143頁〕の文献は、いずれも、昭和61年11月(乙36及び弁論の全趣旨によれば、乙36(前記ア(カ)〔本判決144頁〕)は昭和61年11月に発行されたものと認められる。)から平成5年5月までに発行されたものであり、本件各発明と同一の技術分野である半導体素子搭載用基板に係る製造分野に関するものであり、前記ア〔本判決143頁〕の文献によれば、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成7年3月15日の時点において、半導体素子搭載用基板に係る製造分野の当業者にとって、周知又は公知の技術であったものと認められる。したがって、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えること、同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列されていることは、同日当時、当業者にとって周知又は公知であったものと認められる。

(イ) 原告は、乙1公報記載のPGA基板は、仮に、1枚の大きなPGA基板に複数の半導体パッケージ領域を形成した場合、その数の分の多数の接続ピンが基板の底面から突出することになって、取扱いの煩雑さや破損、封止の障害等の問題が生じるため、通常は、個別に切り分けられた後、外部接続用リードピンを挿入した状態で取引されるとし、PGA基板においては、「半導体素子搭載領域と、半導体パッケージ領域とを、

複数組備え、同一の配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され」ることは、技術常識あるいは、周知といえる技術ではなく、むしろ、技術常識に反するものであると主張する。また、乙 3 4 公報は、半導体素子搭載用基板を作る途中段階のものにすぎず、ピンを挿入した時点では個別に分けられており、半導体素子搭載領域と半導体パッケージ領域が複数組存在しているとはいえないと主張する（前記第 3， 7 (2) エ〔本判決 5 5 頁〕）。

原告の上記主張は、乙 1 公報記載の発明の外部接続用リードピンが本件発明 1 の「外部接続端子」に該当することを前提とし、本件発明 1 の構成要件を充足する半導体素子搭載用基板として、外部接続用リードピンを備えた上で複数の半導体搭載領域及び半導パッケージ領域が存在する基板を前提するものである。

しかし、前記(1)エ〔本判決 1 3 5 頁〕のとおり、本件発明 1 の「外部接続端子」に該当するのは、乙 1 公報記載の発明の外部接続用リードピンではなく、めっきの施されたスルーホールであると認められる。そのため、本件発明 1 に該当する半導体素子搭載用基板として、外部接続用リードピンを備えない状態で、複数の半導体素子搭載領域及び半導パッケージ領域が存在する基板を想定することができるので、原告の上記主張は、その前提において、採用することができない。前記ア〔本判決 1 4 3 頁〕の文献の記載から、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えること等は、周知又は公知であったと認められる。

#### (4) 容易想到性

ア これまで検討したところによれば、乙 1 公報発明 1 と本件発明 1 の相違点に係る技術は周知又は公知であったから、乙 1 公報発明 1 に周知又は公知技術を適用して本件発明 1 を構成することは、当業者にとって容易に想

到し得たものと認められる。

イ 原告は、本件発明１の課題と効果は、半導体パッケージを小型化することにあるところ、乙１公報中の発明の効果に記載した段落【０００７】には、半導体素子の大きさにかかわらず半導体パッケージを規格の寸法に収めることができると記載されているにとどまり、半導体パッケージを小型化するという本件発明１の効果に対応する思想の記載や示唆はないから、課題の異なる乙１公報記載の発明から本件発明１に想到することはできないと主張する（前記第３，７（２）オ〔本判決５６頁〕）。

しかし、乙１公報は半導体装置の発明に係るものであり、本件各発明と技術分野を同じくするし、乙１公報の段落【０００７】には、大きな半導体素子を搭載する場合でもパッケージサイズを大きなサイズにする必要がないことが記載されており、これは、半導体パッケージを小型化することと共通の指向を示すものであるから、乙１公報記載の発明から本件発明１に想到することはできないとはいえず、原告の上記主張は、採用することができない。

ウ また、原告は、乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することは容易ではないと主張する（前記第３，７（２）カ〔本判決５７頁〕）。

乙４ないし乙８の公報に記載された発明は、それぞれを仔細にみれば、乙１公報記載の発明と相違する点は存在する。しかし、乙４ないし乙８の公報は、乙１公報記載の発明と技術分野を同じくするものであり、前記（３）〔本判決１４３頁〕のとおり、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術が示されているから、乙４ないし乙８の公報に記載された上記技術を乙１公報記載の発明に適用することは当業者にとって容易であるものと認められる。したがって、原告の上記主張を採用することはできない。

(5) 無効事由の有無

前記(2)イ〔本判決143頁〕のとおり、本件発明1は、乙1公報記載の発明と相違点が存在することから、乙1公報記載の発明と実質的に同一であるとはいい難いが、乙1公報記載の発明と周知又は公知技術に基づいて当業者が容易に発明をすることができたものであり、本件特許権1には無効事由があり、本件特許権1は、進歩性の欠如のために特許無効審判により無効にされるべきものと認められる。

9 争点(4)イ（本件特許権2の無効事由の有無）について

本件発明2は、乙1公報記載の発明と周知又は公知技術に基づいて当業者が容易に発明をすることができたものであり、本件特許権2には進歩性欠如の無効事由があるというべきである。以下、詳述する。

(1) 乙1公報発明

ア 乙1公報発明

前記8(1)ウ〔本判決134頁〕のとおり、乙1公報には、乙1公報発明が記載されているものと認められる。

イ 乙1公報発明と本件発明2の対応

乙1公報発明の「樹脂基板」、「素子接続用端子」は、それぞれ本件発明2の「半導体素子実装基板部」、「ワイヤボンディング端子」に該当する。また、乙1公報発明の「めっきの施されたスルーホール」は、本件発明2の「外部接続端子」に該当するものと認められ、乙1公報発明の「半導体素子搭載用基板」は、本件発明2の「半導体素子実装用基板」に該当するものと認められる。

ウ 本件発明2の「外部接続端子」（構成要件シ）の開示の有無

前記8(1)オ〔本判決135頁〕と同様に、乙1公報記載の発明の外部接続用リードピン9、環状外部接続端子は、いずれも本件発明2の「外部接続端子」に該当せず、めっきの施されたスルーホールが、本件発明2の

「外部接続端子」に該当すると認められる。

(2) 乙1公報発明と本件発明2の一致点、相違点

以上検討したところによれば、乙1公報発明と本件発明2を対比すると、一致点、相違点は、次のとおり認められる。

ア 一致点

半導体素子を搭載するための、半導体素子実装基板部を備え、

上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備える

ことを特徴とする半導体素子実装用基板である点。

イ 相違点

(ア) 相違点A

本件発明2では、複数個の半導体素子実装基板部を備えている（構成要件サⅠ）のに対し、乙1公報発明では、その複数個を明記していない点。

(イ) 相違点B

本件発明2では、半導体素子実装基板部間を連結するための連結部と（構成要件サⅡ）、位置合わせマーク部とを備えている（構成要件サⅢ）のに対し、乙1公報発明では、そのような連結部と位置合わせマーク部を明記していない点。

(ウ) 相違点C

本件発明2では、連結部が導電層を有する（構成要件ス）のに対し、乙1公報発明では、連結部の導電層を明記していない点。

(3) 相違点に係る技術の周知又は公知性

乙1公報発明と本件発明2の相違点に関する技術事項(相違点Aについて、

複数個の半導体素子実装基板部を備えていること、相違点Bについて、半導体素子実装基板部間を連結するための連結部と位置合わせマーク部とを備えていること、相違点Cについて、基板の複数の領域を連結する連結部に導電層を有すること）は、周知又は公知であったものと認められる。以下、詳述する。

ア 相違点Aについて

前記8(3)〔本判決143頁〕のとおり、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成7年3月15日の時点において、半導体素子搭載用基板に係る製造分野の当業者にとって、既に周知又は公知の技術であったものと認められる。したがって、複数個の半導体素子実装基板部を備えていることは、同日当時、当業者にとって周知又は公知であったものと認められる。

イ 相違点Bについて

(ア) 公知文献の記載

公知文献には、次のとおり記載されている。

a 乙4公報（平成元年3月2日公開、発明の名称：複合配線基板）

「配線回路部A複数個を、両側の連結部Bにより連結しており」（3頁左上欄9，10行）と記載され、第1図（4頁左上）には、実施例における複合配線基板の平面図により、連結部B及び位置合わせ用の孔が示されている。

b 乙5公報（平成3年4月15日公開、発明の名称：可撓性回路基板集合体及びその製造法）

「これら回路基板形成域の側方に連設した支持枠」（1頁左下欄7ないし8行）、「両支持枠部分19の各端部には適当な位置決め穴乃至は支持穴20を適宜形成することが出来る。」（3頁左上欄3ない

し5行)と記載され、第1図(4頁左上)には、実施例によるスクラップレス構造の小形微細な可撓性回路基板集合体の概念的な平面構成図により、支持枠部分19と支持穴20が示されており、第3図(4頁右上)には、従来手法に従った可撓性回路基板集合体の概念的な平面構成図により、支持枠部分6が示されている。

- c 乙6公報(平成2年3月30日公開、発明の名称：フィルムキャリア)

「長尺状の可撓性〔判決注「可撓性」の誤記と認められる。〕絶縁性フィルム上に、金属箔配線が形成され」(1頁左下欄5ないし6行)、「パーフォレーション周囲の強度は充分であり、・・・フィルムが薄くなった場合でもフィルム送りが支障なく出来又、その際の位置精度を下げることはない。」(3頁右下欄7ないし12行)と記載され、第7図(5頁右上)には、実施例を示すフィルムの上面図により、フィルムキャリア1及びパーフォレーション10が示されている。

- d 乙7公報(平成4年2月4日公開、発明の名称：TABテープの構造)

「ポリイミド製ベーステープ(絶縁性フィルム)1」(2頁右上欄2,3行)、「搬送用送り孔1a」(2頁左下欄13行)と記載され、第1図(a)(3頁右下)には、実施例1を示す正面図により、ポリイミド製ベーステープ1と搬送用送り孔1aが示されている。

- e 乙8公報(平成3年4月19日公開、発明の名称：半導体装置の製造方法)

「ベースフィルム10上には回路パターンが繰り返しパターンで形成され、同時に各回路パターンに接続して検査用ライン40および電解めっきの導通をとるためのバスライン42が設けられる。」(3頁右上欄15ないし19行)と記載され、第2図(4頁下)には、長尺



帯状体を用いた製造方法を示す説明図により、位置合わせ孔が示されている。

(イ) 技術の周知又は公知性

前記(ア)〔本判決 151 頁〕の文献は、いずれも、平成元年 3 月から平成 4 年 2 月までに発行され、本件各発明と同一の技術分野である半導体素子搭載用基板の製造分野に関するものであり、複数の個別の基板領域を連結するための連結部と製造工程に必要な位置合わせマーク部に関する技術に言及したものである。そして、前記 8 (3)〔本判決 143 頁〕のとおり、同一基板上に複数の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の時点において、当業者にとって、周知又は公知の技術であったところ、これに関連して、複数の個別の基板領域を連結するために連結部を備えることや個別の基板領域ごとの加工のために製造工程に必要な位置合わせマーク部を備えることは、同一基板上で複数の基板領域を配列形成し、これらを一括製造する上で、当然に必要とされる必須の構成であるといい得るものである。そうすると、本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の時点においては、半導体素子実装基板部間を連結するための連結部と位置合わせマーク部とを備えていることは、周知又は公知であったものと認められる。

ウ 相違点 C について

(ア) 公知文献の記載

公知文献には、次のとおり記載されている。

a 乙 4 公報（平成元年 3 月 2 日公開、発明の名称：複合配線基板）

「金属層 11d を連結部の配線基板に設けたのは、複合配線基板としての機械的強度の向上と・・・をはかるためであり、配線基板 11

の配線導体 1 1 c 形成時に同時に形成した。」（3 頁左下欄 7 ないし 1 1 行）と記載され、第 3 図（4 頁左上）には、実施例における複合配線基板の断面図により、金属層 1 1 d が示されている。

- b 乙 5 公報（平成 3 年 4 月 1 5 日公開，発明の名称：可撓性回路基板集合体及びその製造法）

「支持枠部分 6 には機械的強度を確保する為に導電層を残置することも出来る。」（2 頁左上欄 6 ないし 8 行）と記載されている。

- c 乙 6 公報（平成 2 年 3 月 3 0 日公開，発明の名称：フィルムキャリア）

「図中 1 3 がパーフォレーション周辺を補強する為に配置された，銅箔であり」（3 頁右上欄 1 1 ないし 1 3 行）と記載され、第 7 図（5 頁右上）には、実施例を示すフィルムの上面図により、補強材 1 3 が示されている。

- d 乙 7 公報（平成 4 年 2 月 4 日公開，発明の名称：T A B テープの構造）

「金属箔は，絶縁性フィルムの側縁に送り孔の部分を除いて連続的に付着され，送り孔の開口縁を補強する」（1 頁左下欄 9 ないし 1 1 行）と記載され，第 1 図（a）（3 頁右下）には，実施例 1 を示す正面図により，搬送用送り孔補強用帯 6 及び帯間隔変化防止用横棧 7 が示されている。

- e 乙 8 公報（平成 3 年 4 月 1 9 日公開，発明の名称：半導体装置の製造方法）

「ベースフィルム 1 0 上には回路パターンが繰り返しパターンで形成され，同時に各回路パターンに接続して検査用ライン 4 0 および電解めっきの導通をとるためのバスライン 4 2 が設けられる。」（3 頁右上欄 1 5 ～ 1 9 行）と記載され，第 2 図（4 頁下）には，長尺帯状

体を用いた製造方法を示す説明図により、バスライン４２が示されている。

(イ) 技術の周知又は公知性

前記(ア)〔本判決１５３頁〕の文献は、いずれも、平成元年３月から平成４年２月までに発行され、本件各発明と同一の技術分野である半導体素子搭載用基板の製造分野に関するものであり、基板の複数の領域を連結する連結部に機械的な強度の補強を兼ねて導電層を有する構成を示したものである。そして、前記８(３)〔本判決１４３頁〕のとおり、同一基板上に複数の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成７年３月１５日の時点において、当業者にとって、周知又は公知の技術であったところ、これに関連して、複数の基板部間を連結するための連結部について、その強度を増すことは、製造設計上、当然に要求される技術的事項といい得るものである。そうすると、本件各発明の新規性及び進歩性の判断基準日である平成７年３月１５日の時点においては、基板の複数の領域を連結する連結部に導電層を有することは、周知又は公知であったものと認められる。

(４) 容易想到性

ア これまで検討したところによれば、乙１公報発明と本件発明２の相違点に係る技術はいずれも周知又は公知であったから、乙１公報発明に周知又は公知技術を適用して本件発明２を構成することは、当業者にとって容易に想到し得たものと認められる。

イ 原告は、本件発明２の課題と乙１公報記載の発明の課題が異なるとして、容易想到性を否定すべきであると主張するが（前記第３，８(２)ウ〔本判決７２頁〕）、前記８(４)イ〔本判決１４７頁〕と同様に、原告の上記主張は、採用することができない。

ウ 原告は、乙４ないし乙８の公報記載の発明を乙１公報記載の発明に適用することは容易ではないと主張するが（前記第３，８（２）エ〔本判決７２頁〕），前記８（４）ウ〔本判決１４８頁〕のとおり，原告の上記主張は，採用することができない。

エ 原告は，PGA基板が個別に作られるのが一般的な製造法であるとし，これを前提として，相違点Ａ，Ｂについて容易想到性を否定すべきであると主張する（前記第３，８（２）オ（ア），（イ）〔本判決７２，７３頁〕）。しかし，前記８（３）〔本判決１４３頁〕のとおり，同一基板上に複数組の個別の基板領域を配列して形成し，これを一括して製造する技術は，本件各発明の新規性及び進歩性の判断基準日である平成７年３月１５日の時点において，半導体素子搭載用基板に係る製造分野の当業者にとって，既に周知又は公知の技術であったものと認められる。したがって，原告の上記主張は，採用することができない。

オ 原告は，相違点Ｃの容易想到性に関し，乙１公報に記載されたPGA基板は，基板に外部接続用リードピンを挿入してこれを支持する必要があるため，基板自体が十分な剛性を有しているか又は剛性を出すために厚さを厚くしており，導電層を設けて強度を上げようとする発想がないから，乙１公報には，「連結部は導電層を有する」ことの記載も示唆もなく，乙４ないし乙８の公報に記載された技術を組み合わせる動機付けも存在しないと主張する（前記第３，８（２）オ（ウ）〔本判決７３頁〕）。

しかし，乙１公報に記載されたPGA基板に，外部接続用リードピンを挿入してこれを支持するために必要な強度があったとしても，複数個の基板部間の連結部に補強が不要といえるまでの十分な強度があるかどうかは明らかでなく，この点を裏付ける具体的な根拠はない。そうであるとする  
と，乙１公報を前提とした場合に連結部の強度を上げるという発想が生じないとはいえない。むしろ，前記（３）ウ〔本判決１５３頁〕のとおり，同

一基板上に複数個の個別の基板領域を配列して形成し、これを一括して製造する技術は、周知又は公知の技術であり、これに関連して、連結部の強度を増すことは、製造設計上当然に要求される技術的事項といい得ることからすれば、乙 1 公報を前提としても、連結部に導電層を設けて強度を上げようとする発想は生じたものと認められ、原告の上記主張は、採用することができない。

(5) 無効事由の有無

以上によれば、本件発明 2 は、乙 1 公報記載の発明と周知又は公知技術に基づいて当業者が容易に発明をすることができたものであり、本件特許権 2 には無効事由があり、本件特許権 2 は、進歩性の欠如のために特許無効審判により無効にされるべきものと認められる。

10 争点(4)ウ（本件特許権 3 の無効事由の有無）について

本件発明 3 は、乙 1 公報記載の発明と周知又は公知技術に基づいて当業者が容易に発明をすることができたものであり、本件特許権 3 には進歩性欠如の無効事由があるというべきである。以下、詳述する。

(1) 乙 1 公報発明

ア 乙 1 公報発明

前記 8 (1) ウ〔本判決 1 3 4 頁〕のとおり、乙 1 公報には、乙 1 公報発明が記載されているものと認められる。

イ 乙 1 公報発明と本件発明 3 の対応

乙 1 公報発明の「樹脂基板」、「素子接続用端子」は、それぞれ本件発明 3 の「絶縁性支持体」、「ワイヤボンディング端子」に該当する。また、乙 1 公報発明の「めっきの施されたスルーホール」は、本件発明 3 の「外部接続端子」に該当すると認められる。

ウ 本件発明 3 の「外部接続端子」（構成要件ヌ）の開示の有無

前記 8 (1) オ〔本判決 1 3 5 頁〕と同様に、乙 1 公報記載の発明の外部

接続用リードピン 9，環状外部接続端子は，いずれも本件発明 3 の「外部接続端子」に該当せず，めっきの施されたスルーホールが，本件発明 3 の「外部接続端子」に該当すると認められる。

エ 本件発明 3 の基板の片面に形成された配線（構成要件ナ）の開示の有無  
乙 1 公報記載の発明には本件発明 3 の「基板の片面に形成された配線」（構成要件ナ）が開示されているものと認められる。以下，詳述する。

原告は，構成要件ナの「基板の片面に形成された複数の配線」とは，基板の片面のみに配線が形成されていることを意味するとした上で，乙 1 公報記載の発明は，配線が基板の両面に形成されたものであるから，構成要件ナの上記構成を備えるものではなく，本件発明 3 と相違する旨主張する（前記第 3，9 (2) ウ〔本判決 7 8 頁〕）。

乙 1 公報記載の発明においては，「樹脂基板 8 は，ガラス布エポキシやガラス布 B T やガラス布ポリイミド等の積層板で成っており，表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール 1 0 を設けてめっきを行ない，表裏面の銅をエッチングすることにより回路が形成されている。」（【0 0 0 5】，前記 8 (1) ア(カ)〔本判決 1 3 1 頁〕）とされており，別紙 5 「乙 1 公報図面」図 1 (A) 及び (B) に示されているとおり，表面（上面）には，複数の配線回路が設けられ，その配線回路がスルーホールの外側に向かって形成され，配線回路の外側端には素子接続用端子 7 が形成され，配線回路の内側端にはスルーホール 1 0 を取り巻く環状部分が形成されているのに対し，裏面（下面）には，スルーホール 1 0 の周囲を取り巻く環状部分がエッチングで残されており，これがスルーホール 1 0 内のめっきで表面（上面）の配線と導通している。そうすると，乙 1 公報記載の発明において，樹脂基板 8 の半導体素子 1 を搭載する面（表面・上面）には複数の配線が設けられているのに対し，裏面（下面）にはスルーホール 1 0 の周囲を取り巻くように環状に銅の部分が残さ

れているだけである。この裏面（下面）の環状の銅の部分は、スルーホール内のめっきによって表面の配線と導通され、外部接続用リードピンを固定し、外部接続用リードピンとめっきの施されたスルーホールとの電氣的接続をより確実にするためのものであると認められ、このような裏面（下面）の環状の銅の部分は、樹脂基板の表面（上面）上で半導体素子接続用端子とめっきの施されたスルーホールとの間を取り回される表面（上面）の配線回路とは機能的に異なるものである。裏面（下面）の環状の銅の部分がこのようなものであることに照らせば、裏面（下面）の環状の銅の部分は「複数の配線」に該当せず、表面（上面）の配線回路のみが「複数の配線」に該当し、基板の片面のみに「複数の配線」が形成されているものと認められ、乙１公報記載の発明は、本件発明３の構成要件ナの「基板の片面に形成された複数の配線」に当たる構成を備えていると認められる。

また、仮に、表面（上面）の配線回路のみならず裏面（下面）の環状の銅の部分も「複数の配線」に該当するとしても、構成要件ナは、「片面に形成された複数の配線」というにとどまり、「片面のみ」に形成されたとはいわれておらず、本件明細書３に、配線を片面のみに設けることの技術的意義について明確な記載がないことからすれば、本件発明３は、絶縁性支持体の片面に複数の配線を形成するとともに、外部との電氣的接続を確実にするために他の面にも配線を設けた構成を含むものと解され、これを排除する趣旨とは解されない。そうすると、仮に、裏面（下面）の環状の銅の部分も「複数の配線」に該当するとしても、乙１公報記載の発明は、構成要件ナの「片面に形成された複数の配線」を備えることができる。

したがって、乙１公報記載の発明は本件発明３の構成要件ナに該当する構成を備えない旨の原告の上記主張は採用することができず、乙１公報記載の発明には本件発明３の「基板の片面に形成された配線」（構成要件ナ）が開示されているものと認められる。

オ 本件発明３の「開口部」（構成要件ネ）の開示の有無

乙１公報記載の発明には本件発明３の「開口部」（構成要件ネ）が開示されているものと認められる。以下、詳述する。

原告は、本件発明３は、配線を絶縁性支持体の片面に形成して、開口部を外部接続端子でふさぐ構造とすることにより、半導体パッケージの構造を単純化することができ、低コストで生産性に優れた半導体素子搭載用基板を得ることができるが、他方、乙１公報記載の発明では、PGA基板のスルーホールは、内部のめっきと両面配線が必要であり、外部接続端子が挿入されなければダイボンド材によって埋められてしまうから、乙１公報記載の発明のスルーホール１０は本件発明３の「外部接続端子に達する開口部」ではなく、本件発明３の「開口部」は乙１公報記載の発明には開示されていないと主張し、また、外部接続端子がスルーホールのめっき部であるとする、本件発明３の構成要件ネ（上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている）は矛盾した意味になるなどと主張する（前記第３，９(２)エ〔本判決７８頁〕）。

しかし、本件明細書３の特許請求の範囲（本件発明３）においては、外部接続端子の形状について、開口部を外部接続端子でふさぐ構造とするという限定はされていないから、外部接続端子が開口部をふさぐものであることを前提とする原告の主張は、特許請求の範囲の記載に基づかないものであり、採用することはできない。また、本件発明３の構成要件ネ（上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている）は、絶縁性支持体を貫通し、配線の形成された面（半導体素子の搭載面）に設けられた外部接続端子に達する開口部が設けられていることを意味していると解されるところ、乙１公報記載の発明のスルーホールは、基板の上下を貫通しており、半導体素子の搭



載面とは反対側の面から半導体素子の搭載面に向けて開口しているから、本件発明３の開口部に該当するものと認められ、スルーホールをめっき部は、配線の形成された面（半導体素子の搭載面）に至るまで設けられているから、めっきされたスルーホールを外部接続端子と解したとしても、構成要件ネの「上記外部接続端子に達する開口部が設けられている」との文言は、矛盾した意味になるとはいえない。したがって、原告の上記主張を採用することはできず、乙１公報記載の発明には本件発明３の「開口部」（構成要件ネ）が開示されているものと認められる。

(2) 乙１公報発明と本件発明３の一致点、相違点

以上検討したところによれば、乙１公報発明と本件発明３を対比すると、一致点、相違点は、次のとおり認められる。

ア 一致点

絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、

上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

ことを特徴とする半導体素子搭載用基板である点。

イ 相違点

本件発明３では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えている（構成要件ニ）のに対し、乙１公報発明では、これらの領域を複数組備えることを明記していない点。

(3) 相違点に係る技術の周知又は公知性

前記 8 (3)〔本判決 1 4 3 頁〕のとおり、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 1 5 日の時点において、半導体素子搭載用基板に係る製造分野の当業者にとって、既に周知又は公知の技術であったものと認められる。したがって、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えることは、同日当時、当業者にとって周知又は公知であったものと認められる。

(4) 容易想到性

ア これまで検討したところによれば、乙 1 公報発明に周知又は公知技術を適用して本件発明 3 を構成することは、当業者にとって容易に想到し得たものと認められる。

イ 原告は、本件発明 3 の課題と乙 1 公報記載の発明の課題が異なるとして、容易想到性を否定するが（前記第 3， 9 (2) オ〔本判決 7 9 頁〕），前記 8 (4) イ〔本判決 1 4 7 頁〕と同様に、原告の上記主張は、採用することができない。

ウ 原告は、乙 4 ないし乙 8 の公報記載の発明を乙 1 公報記載の発明に適用することは容易ではないと主張するが（前記第 3， 9 (2) カ〔本判決 7 9 頁〕），前記 8 (4) ウ〔本判決 1 4 8 頁〕のとおり、原告の上記主張は、採用することができない。

エ 原告は、PGA 基板が個別に作られるのが一般的な製造法である旨主張し、その主張を前提として、相違点について容易想到性を否定するが（前記第 3， 9 (2) キ〔本判決 8 0 頁〕），前記 9 (4) エ〔本判決 1 5 5 頁〕と同様に、原告の上記主張は、採用することができない。

(5) 無効事由の有無

以上によれば、本件発明 3 は、乙 1 公報記載の発明と周知又は公知技術に

基づいて当業者が容易に発明をすることができたものであり，本件特許権 3 には無効事由があり，本件特許権 3 は，進歩性の欠如のために特許無効審判により無効にされるべきものと認められる。

11 争点(5) (本件各訂正による無効事由の解消の成否) ア (本件訂正 1 による本件特許権 1 の無効事由の解消の成否) について

本件訂正 1 によって本件特許権 1 の無効事由は解消されないものと解する。  
以下，本件各訂正後の特許の無効事由の有無について，詳述する。

(1) 乙 4 2 公報発明

ア 乙 4 2 公報の記載

乙 4 2 公報には，次のとおりの記載がある。

(ア) 「特許請求の範囲

1. パッケージより，アウターリードを垂直に出した半導体装置であつて，前記パッケージ本体内の半導体素子の下部にも前記アウターリードを有して成ることを特徴とする半導体装置。」(1 頁左下欄 3 ないし 7 行)

(イ) 「本発明では，チップの下部にもアウターリードを垂直に出した構成，換言すれば，アウターリードを全面に設け，その上部にチップを搭載する構成としたので，チップは大なるサイズのものが搭載でき，ピン数も増加でき，配線引きまわしも容易となり，かつ，パッケージサイズも小型化可能となる。」(2 頁右上欄 3 ないし 9 行)

(ウ) 「第 1 図に示すように，ベース（基板）1 の上に接着材料 2 により半導体素子（チップ）3 を固着する。

ベース 1 は例えばガラスエポキシ基板により構成される。」(2 頁右上欄 1 2 ないし 1 6 行)

(エ) 「基板 1 には第 1 図および第 2 図に示すようにその垂直方向に多数のアウターリード 4 が立設されている。

・・・アウターリード4は半導体素子3の下部にも立設されている。パッケージ本体5の基板1の裏面から基〔判決注 「基」の誤記と認められる。〕盤目状に一定のピッチで、金属ピンよりなるアウターリード4が全面にわたって突出しており」（2頁左下欄5ないし12行）

(オ) 「ベース1には、第1図にはメタライズ層（配線層）6がメッキ、蒸着などにより設けられており、このメタライズ層6と半導体素子3のパッド・・・とを、コネクタワイヤ7により、・・・ボンディングし、上記メタライズ層6と、アウターリード4とを、ベース1に穿設されたスルーホールを介して電氣的に接続している。

アウターリード4は、ベース1に融点の高い半田により、半田付される。」（2頁左下欄16行ないし右下欄5行）

(カ) 「ベース1上に、ダム8を・・・接合し、このダム8により区画されたエリア内にSi系ゲル材料をポッティングし、加熱硬化させ、得られたSi系ゲル9により、半導体素子3とコネクタワイヤボンディング部などを被覆する。」（2頁右下欄9ないし14行）

(キ) 「第3図は、本発明におけるワイヤボンディングおよびピン間の配線の要部平面図で、第3図に示すように、半導体素子3のボンディングパッド11とメタライズ層9とをコネクタワイヤ7によりボンディングするが、本発明では配線基板1のメタライズ層（配線）9をボンディンググリードとして利用すると、ピン間に引きまわすコネクタワイヤの本数が少なくでき、その配線が楽になる。」（上記「メタライズ層9」、「メタライズ層（配線）9」は、「メタライズ層6」、「メタライズ層（配線）6」の明白な誤記と認められる。3頁右下欄1ないし8行）

(ク) 第1図、第2図（4頁右下）、第3図（5頁上）には、別紙7「乙42公報図面」の第1ないし第3図の各図面が示されている。

イ 乙42公報発明の認定

前記ア〔本判決１６３頁〕の乙４２公報の記載によれば、乙４２公報には、次の発明（以下「乙４２公報発明」という。）が開示されているものと認められる（原判決１１１頁にいう「訂正引用発明１」、原判決１２３頁にいう「訂正引用発明３」は、いずれも本判決にいう「乙４２公報発明」と同じである。原判決１２０頁にいう「訂正引用発明２」は、末尾が「半導体素子実装用基板」である点以外は、本判決にいう「乙４２公報発明」と同じである。なお、乙４２公報に記載された発明について、次のとおり厳密に特定された発明を指す場合は「乙４２公報発明」といい、そうでない場合は「乙４２公報記載の発明」という。）。

「ガラスエポキシ基板により構成されるベース１に、半導体素子３の搭載される領域と、その外側にＳｉ系ゲル９により被覆される領域を有し、ベース１の半導体素子３を搭載する面側のみに、メタライズ層６からなる複数の配線が設けられ、メタライズ層６はコネクタワイヤボンディング部とアウターリード４に接続する端子とを配線の一部とした配線パターンを備え、コネクタワイヤボンディング部はＳｉ系ゲル９により被覆される領域のメタライズ層６の上面に設けられ、アウターリード４に接続する端子は半導体素子３の搭載領域のメタライズ層６の下面に設けられ、アウターリード４に接続する端子の形成される箇所のベース１にこの端子に達するスルーホールが穿設され、スルーホールの半導体素子３を搭載する面側がメタライズ層６で覆われている半導体素子搭載用基板。」

ウ 乙４２公報発明と本件訂正発明１の対応

乙４２公報発明の「ベース」、「メタライズ層」、「コネクタワイヤボンディング部」、「アウターリードに接続する端子」、「スルーホール」は、それぞれ本件訂正発明１の「絶縁性支持体」、「配線」、「ワイヤボンディング端子」、「外部接続端子」、「開口部」に該当するものと認められる。

(2) 乙４２公報発明と本件訂正発明１の一致点，相違点

ア 一致点，相違点

前記(1)〔本判決１６３頁〕に検討したところによれば，乙４２公報発明と本件訂正発明１を対比すると，一致点，相違点は，次のとおり認められる。

(ア) 一致点

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において，

半導体素子搭載領域と，該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを，備え，

上記配線は，上記絶縁性支持体の半導体素子を搭載する面側のみにあり，

上記配線は，ワイヤボンディング端子と，外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

上記ワイヤボンディング端子はその反対側の面に備えられ，

上記外部接続端子の形成される箇所の上記絶縁性支持体に，上記外部接続端子に達する開口部が設けられ，上記開口部の半導体素子を搭載する面側は，上記外部接続端子で覆われており，

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ，

上記外部接続端子は上記半導体素子搭載領域に設けられる

ことを特徴とする半導体素子搭載用基板である点。

(イ) 相違点

a 相違点 A

本件訂正発明１では，１層の銅箔から形成された配線を用いている

のに対し、乙４２公報発明では、めっきや蒸着などにより形成されたメタライズ層を用いている点。

b 相違点B

本件訂正発明１では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙４２公報発明では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否かを明記していない点。

c 相違点C

本件訂正発明１では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え、同一の配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されているのに対し、乙４２公報発明では、これらの領域を複数組備え、複数個配列することを明記していない点。

d 相違点D

本件訂正発明１では、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックが形成され、同一の上記ブロックが複数個設けられているのに対し、乙４２公報発明では、このようなブロックの形成がなく、また、複数個設けられていない点。

イ 片面配線、外部接続端子についての対比

（ア） 片面配線

- a 原告は、乙４２公報記載の発明において、スルーホールとは、側壁にめっき等による導電層を有する貫通孔のことであるとし、これを前提として、乙４２公報記載の発明は、スルーホールにアウターリードが挿入され、スルーホールの下部につながる裏面配線とアウターリードがはんだ付けされており、電氣的接続経路がコネクタワイヤー→メタ

ライズ層→スルーホール→アウターリード，又はコネクタワイヤ→メタライズ層→スルーホール→下面配線→はんだ→アウターリードの順となり，基板の下面に下面配線が設けられていることになるから，ベース 1 の半導体素子 3 を搭載する面側のみにメタライズ層 6 からなる複数の配線が設けられていることはない旨主張する（前記第 3，10 (3) ア〔本判決 89 頁〕）。そして，その上で，「上記配線は，上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり，」との点は，乙 42 公報記載の発明と本件訂正発明 1 との一致点ではなく，相違点であると主張する（前記第 3，10 (3) イ〔本判決 91 頁〕）。しかし，以下のとおり，原告の主張は，採用することができない。

b (a) まず，スルーホールの意味について検討する。

スルーホールとは，その文言からすると，貫通接続を行うために基板に設けられた貫通孔のことである。そして，貫通孔の壁面にめっきを施すことなくリードピン等により直接電氣的接合を行う技術に関して，公知文献には，次のとおり記載されている。

① 乙 71 公報（特開昭 63-253657 号公報，昭和 63 年（1988 年）10 月 20 日公開，発明の名称：半導体装置）

#### I 「特許請求の範囲

（1）貫通孔を有する穴開き絶縁基板と，穴開き絶縁基板の表面に形成した配線層と，穴開き絶縁基板の表面に搭載され配線層と結線された半導体素子と，穴開き絶縁基板の貫通孔に基板表面で配線層と接続し且つ基板裏面から突出するように挿入され，貫通孔内で金ロウにより固着された表面に金めつき層を有する金属製のピンとを具えたことを特徴とする半導体装置。」

（1 頁左下欄 3 ないし 11 行）

#### II 「〔作用〕



本発明においては、穴開き絶縁基板を使用し、配線層と外部とを連絡する導電媒体として、表面に金めつき層を有する金属製のピンを穴開き絶縁基板の貫通孔内に挿入し、その内部で金ロウにより固着してある。従つて、基板を貫通し内部の配線層と外部とを連絡する導電媒体として、従来の如く複数のグリーンシートにいちいちスルホールメタライズを形成する必要がない。その結果、粉末冶金法により一体的に成形し焼結して製造したセラミックスの穴開き絶縁基板を用いることが可能になり、製造工数を大幅に削減できる。

更に、金属製のピンの穴開き絶縁基板への固着は、貫通孔内に表面に金めつき層を有するピンを挿入して両者の隙間に金ロウを浸透流入させるだけで良好な結合が得られ、従来の如く基板裏面のメタライズ部にピンを精度よくロウ付けするよりも簡単である。」（２頁右下欄１ないし１８行）

- ② 乙７２公報（特開昭６３－２５３６５８号公報，昭和６３年（１９８８年）１０月２０日公開，発明の名称：半導体装置）

I 「特許請求の範囲

（１）貫通孔を有する穴開き絶縁基板と、穴開き絶縁基板の表面に形成した配線層と、穴開き絶縁基板の表面に塔載され配線層と結線された半導体素子と、穴開き絶縁基板の貫通孔に基板表面で配線層と接続し且つ基板裏面から突出するように挿入され、該貫通孔内で銀ロウにより固着された金属製のピンとを具えたことを特徴とする半導体装置。」（１頁左下欄３ないし１１行）

II 「〔作用〕

本発明においては、穴開き絶縁基板を使用し、配線層と外部

とを連絡する導電媒体として、金属製のピンを穴開き絶縁基板の貫通孔内に挿入し、その内部で銀ロウにより固着してある。従つて、基板を貫通し内部の配線層と外部とを連絡する導電媒体として、従来の如く複数のグリーンシートにいちいちスルホールメタライズを形成する必要がない。その結果、粉末冶金法により一体的に成形し焼結して製造したセラミックス絶縁基板を用いることが可能になり、しかも製造工数を大幅に削減できる。

更に、金属製のピンの穴開き絶縁基板への固着は、貫通孔内にピンを挿入して両者の隙間に銀ロウを浸透流入させるだけで良好な結合が得られ、従来の如く基板裏面のメタライズ部にピンを精度よくロウ付けするよりも簡単である。」（２頁右下欄 1 ないし 1 7 行）

- ③ 乙 7 3 公報（特開平 6－1 4 0 4 6 2 号公報，平成 6 年（1 9 9 4 年）5 月 2 0 日公開，発明の名称：半導体装置のパッケージ）

I 「【特許請求の範囲】

【請求項 1】半導体チップを載置する絶縁フィルムと、前記半導体チップの電極パッドのそれぞれと接続する部分をもち前記フィルム面内で互いに分離されて形成される複数の配線を有し、前記絶縁フィルムの配線形成面の反対面から複数の穴を開けてそれぞれの前記配線の一部を露呈し、これら穴に外部端子を差し込み前記配線の一部と接続し、前記外部端子の先端部を前記絶縁フィルムより突出させることを特徴とする半導体装置のパッケージ。

【請求項 2】前記外部端子の先端部の形状が半球状であることを特徴とする請求項 1 記載の半導体装置のパッケージ。

【請求項 3】 前記外部端子の先端部の形状がピン状であることを特徴とする請求項 1 記載の半導体装置のパッケージ。」

II 「この T A B 型パッケージは、図 4 に示すようにポリイミド等の樹脂で製作される T A B フィルム 1 上に、銅の金属膜を被着し、」 (【 0 0 0 4 】)

III 「まず、 T A B フィルム 1 の面に金属膜を被着し、選択的にエッチングして、例えば、図 1 ( a ) に示すようなパターンで配線 2 a を形成する。次に、 T A B フィルム 1 に形成された配線 2 a の部分が T A B フィルム 1 より露呈するように、配線形成面の反対面からフォトリソグラフィ技術で選択的にエッチングし、スルーホール 3 を形成する。尚、このスルーホール 3 は実装されるプリント基板の接続端子と合うように配列して形成されるものである。従って、配線のパターンも予めこのことを考慮して設計すべきである。」 (【 0 0 1 4 】)

iv 「次に、配線 2 a 及びスルーホール 3 が形成された T A B フィルムと半導体チップを準備し、図 2 ( a ) に示すように、半導体チップ 7 を T A B フィルム 1 に位置決めして載置し、電極パッド 8 とそれぞれ対応する配線 2 a と接合する。」 (【 0 0 1 5 】)

v 「次に、スルーホール 3 の開口のある面からめっきあるいは蒸着等によりスルーホール 3 が塞がるように半田あるいは金属の膜を形成する。そして、図 2 ( b ) に示すように、スルーホール 3 以外の領域の金属膜をエッチング除去して、 T A B フィルム 1 より突出する外部端子材 4 a を形成する。次に、図 2 ( c ) に示すように外部端子部材 4 a に半田めっき等によりバンプ 5 を被着し、外部端子として完成する。」 (【 0 0 1 6 】)

- vi 「このように本発明のTAB型パッケージは、図1(c)に示すように、外部端子4がパッケージ裏面の全面に設けられている。」(【0017】1ないし3行)
- vii 「図3は図1のTAB型パッケージを適用した他の例を示す半導体装置の部分破断側面図である。この実施例のパッケージでは、前述の実施例で示した外部端子を形成するバンプの代わりに図3に示す導電ピン5aを用いている。」(【0018】)
- viii 「次に、このパッケージ構造を理解し易いように組立順に説明する。まず、前述したと同様にTABフィルム1の配線層の外部端子に対応する部分をエッチングし、スルーホール3を形成する。勿論、スルーホール3の位置は望しくは格子状に配列され形成される。」(【0019】)
- ix 「次に、スルーホール3を形成したTABフィルム1の裏面から露出した配線の部分に、金等の導電ピンを熱圧着等の手段例えば、予備半田された導電ピン5aを熱圧で接合する方法で接続し、TABフィルム1と垂直方向に立てて接続し、TABフィルム1より1mm程度の長さで突出させ切断する。次に、スルーホール3に樹脂6aをポッティングし、導電ピン5aを固定し、これを外部端子とする。」(【0020】)
- v 「パッケージサイズをより大幅に小さくすることができる。このことはパッケージサイズの縮小率は、ピン数が増大する程顕著である。」(【0022】13ないし15行)

上記の①ないし③の文献の記載によれば、貫通孔の壁面にめっきを施すことなくリードピン等により外部と直接電氣的接続を行う技術は公知であり、スルーホールとは、基板に設けられた貫通孔を意味し、必ずしもめっきを施しためっきスルーホール、又はめっき等

による導電層を有する貫通孔の意味に限定されるものではないことが認められる。

(b) さらに、乙 4 2 公報において、スルーホールを貫通するアウターリードに関して次のとおり記載されている。

① 「特許請求の範囲

1. パッケージより、アウターリードを垂直に出した半導体装置であって、前記パッケージ本体内の半導体素子の下部にも前記アウターリードを有して成ることを特徴とする半導体装置。」(1 頁左下欄 3 ないし 7 行)

② 「[発明の目的]」

本発明の目的は、大チップ搭載可能としたプラグインパッケージを提供することを目的とする。

本発明の他の目的はピン数の増加したプラグインパッケージを提供することを目的とする。」(2 頁左上欄 6 ないし 10 行)

③ 「本発明では、チップの下部にもアウターリードを垂直に出した構成、換言すれば、アウターリードを全面に設け、その上部にチップを搭載する構成としたので、チップは大なるサイズのものが搭載でき、ピン数も増加でき、配線引きまわしも容易となり、かつ、パッケージサイズも小型化可能となる。」(2 頁右上欄 3 ないし 9 行)

④ 「第 1 図に示すように、ベース（基板）1 の上に接着材料 2 により半導体素子（チップ）3 を固着する。

ベース 1 は例えばガラスエポキシ基板により構成される。」(2 頁右上欄 12 ないし 16 行)

⑤ 「基板 1 には第 1 図および第 2 図に示すようにその垂直方向に多数のアウターリード 4 が立設されている。

本発明では、これら図に示すように、アウターリード4は半導体素子3の下部にも立設されている。パッケージ本体5の基板1の裏面から基〔判決注 「基」の誤記と認められる。〕盤目状に一定のピッチで、金属ピンよりなるアウターリード4が全面にわたって突出しており、第2図に示すように、最内周の金属ピン4の対向するピン間間隔(A)よりも大なる半導体素子3を搭載している。〕(2頁左下欄5ないし15行)

- ⑥ 「ベース1には、第1図にはメタライズ層(配線層)6がメッキ、蒸着などにより設けられており、このメタライズ層6と半導体素子3のパッド・・・とを、コネクタワイヤ7により、・・・ボンディングし、上記メタライズ層6と、アウターリード4とを、ベース1に穿設されたスルーホールを介して電氣的に接続している。

アウターリード4は、ベース1に融点の高い半田により、半田付される。〕(2頁左下欄16行ないし右下欄5行)

- ⑦ 「第3図は、本発明におけるワイヤボンディングおよびピン間の配線の要部平面図で、第3図に示すように、半導体素子3のボンディングパッド11とメタライズ層9とをコネクタワイヤ7によりボンディングするが、本発明では配線基板1のメタライズ層(配線)9をボンディングリードとして利用すると、ピン間に引きまわすコネクタワイヤの本数が少なくでき、その配線が楽になる。〕(上記「メタライズ層9」、「メタライズ層(配線)9」は誤りで、「メタライズ層6」、「メタライズ層(配線)6」が正しいものと認められる。3頁右下欄1ないし8行)

- ⑧ 「アウターリードを、従来のごとく、チップの周辺下部に垂設するという制限を取り払い、全面に一定のピッチで基〔判決注

「碁」の誤記と認められる。〕盤目状に配列し、それらアウターリードの上部にチップを搭載するようにしたので、チップは大きなサイズであっても搭載可能である。」（３頁右下欄１０ないし１５行）

- ⑨ 「上記のようにアウターリードをベース全面にわたり多数垂設しているので、多ピン化が可能である。」（４頁左上欄３ないし５行）

上記の乙４２公報の記載によれば、乙４２公報記載の発明は、要するに、アウターリード４（リードピン）をチップの周辺下部に垂設するという従来の制限を取り払い、パッケージ内の半導体素子の下部にも全面に一定のピッチで碁盤目状に配列し、それらのアウターリードの上部にチップを搭載することにより、大きなチップを搭載可能とし、また、多ピン化を可能としたものである。アウターリード４は、ベース１に融点の高いはんだにより、はんだ付されている。そして、第１図によれば、アウターリード４はベース１のスルーホールを貫通していることが示されている。しかし、乙４２公報には、スルーホールの作り方や構造については、特段の記載はなく、スルーホールにめっきが施されている旨の記載もなく、スルーホールに関しては、「上記メタライズ層６と、アウターリード４とを、ベース１に穿設されたスルホールを介して電氣的に接続している。」（２頁右下欄１ないし３行）との記載があるだけである。

- (c) 前記(a)〔本判決１６８頁〕のとおり、スルーホールとは、基板に設けられた貫通孔を意味し、必ずしもめっきを施しためっきスルーホール、又はめっき等による導電層を有する貫通孔の意味に限定されるものではない。そして、乙４２公報記載の発明では、メタライズ層６とアウターリード４とが電氣的に接続されれば足りるので

あって、電氣的な接続を確実にするためにめっきスルーホールを採用する余地があるとしても、スルーホールにめっきすることが必ずしも要求されるわけではない。また、乙４２公報記載の発明では、アウターリード４は、ベース１に融点の高いはんだにより、はんだ付されているが、これは、アウターリード４（リードピン）を固定し、電氣的な接続を確実にするためのものと解される。

そうすると、スルーホールとは側壁にめっき等による導電層を有する貫通孔であるという原告の前記 a〔本判決 167 頁〕の主張は、採用することができず、それを前提とする原告の前記 a〔本判決 167 頁〕のその余の主張も採用することができない。

- c そして、乙４２公報には、裏面配線の存在を示す記載はないし、乙４２公報記載の発明に裏面配線が必要な理由も見い出せない。そうすると、前記(1)イ〔本判決 164 頁〕認定のとおり、乙４２公報記載の発明は、ベース１の半導体素子３を搭載する面側のみにメタライズ層６からなる複数の配線が設けられているものであって、「上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみにあり、」との点は、乙４２公報記載の発明と本件訂正発明１との相違点ではなく、一致点であると認められる。

(イ) 外部接続端子

- a 原告は、乙４２公報の第３図に示されているように、スルーホールに対面する部分のメタライズ層６は空孔となっており、メタライズ層６はスルーホールを覆っていないとし、これを前提として、アウターリード４に接続されているのは、電氣的にも物理的にもスルーホールであり、メタライズ層６の下面にアウターリード４に接続する端子は存在せず、アウターリード４に接続する端子は半導体素子３の搭載領域のメタライズ層６の下面に設けられること（前記第３，１０(2)イ



(ア) e, g [本判決 86 頁]) はないし、スルーホール半導体素子 3 を搭載する面側がメタライズ層 6 で覆われていること (前記第 3, 10 (2) イ (ア) f [本判決 86 頁]) はないから、乙 42 公報記載の発明において本件訂正発明 1 の外部接続端子に該当するのはアウターリード 4 であると主張する (前記第 3, 10 (3) ア [本判決 89 頁])。そして、アウターリード 4 は絶縁性支持体上に形成される配線の一部ではないし、仮にスルーホールの側壁を外部接続端子とした場合でも同様であって、「上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え」、「上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ」、「上記ワイヤボンディング端子はその反対側の面に備えられ」、「上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており」との点は、乙 42 公報記載の発明と本件訂正発明 1 の一致点ではなく、相違点であると主張する (前記第 3, 10 (3) イ [本判決 91 頁])。

b しかし、以下のとおり、原告の上記主張は、採用することができない。

すなわち、乙 42 公報には、第 3 図に関して次のとおりの記載があるのみであり、メタライズ層 6 とスルーホールの関係についての記載はない。

「第 3 図は、本発明におけるワイヤボンディングおよびピン間の配線の要部平面図で、第 3 図に示すように、半導体素子 3 のボンディングパッド 11 とメタライズ層 9 とをコネクタワイヤ 7 によりボンディングするが、本発明では配線基板 1 のメタライズ層 (配線) 9 をボンディングリードとして利用すると、ピン間に引きまわすコネクタワイヤの本数が少なくでき、その配線が楽になる。」 (上記「メタライズ層

9」,「メタライズ層（配線）9」は,「メタライズ層6」,「メタライズ層（配線）6」の明白な誤記と認められる。3頁右下欄1ないし8行)。

また,乙42公報の第3図においては,メタライズ層6を示す長方形の上に○印が付され,アウターリード4と指示されているが,他方,第1図においては,細いアウターリード4の上端が,若干幅のあるメタライズ層6の幅方向の中央付近に当接していることが示されている。そうすると,第1図と合わせてみた場合,第3図の○印の部分は,パッケージを上から見た場合にアウターリード4がメタライズ層6の幅に納まる範囲に位置していることを示しているものと認められるが,それ以上に,スルーホールに対面する部分のメタライズ層6が空孔となっていることを示しているとは認められない。そして,乙42公報には,スルーホールに対面する部分のメタライズ層6が空孔となっている旨の説明はないし,乙42公報記載の発明において,スルーホールに対面する部分のメタライズ層6に殊更空孔を設ける理由も見出し難い。

そうすると,スルーホールに対面する部分のメタライズ層6は空孔となっており,メタライズ層6はスルーホールを覆っていないとの原告の前記a〔本判決176頁〕の主張は,採用することができず,その主張を前提とした原告の前記a〔本判決176頁〕のその余の主張も,採用することができない。

- c 前記(1)イ〔本判決164頁〕認定のとおり,乙42公報発明においては,メタライズ層6はコネクタワイヤボンディング部とアウターリード4に接続する端子とを配線の一部とした配線パターンを備えること,アウターリード4に接続する端子は半導体素子3の搭載領域のメタライズ層6の下面に設けられること,コネクタワイヤボンディン

グ部はS i系ゲル9により被覆される領域のメタライズ層6の上面に設けられること、スルーホール半導体素子3を搭載する面側がメタライズ層6で覆われていることから、「上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え」、「上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ」、「上記ワイヤボンディング端子はその反対側の面に備えられ」、「上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており」との点は、いずれも乙42公報記載の発明と本件訂正発明1との一致点であると認められる。

### (3) 相違点に係る技術の周知又は公知性

乙42公報発明と本件訂正発明1の相違点に関する技術事項（相違点Aについて、配線を1層の銅箔から形成すること、相違点Bについて、絶縁性ポリイミド（フィルム）で構成されること、相違点Cについて、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えること、同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列されていること、相違点Dについて、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックが形成され、同一のブロックを複数個設けること）は、周知又は公知であったものと認められる。以下、詳述する。

#### ア 相違点Aについて

##### （ア） 公知文献の記載

公知文献には、次のとおり記載されている。

- a 乙7公報（平成4年2月4日公開、発明の名称：TABテープの構造）

「ベーステープ1上に・・・圧延銅箔を張り付け」（2頁右上欄5、

6 行)

- b 乙 8 公報 (平成 3 年 4 月 1 9 日発行, 発明の名称: 半導体装置の製造方法)

「ベースフィルム 1 0 上に銅箔を接着し」(2 頁左下欄 1 2, 1 3 行)

- c 乙 4 4 公報 (特開平 6 - 1 1 2 3 5 4 号公報, 平成 6 年 4 月 2 2 日公開, 発明の名称: 薄型オーバーモールド半導体デバイスおよびその製造方法)

「高分子材基板 4 2 は銅張りの B T 樹脂を使用できるが, これに限定されない。・・・導電金属トレース 4 6 のパターンを形成する。」

(【0 0 1 2】8 ないし 1 2 行)

- d 乙 4 5 公報 (特開平 7 - 5 8 1 6 1 号公報, 平成 7 年 3 月 3 日公開, 発明の名称: フィルムキャリア及びこのフィルムキャリアを用いた半導体装置)

「フィルム基材 2 の一方の面 (表面) に, 上記配線パターン 3 を形成するための銅箔が貼着される。この銅箔はパターン形成され, これにより配線パターン 3 が形成される。」(【0 0 1 7】5 ないし 8 行)

- e 乙 5 8 公報 (特開平 4 - 1 8 8 7 4 1 号公報, 平成 4 年 7 月 7 日公開, 発明の名称: 半導体装置の製造方法とそれに使用するキャリアテープ)

「ポリイミド膜 1 a 上に・・・銅箔を部分エッチングにより配線パターンに形成」(3 頁左下欄 1, 2 行)

- f 乙 5 9 公報 (特開平 6 - 1 3 4 3 4 号公報, 平成 6 年 1 月 2 1 日公開, 発明の名称: 半導体装置用フィルムキャリア)

「フィルムキャリア 1 はポリイミド樹脂, ポリエステル樹脂, ガラスエポキシ樹脂などからなる可撓性絶縁フィルム 2 とこの絶縁フィル

ム 2 上にパターン形成された銅箔等の金属導体膜のリード 5 とを備えている。」(【0014】 4 ないし 8 行)

(イ) 技術の周知又は公知性

前記(ア)〔本判決 179 頁〕の文献の記載によれば、本件各訂正発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の当時、半導体素子搭載用基板において、配線を 1 層の銅箔から形成することは、周知又は公知の技術であったものと認められ、当業者であれば適宜選択し得る設計的事項であったといえる。

イ 相違点 B について

(ア) 公知文献の記載

公知文献には、次のとおり記載されている。

- a 乙 6 公報 (平成 2 年 3 月 30 日公開, 発明の名称: フィルムキャリア)

「例としてフィルム材にポリイミドを想定し」(2 頁右上欄 2, 3 行)

- b 乙 7 公報 (平成 4 年 2 月 4 日公開, 発明の名称: TAB テープの構造)

「ポリイミド製ベーステープ (絶縁性フィルム) 1」(2 頁右上欄 2, 3 行)

- c 乙 8 公報 (平成 3 年 4 月 19 日公開, 発明の名称: 半導体装置の製造方法)

「ポリイミド等の電氣的絶縁性を有するフィルムから成るベースフィルムで」(2 頁左下欄 6, 7 行)

- d 乙 45 公報 (平成 7 年 3 月 3 日公開, 発明の名称: フィルムキャリア及びこのフィルムキャリアを用いた半導体装置)

「2 はポリイミド材料等により形成されたフィルム基材」(【00

16】2，3行)

- e 乙46公報(特開平成5-283460号公報，平成5年10月29日公開，発明の名称：半導体装置)

「絶縁性のベースフィルムであって，ポリイミドフィルム等の耐熱性フィルムで形成している。」(【0020】1ないし3行)

- f 乙58公報(平成4年7月7日公開，発明の名称：半導体装置の製造方法とそれに使用するキャリアテープ)

「ポリイミド膜1a上に・・・銅箔を部分エッチングにより配線パターンに形成」(3頁左下欄1，2行)

- g 乙59公報(平成6年1月21日公開，発明の名称：半導体装置用フィルムキャリア)

「フィルムキャリア1はポリイミド樹脂，ポリエステル樹脂，ガラスエポキシ樹脂などからなる可撓性絶縁フィルム2とこの絶縁フィルム2上にパターン形成された銅箔等の金属導体膜のリード5とを備えている。」(【0014】4ないし8行)

(イ) 技術の周知又は公知性

- a 前記(ア)〔本判決180頁〕の文献の記載によれば，本件訂正発明1の新規性及び進歩性の判断基準日である平成7年3月15日の当時，半導体素子搭載用基板において，絶縁性支持体がポリイミド(フィルム)で構成されることは，周知又は公知の技術であったものと認められ，当業者であれば適宜選択し得る設計的事項であったといえる。
- b (a) さらに，相違点Bについては，本件訂正発明1では，絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し，乙42公報発明では，スルーホール(開口部)の側壁にベースが露出しているか否かを明記していない点が相違点とされている。
- (b) しかし，本件訂正発明1において，絶縁性支持体の開口部の側

壁に絶縁性支持体が露出しているとは、半導体素子搭載用基板の製造工程において、開口部にはんだボールが形成される前の状態を意味し、その時点での基板の状態を特許請求の範囲として記載したものというべきである。他方、乙４２公報発明において、スルーホール側の壁にベースが露出しているか否か明確な記載はないものの、スルーホールがその形成と同時にアウターリードと接続するためのはんだで埋められるなどの記載はないから、製造工程において、基板のスルーホール（開口部）の側壁にベース（絶縁性支持体）が露出した状態となる時期があるものと推認され、その状態をもって乙４２公報記載の発明といえることができると認められる。そうすると、上記の相違点とされた事項について、本件訂正発明１と乙４２公報発明との間で実質的には差異がなく、容易想到性の判断に当たって、この点を相違点として考慮する必要はないものと認められる。

- (c) この点について、原告は、本件訂正発明１は、製品としての半導体素子搭載用基板において、開口部の側壁に絶縁性支持体が露出しているのに対し、乙４２公報記載の発明では、製品としての状態で、スルーホールの側壁にはめっき等による導電層が形成されるとして、上記相違点についての容易想到性を否定すべきであると主張する（前記第３，１０(3)ウ〔本判決９１頁〕）。

しかし、前記８(1)オ(ア)①〔本判決１３６頁〕のとおり、本件各発明は半導体素子搭載用基板に係るものであるところ、この半導体素子搭載用基板とは、半導体素子の搭載に使うための基板という意味であり、半導体素子を直ちに搭載できる状態の基板には限らず、製造工程のある時点のものも含まれる。

また、乙４２公報には、「上記メタライズ層６と、アウターリー

ド４とを，ベース１に穿設されたスルーホールを介して電氣的に接続している」（２頁右下欄１ないし３行）と記載されており，これは，電気がスルーホールのめっき部を通してメタライズ層６とアウターリード４との間を流れるように電氣的に接続されている旨の意味とも解されるが，他方で，アウターリード４が基板の下面に設けられ，貫通孔であるスルーホールの中を通り抜けてベースの下からメタライズ層６に至っていることに鑑みれば，スルーホールが導電性を有することにより電氣的に接続することに限定するのではなく，場所的關係として，アウターリード４がスルーホールの中を通してメタライズ層６に接続している旨の意味とも解される。そして，前記（２）イ（ア）ｂ〔本判決１６８頁〕のとおり，乙４２公報記載の発明に関して，スルーホールとは，側壁にめっきを施した貫通孔又はめっき等による導電層を有する貫通孔の意味に限られないし，乙４２公報の第１図によれば，メタライズ層６とアウターリード４は直接接触していると認められるところ，メタライズ層６とアウターリード４が電氣的に接続されれば足りるのであるから，スルーホールのめっき又は導電層は常に必要なわけではない。アウターリード４は，ベース１にはんだ付けされているが，それは，アウターリード４（リードピン）を固定し，電氣的な接続を確実にするためのものである。さらに，前記（２）イ（ア）ｃ〔本判決１７６頁〕のとおり，乙４２公報には，裏面配線の存在を示す記載はなく，乙４２公報記載の発明において裏面配線が必要な理由も見い出すことができない。そうすると，乙４２公報の「上記メタライズ層６と，アウターリード４とをベース１に穿設されたスルーホールを介して電氣的に接続している」との記載を，スルーホールの壁面にめっき等により形成された導電層を介して電氣的に接続している意味に限定して解すべき理由



はなく、乙４２公報記載の発明において、製品としての状態で、常にスルーホールの側壁にめっき等による導電層が形成されるものとは解されない。

したがって、原告の上記主張は、採用することができない。

ウ 相違点Ｃについて

前記８（３）〔本判決１４３頁〕のとおり、同一基板上に複数の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各訂正発明の新規性及び進歩性の判断基準日である平成７年３月１５日の時点において、当業者にとって、周知又は公知の技術であり、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えること、同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列されていることは、同日当時、当業者にとって周知又は公知であったものと認められる。

エ 相違点Ｄについて

（ア） 公知文献の記載

公知文献には、次のとおり記載されている。

- a 乙６０公報（特開昭６２－１５０８３４号公報，昭和６２年７月４日公開，発明の名称：半導体装置樹脂成形方法および樹脂成形装置）

「このような連続フレームの上に縦方向の２単位のフレームは同図に示されるように共通の一つの樹脂ブロック５により成形封止され，樹脂パッケージ５を得る。」（２頁右下欄４ないし７行）と記載され，第１図（４頁右上）では，スタック型のリードフレームの例を示す平面図（一部樹脂封止した状態）により，半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されている。

- b 乙６１公報（特開昭６２－１５０８６８号公報，昭和６２年７月４

日公開，発明の名称：半導体装置用リードフレームとそれを使用する樹脂封止方法)

「共通の樹脂ブロック内に封止されるユニット（素子）の数は2つ又は2つ以上であればいくつでもよい。」(3頁右上欄11ないし13行)と記載され，第1図(3頁右下)には，実施例を示すリードフレーム(一部を樹脂形成)の平面図により，半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されており，第5図(4頁右上)には，実施例を示すリードフレームの平面図により，半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されている。

c 乙62公報(特開平1-281736号公報，平成元年11月13日公開，発明の名称：回路基板ユニットの製造方法)

「一列複数個毎に接続部への被覆樹脂のポッティングがなされる。・・・一度に一列のうちの5個のICデバイス10に対して樹脂を噴出する」(3頁右下欄13ないし19行)，「スプロケット・・・を回転し，次の列の処理を行なう」(4頁左上欄1ないし3行)と記載され，第2図(9頁左上)には，当該発明による回路基板ユニットの製造方法を実施する製造ラインの第1処理工程で作成されたICユニット用のキャリアテープの平面図により，半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成と，同一の樹脂封止列の複数個形成が示されている。

d 乙63公報(特開平4-116961号公報，平成4年4月17日公開，発明の名称：半導体ダイオード素子およびその製造方法)

「直線状に並んだ複数個の半導体チップを列毎に一体封止するようにして行われる。」(3頁右上欄11ないし12行)と記載され，第3図(4頁右上)には，当該発明ダイオード素子の組立工程図により，

半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成と、このようなブロックの複数列形成が示されている。

(イ) 技術の周知又は公知性

前記(ア)〔本判決 185 頁〕の文献の記載によれば、半導体素子搭載用基板に関する製造分野において、本件各訂正発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の時点において、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックを形成し、同一のブロックを複数個設けることは、半導体素子搭載用基板を効率よく大量に製造する上で、周知又は公知の技術であったといえることができる。

(4) 容易想到性

これまで検討したところによれば、乙 42 公報発明に周知又は公知技術を適用して本件訂正発明 1 を構成することは、当業者にとって容易に想到し得たものと認められる。

(5) 無効事由の解消の成否

以上によれば、本件訂正 1 によっても本件特許権 1 の無効事由は解消されないものと認められる。

12 争点(5)イ（本件訂正 2 による本件特許権 2 の無効事由の解消の成否）について

本件訂正 2 によって本件特許権 2 の無効事由は解消されないものと解する。  
以下、詳述する。

(1) 乙 42 公報発明と本件訂正発明 2 の対応

乙 42 公報発明の「ベース」、「メタライズ層」、「コネクタワイヤボンディング部」、「アウターリードに接続する端子」、「スルーホール」、「半導体素子搭載用基板」は、それぞれ本件訂正発明 2 の「絶縁性支持体」、「配線」、

「ワイヤボンディング端子」、「外部接続端子」、「開口部」、「半導体素子実装基板」に該当すると認められる。

(2) 乙４２公報発明と本件訂正発明２の一致点，相違点

乙４２公報発明と本件訂正発明２を対比すると，一致点，相違点は，次のとおり認められる。

ア 一致点

半導体素子実装基板部は，半導体素子搭載領域，上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域，及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と，上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え，

上記配線は，上記絶縁性支持体の半導体素子を搭載する面側のみにあり，

上記配線は，ワイヤボンディング端子と，外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

上記ワイヤボンディング端子はその反対側の面に備えられ，

上記外部接続端子の形成される箇所の上記絶縁性支持体に，上記外部接続端子に達する開口部が設けられ，上記開口部の半導体素子を搭載する面側は，上記外部接続端子で覆われている

ことを特徴とする半導体素子実装基板である点。

イ 相違点

(ア) 相違点 A

本件訂正発明２では，１層の銅箔から形成された配線を用いているのに対し，乙４２公報発明では，めっきや蒸着などにより形成されたメタライズ層を用いている点。

(イ) 相違点 B

本件訂正発明２では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙４２公報発明では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否か明記していない点。

（ウ） 相違点Ｃ

本件訂正発明２では、複数の半導体素子実装基板部を備えているのに対し、乙４２公報発明では、その複数個を明記していない点。

（エ） 相違点Ｄ

本件訂正発明２では、半導体素子実装基板部間を連結するための連結部、位置合わせマーク部を備えているのに対し、乙４２公報発明では、これらを備えていない点。

（オ） 相違点Ｅ

本件訂正発明２では、連結部が導電層を有するのに対し、乙４２公報発明では、これを明記していない点。

（３） 相違点に係る技術の周知又は公知性

乙４２公報発明と本件訂正発明２の相違点に関する技術事項（相違点Ａについて、配線を１層の銅箔から形成すること、相違点Ｂについて、絶縁性ポリイミド（フィルム）で構成されること、相違点Ｃについて、複数の半導体素子実装基板部を備えていること、相違点Ｄについて、半導体素子実装基板間を連結するための連結部と位置合わせマーク部とを備えていること、相違点Ｅについて、基板の複数の領域を連結する連結部に導電層を有すること）は、周知又は公知であったものと認められる。以下、詳述する。

ア 相違点Ａについて

前記１１（３）ア（イ）〔本判決１８０頁〕のとおり、本件各訂正発明の新規性及び進歩性の判断基準日である平成７年３月１５日の当時、半導体素

子搭載用基板において、配線を１層の銅箔から形成することは、周知又は公知の技術であったものと認められ、当業者であれば適宜選択し得る設計的事項であったといえる。

#### イ 相違点Bについて

前記１１(３)イ(イ)〔本判決１８２頁〕のとおり、平成７年３月１５日の当時、半導体素子搭載用基板において、絶縁性支持体がポリイミド（フィルム）で構成されることは、周知又は公知の技術であったものと認められ、当業者であれば適宜選択し得る設計的事項であったといえる。さらに、相違点Bのうち、本件訂正発明２では、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙４２公報発明では、スルーホール（開口部）の側壁にベースが露出しているか否かを明記していない点は、本件訂正発明１と乙４２公報発明との間で実質的には差異がなく、容易想到性の判断に当たって、この点を相違点として考慮する必要はないものと認められる。

#### ウ 相違点Cについて

本件訂正発明２でいう複数個の半導体素子実装基板部を備えることは、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え、これらを複数個配列することと同様の意味であり、前記８(３)〔本判決１４３頁〕のとおり、同一基板上に複数個の個別の基板領域を配列して形成し、これを一括して製造する技術は、平成７年３月１５日の時点において、当業者にとって、周知又は公知の技術であった。したがって、複数個の半導体素子実装基板部を備えていることは、同日当時、当業者にとって周知又は公知であったものと認められる。

#### エ 相違点Dについて

前記９(３)イ(イ)〔本判決１５２頁〕のとおり、平成７年３月１５日の時点において、半導体素子実装基板間を連結するための連結部と位置合わ

せマーク部とを備えていることは、周知又は公知であったものと認められる。

オ 相違点Eについて

前記9(3)ウ(イ)〔本判決154頁〕のとおり、平成7年3月15日の時点において、基板の複数の領域を連結する連結部に導電層を有することは、周知又は公知であったものと認められる。

(4) 容易想到性

これまで検討したところによれば、乙42公報発明に周知又は公知技術を適用して本件訂正発明2を構成することは、当業者にとって容易に想到し得たものと認められる。

(5) 無効事由の解消の成否

以上によれば、本件訂正2によっても本件特許権2の無効事由は解消されないものと認められる。

13 争点(5)ウ（本件訂正3による本件特許権3の無効事由の解消の成否）について

本件訂正3によって本件特許権3の無効事由は解消されないものと解する。以下、詳述する。

(1) 乙42公報発明と本件訂正発明3の対応

乙42公報発明の「ベース」、「メタライズ層」、「コネクタワイヤボンディング部」、「アウターリードに接続する端子」、「スルーホール」は、それぞれ本件訂正発明3の「絶縁性支持体」、「配線」、「ワイヤボンディング端子」、「外部接続端子」、「開口部」に該当すると認められる。

(2) 乙42公報発明と本件訂正発明3の一致点、相違点

乙42公報発明と本件訂正発明3を対比すると、一致点、相違点は、次のとおり認められる。

ア 一致点

絶縁性支持体と、その片面のみに形成される複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみにあり、

上記配線は、上記半導体パッケージ領域に形成されるワイヤボンディング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われている

ことを特徴とする半導体素子搭載用基板である点。

## イ 相違点

### (ア) 相違点 A

本件訂正発明 3 では、1 層の銅箔から形成された配線を用いているのに対し、乙 4 2 公報発明では、めっきや蒸着などにより形成されたメタライズ層を用いている点。

### (イ) 相違点 B

本件訂正発明 3 では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙 4 2 公報発明では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否か明記していない点。

### (ウ) 相違点 C



本件訂正発明 3 では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えているのに対し、乙 4 2 公報発明では、これらの領域を複数組備えることを明記していない点。

(3) 相違点に係る技術の周知又は公知性

乙 4 2 公報発明と本件訂正発明 3 の相違点に関する技術事項（相違点 A について、配線を 1 層の銅箔から形成すること、相違点 B について、絶縁性ポリイミド（フィルム）で構成されること、相違点 C について、複数個の半導体素子実装基板部を備えていること）は、周知又は公知であったものと認められる。以下、詳述する。

ア 相違点 A について

前記 1 1 (3) ア(イ)〔本判決 1 8 0 頁〕のとおり、本件各訂正発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 1 5 日の当時、半導体素子搭載用基板において、配線を 1 層の銅箔から形成することは、周知又は公知の技術であったものと認められ、当業者であれば、適宜選択し得る設計的事項であったといえる。

イ 相違点 B について

前記 1 1 (3) イ(イ)〔本判決 1 8 2 頁〕のとおり、平成 7 年 3 月 1 5 日の当時、半導体素子搭載用基板において、絶縁性支持体がポリイミド（フィルム）で構成されることは、周知又は公知の技術であったものと認められ、当業者であれば、適宜選択し得る設計的事項であったといえる。さらに、相違点 B のうち、本件訂正発明 3 では、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、乙 4 2 公報発明では、スルーホール（開口部）の側壁にベースが露出しているか否かを明記していない点は、本件訂正発明 3 と乙 4 2 公報発明との間で実質的には差異がなく、容易想到性の判断に当たって、この点を相違点として考慮する必要はないものと認められる。

#### ウ 相違点Cについて

前記 8 (3)〔本判決 1 4 3 頁〕のとおり、同一基板上に複数の個別の基板領域を配列して形成し、これを一括して製造する技術は、平成 7 年 3 月 1 5 日の時点において、当業者にとって、周知又は公知の技術であった。したがって、複数の半導体素子実装基板部を備えていることは、同日当時、当業者にとって周知又は公知であったものと認められる。

#### (4) 容易想到性

これまで検討したところによれば、乙 4 2 公報発明に周知又は公知技術を適用して本件訂正発明 3 を構成することは、当業者にとって容易に想到し得たものと認められる。

#### (5) 無効事由の解消の成否

以上によれば、本件訂正 3 によっても本件特許権 3 の無効事由は解消されないものと認められる。

### 14 結論

以上のとおり、被告製品は、本件各発明の構成要件をいずれも充足するが、本件各特許権に係る特許は、特許無効審判により無効にされるべきものと認められ、本件各訂正によってもその無効事由は解消されないものと認められる。そうすると、原告は、特許法 1 0 4 条の 3 第 1 項により、被告及び被控訴人に対し、その権利を行使することができず、原告の本訴請求はいずれも理由がない。

よって、原告の被告に対する本訴請求をいずれも棄却すべきものとした原判決は相当であり、本件控訴は理由がないから、これを棄却することとし、主文のとおり判決する。

裁判長裁判官

飯村敏明

裁判官

中平健

裁判官

上田洋幸

(別紙 1 及び別紙 2 省略)

特願平 6 - 48760号 (出願日 : 平成 6 年 3 月 1 8 日)  
特願平 6 - 273469号 (出願日 : 平成 6 年 1 1 月 8 日)  
特願平 7 - 7683号 (出願日 : 平成 7 年 1 月 2 0 日)  
特願平 7 - 56202号 (出願日 : 平成 7 年 3 月 1 5 日)

優先権主張

→ 特願平 7 - 524537号 (特許3247384号)

出願日 : 平成 7 年 3 月 1 7 日

分割出願

→ 特願2001 - 237791号 (特許3337467号)

出願日 : 平成 7 年 3 月 1 7 日

分割出願

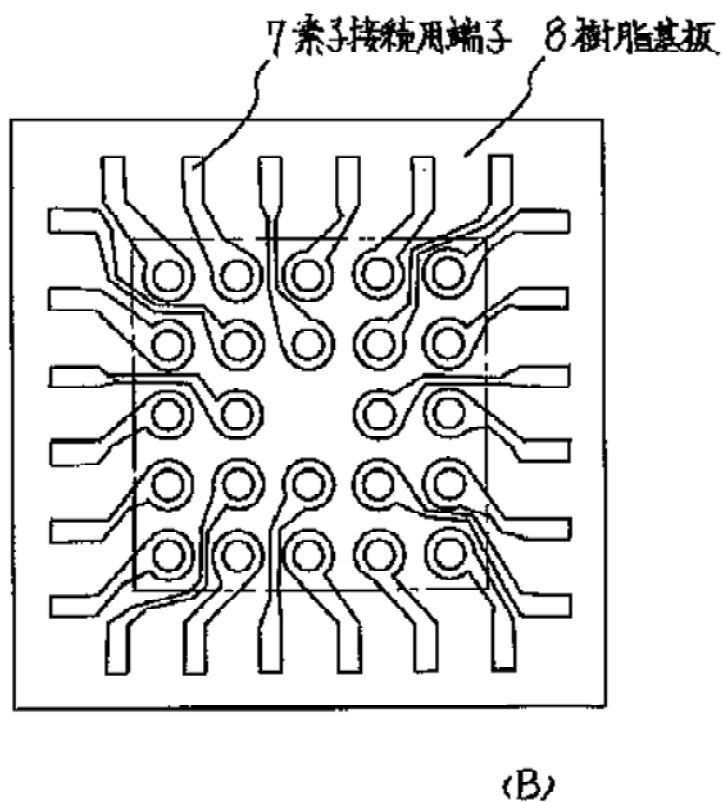
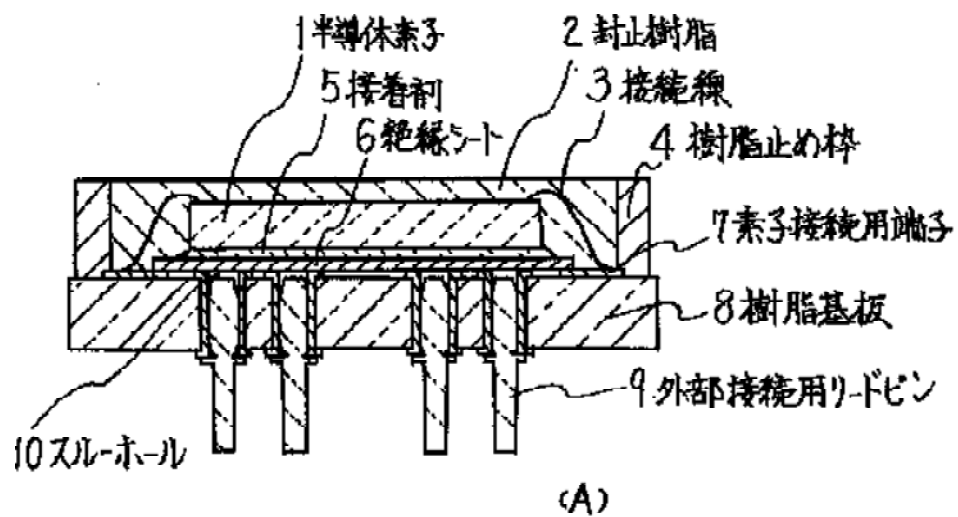
特願2002 - 137359号 (特許3413413号) 【本件特許権 1】  
特願2002 - 137361号 (特許3413191号) 【本件特許権 2】  
特願2002 - 137362号 (特許3352084号) 【本件特許権 3】  
特願2002 - 137360号 (特許3352083号)

出願日 : 平成 7 年 3 月 1 7 日

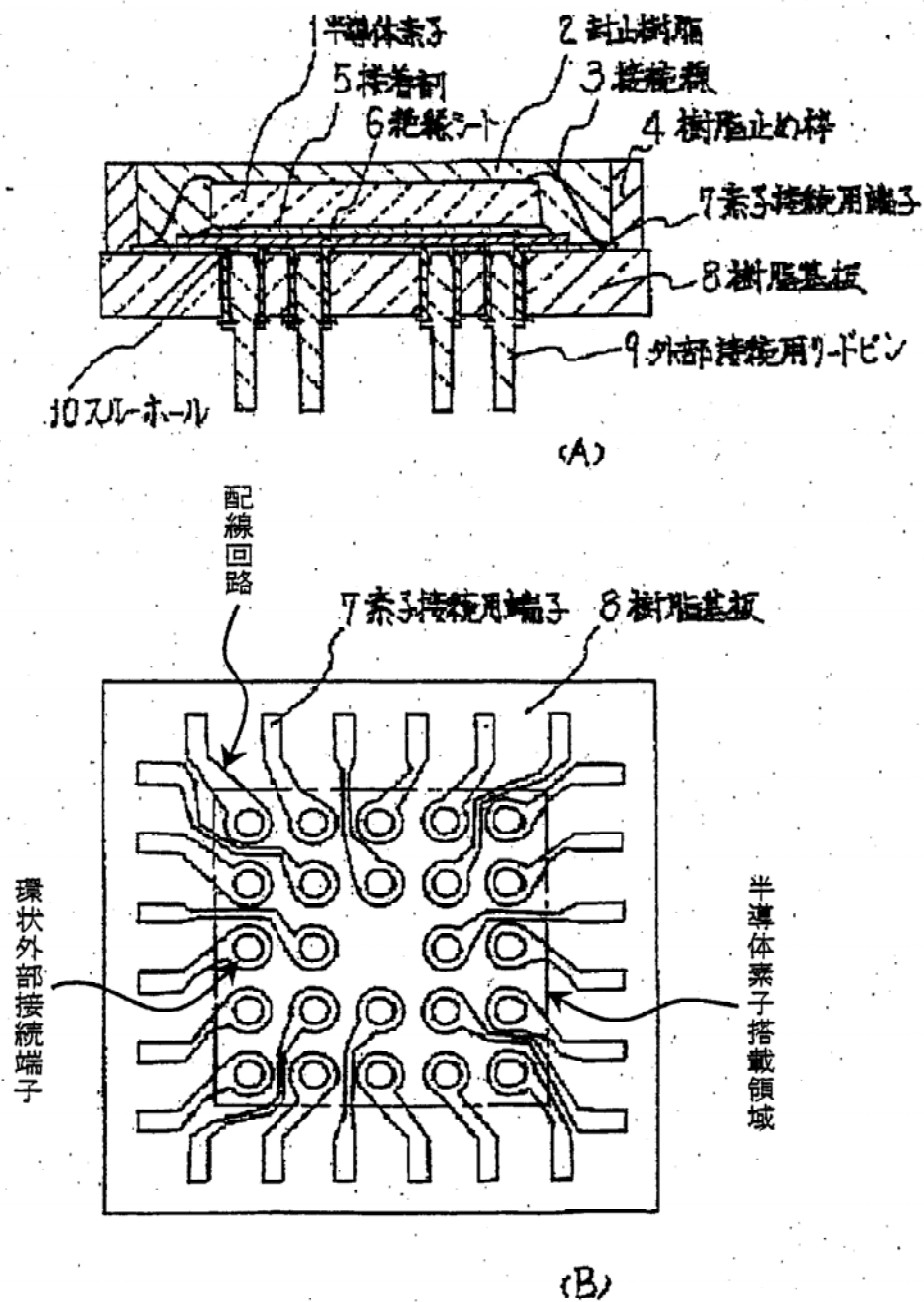
別紙 4 表 2 特許 3337467 号を親とする特許の出願審査状況

	1 世代	2 世代	3 世代	4 世代
出願 2001-237791 登録 3337467 特 開 2 0 0 2 - 110858	【本件特許権 1】 出願 2002 - 137359 登録 3413413 特開 2002 - 334948	出願 2002 - 313069 登録 3606275 特開 2003 - 133479	出願 2004 - 160856 登録 3685203 特開 2004 - 247763	
			出願 2004 - 160857 特開 2004 - 247764	出願 2005 - 138827 特開 2005 - 328057
			出願 2004 - 160858 登録 3685204 特開 2004 - 247765	
			出願 2004 - 160859 特開 2004 - 282098	
			出願 2004 - 160860 登録 3685205 特開 2004 - 247766	
	【本件特許権 2】 出願 2002 - 137361 登録 3413191 特開 2002 - 334950			
	【本件特許権 3】 出願 2002 - 137362 登録 3352084 特開 2002 - 334951			

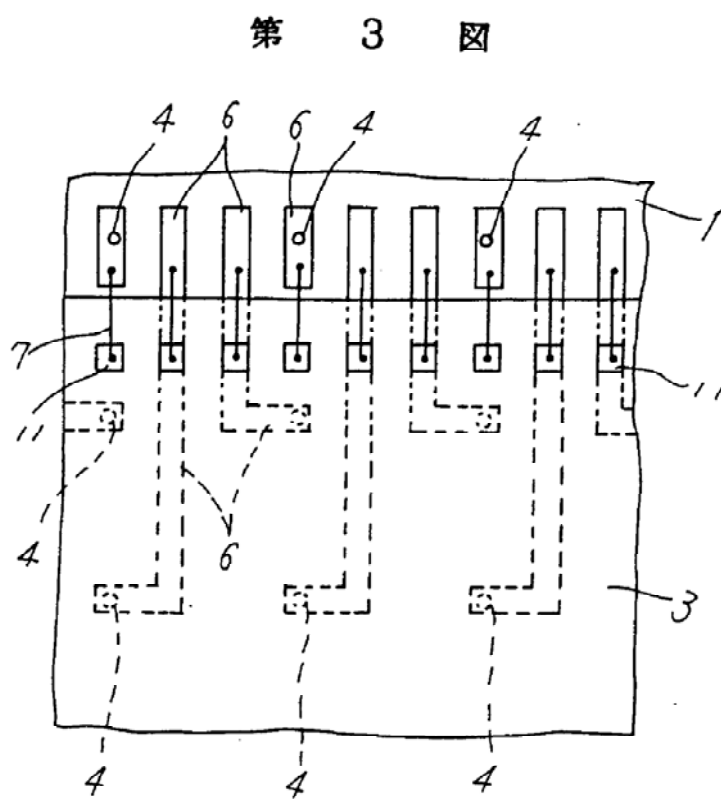
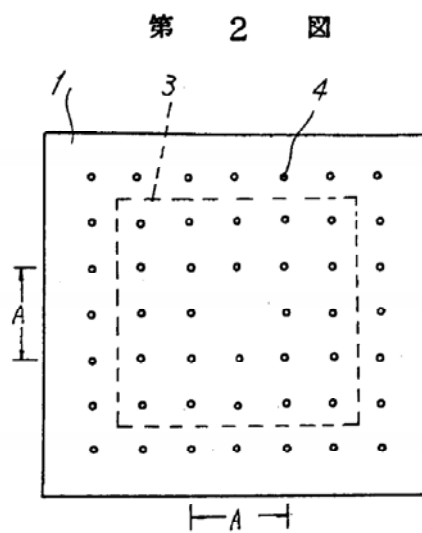
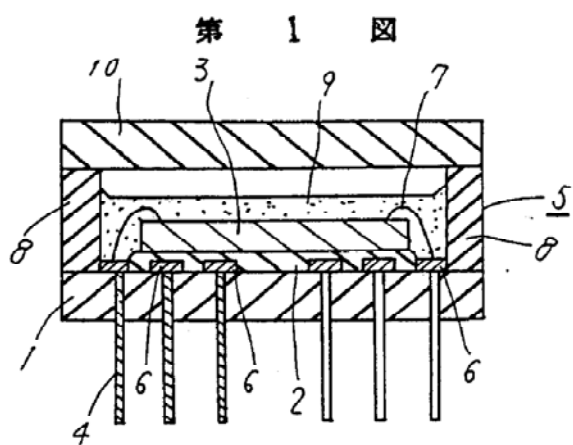
【図 1】



【図 1】







別紙8 公報一覧表

	番号	公開日	発明の名称
乙1公報	特開平5-109922号公報	平成5年(1993年)4月30日公開	半導体装置
乙2公報 及びその製造方法	特開平2-133943号公報	平成2年(1990年)5月23日公開	高集積回路
乙3公報	特開平4-103152号公報	平成4年(1992年)4月6日公開	半導体装置
乙4公報 板	特開昭64-54791号公報	平成元年(1989年)3月2日公開	複合配線基
乙5公報 基板集合体及びその製造法	特開平3-89587号公報	平成3年(1991年)4月15日公開	可撓性回路
乙6公報 キャリア	特開平2-91956号公報	平成2年(1990年)3月30日公開	フィルムキ
乙7公報 プの構造	特開平4-33350号公報	平成4年(1992年)2月4日公開	TAB テー
乙8公報 の製造方法	特開平3-94430号公報	平成3年(1991年)4月19日公開	半導体装置
乙27公報 ケージの基板への端子ピンの取付方法	特開平5-29526号公報	平成5年(1993年)2月5日公開	半導体パツ
乙29公報 被覆リード	特開平3-195051号公報	平成3年(1991年)8月26日公開	磁性合金膜
乙30公報 ルミニウム基板	特開平5-6945号公報	平成5年(1993年)1月14日公開	半導体用ア
乙31公報 基板	特開平5-152496号公報	平成5年(1993年)6月18日公開	半導体搭載
乙32公報 搭載用配線板	特開昭61-208226号公報	昭和61年(1986年)9月16日公開	半導体素子
乙33公報 基板および半導体装置の製造方法	特開昭61-248453号公報	昭和61年(1986年)11月5日公開	セラミック
乙34公報 用基板	特開昭63-60547号公報	昭和63年(1988年)3月16日公開	半導体搭載
乙42公報	特開昭61-177759号公報	昭和61年(1986年)8月9日公開	半導体装置
乙44公報 ーモールド半導体デバイスおよびその製造方法	特開平6-112354号公報	平成6年(1994年)4月22日公開	薄型オーバ
乙45公報 キャリア及びこのフィルムキャリアを用いた半導体装置	特開平7-58161号公報	平成7年(1995年)3月3日公開	フィルムキ
乙46公報	特開平成5-283460号公報	平成5年(1993年)10月29日公開	半導体装置
乙58公報 の製造方法とそれに使用するキャリアテープ	特開平4-188741号公報	平成4年(1992年)7月7日公開	半導体装置
乙59公報 用フィルムキャリア	特開平6-13434号公報	平成6年(1994年)1月21日公開	半導体装置
乙60公報 樹脂成形方法および樹脂成形装置	特開昭62-150834号公報	昭和62年(1987年)7月4日公開	半導体装置
乙61公報 用リードフレームとそれを使用する樹脂封止方法	特開昭62-150868号公報	昭和62年(1987年)7月4日公開	半導体装置
乙62公報 ニットの製造方法	特開平1-281736号公報	平成元年(1989年)11月13日公開	回路基板ユ
乙63公報 オード素子およびその製造方法	特開平4-116961号公報	平成4年(1992年)4月17日公開	半導体ダイ
乙71公報	特開昭63-253657号公報	昭和63年(1988年)10月20日公開	半導体装置
乙72公報	特開昭63-253658号公報	昭和63年(1988年)10月20日公開	半導体装置
乙73公報 のパッケージ	特開平6-140462号公報	平成6年(1994年)5月20日公開	半導体装置

別紙 9 控訴審判決もくじ

第 1	控訴の趣旨	p 2
第 2	事案の概要等	p 2
1	事案の概要	p 2
2	前提となる事実	p 3
(1)	当事者	p 3
(2)	原告の特許権	p 3
ア	本件特許権 1	p 3
イ	本件特許権 2	p 4
ウ	本件特許権 3	p 5
(3)	原告の特許発明	p 6
ア	本件発明 1	p 6
イ	本件発明 2	p 7
ウ	本件発明 3	p 7
(4)	本件各発明の構成要件の分説	p 8
(5)	被告の行為	p 10
(6)	被告製品の構成	p 10
(7)	本件各発明の構成要件充足性	p 11
(8)	事前の交渉等	p 11
(9)	本件各特許権の出願の経緯	p 11
ア	親出願等の経緯	p 12
イ	本件各特許出願と手続補正	p 12
ウ	本件特許権 1 の特許出願の分割出願	p 13
エ	本件各発明等の新規性，進歩性の判断の基準日	p 13
(10)	訂正請求の経緯	p 14
ア	無効審判請求と第 1 次審決取消訴訟	p 14
イ	訂正審判請求と差戻決定	p 14
ウ	訂正請求と訂正審判のみなし取下げ	p 14
(11)	訂正の内容	p 15
ア	本件訂正 1	p 15
イ	本件訂正 2	p 16
ウ	本件訂正 3	p 17
(12)	平成 20 年 2 月 5 日付け無効審決	p 18
ア	本件特許権 1	p 18
イ	本件特許権 2	p 19
ウ	本件特許権 3	p 19
(13)	半導体素子搭載用基板の種類	p 19
3	主要な争点	p 20
第 3	争点に関する当事者の主張	p 22

- 1 争点(1) (本件各発明の Fan-in タイプへの限定の有無) p 2 2
  - (1) 原告の主張 p 2 2
    - ア Fan-in/out タイプを含むとする理由 p 2 3
      - (ア) 半導体素子外側の外部接続端子の必要性 p 2 3
      - (イ) 半導体素子搭載用基板の各タイプの成立過程等 p 2 3
      - (ウ) 出願経過における説明等 p 2 4
    - イ 構成要件の解釈 p 2 4
  - (2) 被告の反論 p 2 5
    - ア Fan-in/out タイプを含まないとする理由 p 2 5
      - (ア) 本件各明細書の記載 p 2 5
      - (イ) 本件訴え提起前の交渉における原告の説明 p 2 5
      - (ウ) 原告ホームページのニュースリリース欄 p 2 6
      - (エ) 本件訴状別紙被告製品目録の第1ないし第4図 p 2 6
      - (オ) 出願経過における説明等 p 2 7
        - a 本件各特許権の出願経過における説明等 p 2 7
          - (a) 本件特許権1 p 2 7
          - (b) 本件特許権2 p 2 8
          - (c) 本件特許権3 p 3 0
        - b 出願経過における説明等の参酌 p 3 1
    - イ 構成要件の解釈について p 3 1
- 2 争点(2) (被告製品における「半導体素子搭載予定部4と樹脂封止予定部5を備え、ランド部21が半導体素子搭載予定部4に設けられ、ワイヤボンディング接続端子22が樹脂封止予定部5に設けられている。」との構成(構成E')の有無) p 3 1
  - (1) 原告の主張 p 3 1
  - (2) 被告の反論 p 3 2
- 3 争点(3) (構成要件充足性) ア (本件発明1の構成要件エ、本件発明2の構成要件シ、本件発明3の構成要件ヌの充足性) p 3 2
  - (1) 原告の主張 p 3 3
    - ア 構成要件と被告製品の構成部分の対応 p 3 3
    - イ 本件発明1の構成要件エの充足性 p 3 3
    - ウ 本件発明2の構成要件シの充足性 p 3 3
    - エ 本件発明3の構成要件ヌの充足性 p 3 4
  - (2) 被告の反論 p 3 5
    - ア 被告製品が構成E'を備えないことによる構成要件の非充足 p 3 5
    - イ 本件各発明が Fan-in タイプに限定されることによる構成要件の非充足 p 3 5
- 4 争点(3)イ (被告製品の「スプロケットホール7」,「目印10」の本件発明2の構成要件サⅢの「位置合わせ部」への該当性(本件発明2の構成要件サⅢの充足性)) p 3 6
  - (1) 原告の主張 p 3 6
  - (2) 被告の反論 p 3 6
- 5 争点(3)ウ (本件発明1の構成要件イ, オの充足性) p 3 7

- (1) 原告の主張 p 3 7
- (2) 被告の反論 p 3 7
- 6 争点(3)エ(本件発明3の構成要件ニの充足性) p 3 8
  - (1) 原告の主張 p 3 8
  - (2) 被告の反論 p 3 8
- 7 争点(4)(本件各発明の無効事由の有無)ア(本件特許権1の無効事由の有無) p 3 9
  - (1) 被告の主張 p 3 9
    - ア 新規性、進歩性の欠如 p 3 9
    - イ 乙1公報記載の発明 p 3 9
      - (ア) 乙1公報の記載 p 3 9
      - (イ) 乙1公報に記載された発明 p 4 1
    - ウ 被告主張に係る乙1公報発明1と本件発明1の一致点、相違点 p 4 1
      - (ア) 一致点 p 4 2
      - (イ) 相違点 p 4 2
    - エ 新規性、進歩性の有無 p 4 3
      - (ア) 新規性 p 4 3
      - (イ) 進歩性 p 4 3
    - オ 小括 p 4 4
  - (2) 原告の反論 p 4 5
    - ア 新規性、進歩性の具備 p 4 5
    - イ 本件発明1の「外部接続端子」(構成要件ウ、エ)の開示の有無 p 4 5
      - (ア) 本件発明1の「外部接続端子」 p 4 5
      - (イ) 乙1公報に開示された外部接続端子 p 4 5
        - a 外部接続用リードピンの本件発明1の「外部接続端子」への該当性 p 4 5
          - (a) 外部との接続手段への該当性 p 4 5
            - ① 半導体素子搭載用基板の意味 p 4 5
            - ② 製造工程 p 4 6
            - ③ 外部接続用リードピンが打たれていない半導体素子搭載用基板の存否 p 4 7
            - ④ 外部接続用リードピンが打たれていない状態における「半導体素子搭載用基板」の呼称の有無 p 4 9
            - ⑤ ハンダボールとの比較 p 5 0
            - ⑥ 外部との接続手段への該当性 p 5 0
          - (b) 配線への包含の有無 p 5 0
          - (c) 本件発明1の「外部接続端子」への該当性 p 5 0
        - b 環状外部接続端子の本件発明1の「外部接続端子」への該当性 p 5 1
          - (a) パッケージ外部接続端子と基板配線外部接続端子の区別 p 5 1
          - (b) 外部との接続の可否 p 5 1
          - (c) 外部接続端子における「端子」の意味 p 5 2
          - (d) 本件発明1の「外部接続端子」への該当性 p 5 2
        - c 本件発明1の「外部接続端子」を外部基板との接続部42のような部材と解すること

の可否 p 5 3

d 乙1公報における本件発明1の「外部接続端子」の開示の有無 p 5 3

(ウ) 乙2公報に開示された外部接続端子 p 5 3

(エ) 乙3公報に開示された外部接続端子 p 5 4

(オ) 小括 p 5 5

ウ 本件発明1の「上記外部接続端子は上記半導体搭載領域に設けられ」(構成要件エ)の開示の有無 p 5 5

エ 半導体パッケージ領域を複数個配列することの周知性の有無 p 5 5

オ 乙1公報記載の発明と本件発明1の課題の相違 p 5 6

カ 乙4ないし乙8の公報記載の発明を乙1公報記載の発明に適用することの容易性の有無 p 5 7

(3) 被告の再反論 p 5 8

ア 本件発明1の「外部接続端子」(構成要件ウ、エ)の開示の有無について p 5 8

(ア) 本件発明1の半導体素子搭載用基板について p 5 8

(イ) 乙1公報に開示された外部接続端子について p 5 8

a 外部接続用リードピン及び環状外部接続端子の本件発明1の「外部接続端子」への該当性について p 5 8

(a) パッケージ外部接続端子と基板配線外部接続端子の区別について p 5 9

(b) 外部との接続の可否について p 5 9

(c) 半導体素子搭載用基板におけるリードピンの有無について p 6 0

(d) 本件発明1の「外部接続端子」への該当性について p 6 1

b 本件発明1の「外部接続端子」を外部基板との接続部42のような部材と解することの可否について p 6 1

c 乙1公報における本件発明1の「外部接続端子」の開示の有無について p 6 1

(ウ) 乙2公報に開示された外部接続端子について p 6 1

(エ) 乙3公報に開示された外部接続端子について p 6 2

(オ) 小括 p 6 2

イ 本件発明1の「上記外部接続端子は上記半導体搭載領域に設けられ」(構成要件エ)の開示の有無について p 6 2

ウ 半導体パッケージ領域を複数個配列することの周知性の有無について p 6 2

エ 乙1公報記載の発明と本件発明1の課題の相違について p 6 3

オ 乙4ないし乙8の公報記載の発明を乙1公報記載の発明に適用することの容易性の有無について p 6 3

8 争点(4)イ(本件特許権2の無効事由の有無) p 6 4

(1) 被告の主張 p 6 4

ア 進歩性の欠如 p 6 4

イ 乙1公報記載の発明 p 6 4

ウ 被告主張に係る乙1公報発明2と本件発明2の一致点、相違点 p 6 5

(ア) 一致点 p 6 5

(イ) 相違点 p 6 6

- a 相違点 A p 6 6
  - b 相違点 B p 6 6
  - c 相違点 C p 6 6
- エ 相違点についての容易想到性 p 6 6
  - (ア) 相違点 A について p 6 7
  - (イ) 相違点 B について p 6 7
  - (ウ) 相違点 C について p 6 9
- オ 小括 p 7 1
- (2) 原告の反論 p 7 1
  - ア 進歩性の具備 p 7 1
  - イ 本件発明 2 の「外部接続端子」(構成要件シ)の開示の有無 p 7 1
    - (ア) 本件発明 2 の「外部接続端子」 p 7 1
    - (イ) 乙 1 公報に開示された外部接続端子 p 7 1
    - (ウ) 乙 2 公報に開示された外部接続端子 p 7 1
    - (エ) 乙 3 公報に開示された外部接続端子 p 7 2
  - ウ 乙 1 公報記載の発明と本件発明 2 の課題の相違 p 7 2
  - エ 乙 4 ないし乙 8 の各公報記載の発明を乙 1 公報記載の発明に適用することの容易性の有無 p 7 2
  - オ 相違点についての容易想到性 p 7 2
    - (ア) 相違点 A について p 7 2
    - (イ) 相違点 B について p 7 3
    - (ウ) 相違点 C について p 7 3
    - (エ) 相違点 A ないし C についての容易想到性の有無 p 7 3
- 9 争点(4)ウ(本件特許権 3 の無効事由の有無) p 7 3
  - (1) 被告の主張 p 7 3
    - ア 新規性, 進歩性の欠如 p 7 3
    - イ 乙 1 公報記載の発明 p 7 4
    - ウ 被告主張に係る乙 1 公報発明 3 と本件発明 3 の一致点、相違点 p 7 4
      - (ア) 一致点 p 7 5
      - (イ) 相違点 p 7 5
    - エ 新規性、進歩性の有無 p 7 6
      - (ア) 新規性 p 7 6
      - (イ) 進歩性 p 7 6
    - オ 小括 p 7 7
  - (2) 原告の反論 p 7 7
    - ア 新規性, 進歩性の具備 p 7 7
    - イ 本件発明 3 の「外部接続端子」(構成要件ヌ)の開示の有無 p 7 7
      - (ア) 本件発明 3 の「外部接続端子」 p 7 7
      - (イ) 乙 1 公報に開示された外部接続端子 p 7 7
      - (ウ) 乙 2 公報に開示された外部接続端子 p 7 7

- (エ) 乙3公報に開示された外部接続端子 p 7 7
- ウ 本件発明3の基板の片面に形成された配線（構成要件ナ）の開示の有無 p 7 8
- エ 本件発明3の「開口部」（構成要件ネ）の開示の有無 p 7 8
- オ 乙1公報記載の発明と本件発明3の課題の相違 p 7 9
- カ 乙4ないし乙8の各公報記載の発明を乙1公報記載の発明に適用することの容易性の有無 p 7 9
- キ 被告主張に係る乙1公報発明3と本件発明3の相違点についての容易想到性 p 8 0
- (3) 被告の再反論 p 8 0
  - ア 本件発明3の基板の片面に形成された配線（構成要件ナ）の開示の有無について p 8 0
  - イ 本件発明3の「開口部」（構成要件ネ）の開示の有無について p 8 1
- 10 争点(5)（本件各訂正による無効事由の解消の有無）ア（本件訂正1による本件特許権1の無効事由の解消の有無） p 8 1
  - (1) 原告の主張 p 8 1
    - ア 乙1公報記載の発明に基づく容易想到性がないこと p 8 2
      - (ア) 乙1公報記載の発明 p 8 2
      - (イ) 本件訂正発明1 p 8 2
      - (ウ) 乙1公報記載の発明と本件訂正発明1の対比 p 8 3
      - (エ) 乙1公報記載の発明に基づく容易想到性の有無 p 8 3
    - イ 乙4公報記載の発明に基づく容易想到性がないこと p 8 4
      - (ア) 乙4公報記載の発明 p 8 4
      - (イ) 乙4公報記載の発明と本件訂正発明1の対比 p 8 4
      - (ウ) 乙4公報記載の発明に基づく容易想到性の有無 p 8 5
    - ウ 本件特許権1の無効事由の解消 p 8 5
  - (2) 被告の反論 p 8 5
    - ア 乙1公報記載の発明との対比における新規性、進歩性の欠如 p 8 5
    - イ 乙42公報記載の発明との対比における進歩性の欠如 p 8 5
      - (ア) 乙42公報記載の発明 p 8 6
      - (イ) 乙42公報記載の発明と本件訂正発明1の一致点，相違点 p 8 6
        - a 一致点 p 8 7
        - b 相違点 p 8 7
          - (a) 相違点① p 8 7
          - (b) 相違点② p 8 7
          - (c) 相違点③ p 8 8
          - (d) 相違点④ p 8 8
      - (ウ) 相違点に係る技術の周知性 p 8 8
        - a 相違点①について p 8 8
        - b 相違点②について p 8 8
        - c 相違点③について p 8 8
        - d 相違点④について p 8 8
      - (エ) 容易想到性 p 8 9



- (3) 原告の再反論 p 8 9
  - ア 乙 4 2 公報記載の発明について p 8 9
  - イ 乙 4 2 公報記載の発明と本件訂正発明 1 の一致点, 相違点について p 9 1
  - ウ 絶縁性支持体の開口部側壁への露出に関する相違点について p 9 1
  - エ 容易想到性について p 9 3
- 11 争点(5)イ(本件訂正 2 による本件特許権 2 の無効事由の解消の有無) p 9 3
  - (1) 原告の主張 p 9 3
    - ア 乙 4 公報記載の発明 p 9 3
    - イ 本件訂正発明 2 p 9 4
    - ウ 乙 4 公報記載の発明と本件訂正発明 2 の対比 p 9 5
    - エ 乙 4 公報記載の発明に基づく容易想到性の有無 p 9 5
    - オ 本件特許権 2 の無効事由の解消 p 9 5
  - (2) 被告の反論 p 9 5
    - ア 乙 1 公報記載の発明との対比における進歩性の欠如 p 9 5
    - イ 乙 4 2 公報記載の発明との対比における進歩性の欠如 p 9 6
      - (ア) 乙 4 2 公報記載の発明 p 9 6
      - (イ) 乙 4 2 公報記載の発明と本件訂正発明 2 の一致点, 相違点 p 9 7
        - a 一致点 p 9 7
        - b 相違点 p 9 8
          - (a) 相違点① p 9 8
          - (b) 相違点② p 9 8
          - (c) 相違点③ p 9 8
          - (d) 相違点④ p 9 8
          - (e) 相違点⑤ p 9 8
      - (ウ) 相違点に係る技術の周知性 p 9 8
        - a 相違点①について p 9 8
        - b 相違点②について p 9 8
        - c 相違点③について p 9 9
        - d 相違点④について p 9 9
        - e 相違点⑤について p 9 9
      - (エ) 容易想到性 p 9 9
  - (3) 原告の再反論 p 9 9
- 12 争点(5)ウ(本件訂正 3 による本件特許権 3 の無効事由の解消の有無) p 1 0 0
  - (1) 原告の主張 p 1 0 0
    - ア 乙 1 公報記載の発明 p 1 0 0
    - イ 本件訂正発明 3 p 1 0 0
    - ウ 乙 1 公報記載の発明と本件訂正発明 3 の対比 p 1 0 1
    - エ 乙 1 公報記載の発明に基づく容易想到性の有無 p 1 0 1
    - オ 本件特許権 3 の無効事由の解消 p 1 0 1
  - (2) 被告の反論 p 1 0 2

ア 乙1公報記載の発明との対比における進歩性の欠如 p 1 0 2

イ 乙42公報記載の発明との対比における進歩性の欠如 p 1 0 2

(ア) 乙42公報記載の発明 p 1 0 2

(イ) 乙42公報記載の発明と本件訂正発明3の一致点、相違点 p 1 0 3

a 一致点 p 1 0 3

b 相違点 p 1 0 4

(a) 相違点① p 1 0 4

(b) 相違点② p 1 0 4

(c) 相違点③ p 1 0 4

(ウ) 相違点に係る技術の周知性 p 1 0 4

a 相違点①について p 1 0 4

b 相違点②について p 1 0 4

c 相違点③について p 1 0 5

(エ) 容易想到性 p 1 0 5

(3) 原告の再反論 p 1 0 5

13 争点(6)(本件各訂正発明の構成要件充足性) ア(本件訂正発明1の構成要件充足性) p 1 0 5

(1) 原告の主張 p 1 0 6

ア 本件各訂正発明の構成要件と対比するための被告製品の特許 p 1 0 6

イ 本件訂正発明1の構成要件充足性 p 1 0 7

(ア) 構成要件ア p 1 0 7

(イ) 構成要件イ p 1 0 8

(ウ) 構成要件㊦ i p 1 0 8

(エ) 構成要件㊦ ii p 1 0 8

(オ) 構成要件㊦ i p 1 0 8

(カ) 構成要件㊦ ii p 1 0 8

(キ) 構成要件㊦ iii p 1 0 9

(ク) 構成要件㊦ iv p 1 0 9

(ケ) 構成要件㊦ v p 1 0 9

(コ) 構成要件㊦ vi p 1 0 9

(サ) 構成要件㊦ i p 1 1 0

(シ) 構成要件㊦ ii p 1 1 0

(ス) 半導体素子搭載用基板 p 1 1 0

(セ) 構成要件充足性 p 1 1 0

(2) 被告の反論 p 1 1 0

14 争点(6)イ(本件訂正発明2の構成要件充足性) p 1 1 0

(1) 原告の主張 p 1 1 0

ア 構成要件サⅠ p 1 1 0

イ 構成要件サⅡ p 1 1 1

ウ 構成要件サⅢ p 1 1 1

エ	構成要件㊟ i	p 1 1 1
オ	構成要件㊟ ii	p 1 1 1
カ	構成要件㊟ iii	p 1 1 2
キ	構成要件㊟ iv	p 1 1 2
ク	構成要件㊟ v	p 1 1 2
ケ	構成要件㊟ vi	p 1 1 2
コ	構成要件㊟ vii	p 1 1 3
サ	構成要件ス	p 1 1 3
シ	半導体素子搭載用基板	p 1 1 3
ス	構成要件充足性	p 1 1 3

(2) 被告の反論 p 1 1 3

15 争点(6)ウ (本件訂正発明3の構成要件充足性) p 1 1 3

(1) 原告の主張 p 1 1 3

ア	構成要件ナ	p 1 1 3
イ	構成要件ニ	p 1 1 4
ウ	構成要件㊟ i	p 1 1 4
エ	構成要件㊟ ii	p 1 1 4
オ	構成要件㊟ i	p 1 1 4
カ	構成要件㊟ ii	p 1 1 5
キ	構成要件㊟ iii	p 1 1 5
ク	構成要件㊟ iv	p 1 1 5
ケ	半導体素子搭載用基板	p 1 1 5
コ	構成要件充足性	p 1 1 5

(2) 被告の反論 p 1 1 5

16 争点(7) (損害の発生及びその額) p 1 1 6

(1) 原告の主張 p 1 1 6

ア	被告製品の販売額	p 1 1 6
イ	実施料率	p 1 1 6
ウ	損害額	p 1 1 6

(2) 被告の反論 p 1 1 6

第4 当裁判所の判断 p 1 1 7

1 争点(1) (本件各発明の Fan-in タイプへの限定の有無) について p 1 1 7

(1) Fan-in/out タイプを含む理由について p 1 1 7

ア	特許請求の範囲の記載	p 1 1 7
イ	本件各明細書等の記載	p 1 1 8
(ア)	発明の詳細な説明の記載	p 1 1 8
(イ)	図面	p 1 1 9
(ウ)	Fan-in/out タイプの公知性	p 1 1 9

(2) 構成要件の解釈 p 1 2 0

2 争点(2) (被告製品における「半導体素子搭載予定部4と樹脂封止予定部5を備え、ランド部

- 2 1 が半導体素子搭載予定部 4 に設けられ、ワイヤボンディング接続端子 2 2 が樹脂封止予定部 5 に設けられている。」との構成（構成 E'）の有無）について p 1 2 2
- (1) 半導体素子搭載予定部 4 と樹脂封止予定部 5 を備えること p 1 2 2
- (2) ランド部 2 1，ワイヤボンディング接続端子 2 2 の位置 p 1 2 3
- (3) 構成 E' の有無 p 1 2 4
- 3 争点(3)（構成要件充足性）ア（本件発明 1 の構成要件エ，本件発明 2 の構成要件シ，本件発明 3 の構成要件ヌの充足性）について p 1 2 4
- (1) 構成要件と被告製品の構成部分の対応 p 1 2 4
- (2) 本件発明 1 の構成要件エの充足性 p 1 2 5
- (3) 本件発明 2 の構成要件シの充足性 p 1 2 5
- (4) 本件発明 3 の構成要件ヌの充足性 p 1 2 5
- 4 争点(3)イ（被告製品の「スプロケットホール 7」，「目印 1 0」の本件発明 2 の構成要件サⅢの「位置合わせマーク部」への該当性（本件発明 2 の構成要件サⅢの充足性））について p 1 2 6
- (1) 被告製品の「目印 1 0」の本件発明 2 の構成要件サⅢの「位置合わせマーク部」への該当性 p 1 2 6
- (2) 被告製品の「スプロケットホール 7」の本件発明 2 の構成要件サⅢの「位置合わせマーク部」への該当性 p 1 2 7
- (3) 本件発明 2 の構成要件サⅢの充足性 p 1 2 7
- 5 争点(3)ウ（本件発明 1 の構成要件イ，オの充足性）について p 1 2 7
- 6 争点(3)エ（本件発明 3 の構成要件ニの充足性）について p 1 2 8
- 7 本件各発明の構成要件充足性 p 1 2 8
- (1) 本件発明 1（構成要件アないしオ） p 1 2 8
- (2) 本件発明 2（構成要件サⅠないしⅢ，シ，ス） p 1 2 9
- (3) 本件発明 3（構成要件ナないしネ） p 1 2 9
- 8 争点(4)（本件各発明の無効事由の有無）ア（本件特許権 1 の無効事由の有無）について p 1 3 0
- (1) 乙 1 公報発明 p 1 3 0
- ア 乙 1 公報の記載 p 1 3 0
- イ 外部接続用リードピンが打たれていない状態の P G A 用基板についての文献の記載 p 1 3 2
- ウ 乙 1 公報発明の認定 p 1 3 4
- エ 乙 1 公報発明と本件発明 1 の対応 p 1 3 5
- オ 本件発明 1 の「外部接続端子」（構成要件ウ、エ）の開示の有無 p 1 3 5
- (ア) 外部接続用リードピン p 1 3 5
- ① 半導体素子搭載用基板という用語の意味について p 1 3 6
- ② 製造工程について p 1 3 8
- ③ 外部接続用リードピンが打たれていない半導体素子搭載用基板の存否について p 1 3 8
- ④ 外部接続用リードピンを備えない状態における「半導体素子搭載用基板」との呼称の

有無について p 1 3 9

⑤ ハンダボールとの比較について p 1 4 0

(イ) 環状外部接続端子 p 1 4 1

(ウ) 外部基板との接続部 4 2 と解することについて p 1 4 1

(エ) 「外部接続端子」の開示の有無 p 1 4 2

カ 本件発明 1 の「上記外部接続端子は上記半導体搭載領域に設けられ」(構成要件エ)の開示の有無 p 1 4 2

(2) 乙 1 公報発明と本件発明 1 の一致点, 相違点 p 1 4 2

ア 一致点 p 1 4 2

イ 相違点 p 1 4 3

(3) 相違点に係る技術の周知又は公知性 p 1 4 3

ア 公知文献の記載 p 1 4 3

イ 技術の周知又は公知性 p 1 4 5

(4) 容易想到性 p 1 4 7

(5) 無効事由の有無 p 1 4 8

9 争点(4)イ(本件特許権 2 の無効事由の有無)について p 1 4 9

(1) 乙 1 公報発明 p 1 4 9

ア 乙 1 公報発明 p 1 4 9

イ 乙 1 公報発明と本件発明 2 の対応 p 1 4 9

ウ 本件発明 2 の「外部接続端子」(構成要件シ)の開示の有無 p 1 4 9

(2) 乙 1 公報発明と本件発明 2 の一致点, 相違点 p 1 4 9

ア 一致点 p 1 4 9

イ 相違点 p 1 5 0

(ア) 相違点 A p 1 5 0

(イ) 相違点 B p 1 5 0

(ウ) 相違点 C p 1 5 0

(3) 相違点に係る技術の周知又は公知性 p 1 5 0

ア 相違点 A について p 1 5 0

イ 相違点 B について p 1 5 1

(ア) 公知文献の記載 p 1 5 1

(イ) 技術の周知又は公知性 p 1 5 2

ウ 相違点 C について p 1 5 3

(ア) 公知文献の記載 p 1 5 3

(イ) 技術の周知又は公知性 p 1 5 4

(4) 容易想到性 p 1 5 5

(5) 無効事由の有無 p 1 5 6

10 争点(4)ウ(本件特許権 3 の無効事由の有無)について p 1 5 7

(1) 乙 1 公報記載の発明 p 1 5 7

ア 乙 1 公報記載の発明 p 1 5 7

イ 乙 1 公報発明と本件発明 3 の対応 p 1 5 7

- ウ 本件発明 3 の「外部接続端子」(構成要件ヌ)の開示の有無 p 1 5 7
- エ 本件発明 3 の基板の片面に形成された配線(構成要件ナ)の開示の有無 p 1 5 7
- オ 本件発明 3 の「開口部」(構成要件ネ)の開示の有無 p 1 5 9
- (2) 乙 1 公報発明と本件発明 3 の一致点, 相違点 p 1 6 1
  - ア 一致点 p 1 6 1
  - イ 相違点 p 1 6 1
- (3) 相違点に係る技術の周知又は公知性 p 1 6 1
- (4) 容易想到性 p 1 6 2
- (5) 無効事由の有無 p 1 6 2
- 11 争点(5)(本件各訂正による無効事由の解消の成否)ア(本件訂正 1 による本件特許権 1 の無効事由の解消の成否)について p 1 6 2
  - (1) 乙 4 2 公報発明 p 1 6 3
    - ア 乙 4 2 公報の記載 p 1 6 3
    - イ 乙 4 2 公報発明の認定 p 1 6 4
    - ウ 乙 4 2 公報発明と本件訂正発明 1 の対応 p 1 6 5
  - (2) 乙 4 2 公報発明と本件訂正発明 1 の一致点, 相違点 p 1 6 5
    - ア 一致点, 相違点 p 1 6 5
      - (ア) 一致点 p 1 6 5
      - (イ) 相違点 p 1 6 6
        - a 相違点 A p 1 6 6
        - b 相違点 B p 1 6 6
        - c 相違点 C p 1 6 7
        - d 相違点 D p 1 6 7
    - イ 片面配線, 外部接続端子についての対比 p 1 6 7
      - (ア) 片面配線 p 1 6 7
      - (イ) 外部接続端子 p 1 7 6
  - (3) 相違点に係る技術の周知又は公知性 p 1 7 9
    - ア 相違点 A について p 1 7 9
      - (ア) 公知文献の記載 p 1 7 9
      - (イ) 技術の周知又は公知性 p 1 8 0
    - イ 相違点 B について p 1 8 0
      - (ア) 公知文献の記載 p 1 8 0
      - (イ) 技術の周知又は公知性 p 1 8 2
    - ウ 相違点 C について p 1 8 4
    - エ 相違点 D について p 1 8 5
      - (ア) 公知文献の記載 p 1 8 5
      - (イ) 技術の周知又は公知性 p 1 8 6
  - (4) 容易想到性 p 1 8 7
  - (5) 無効事由の解消の成否 p 1 8 7
- 12 争点(5)イ(本件訂正 2 による本件特許権 2 の無効事由の解消の成否)について p 1 8 7

- (1) 乙42公報発明と本件訂正発明2の対応 p 187
- (2) 乙42公報発明と本件訂正発明2の一致点, 相違点 p 187
  - ア 一致点 p 187
  - イ 相違点 p 188
    - (ア) 相違点A p 188
    - (イ) 相違点B p 188
    - (ウ) 相違点C p 188
    - (エ) 相違点D p 188
    - (オ) 相違点E p 189
- (3) 相違点に係る技術の周知又は公知性 p 189
  - ア 相違点Aについて p 189
  - イ 相違点Bについて p 189
  - ウ 相違点Cについて p 190
  - エ 相違点Dについて p 190
  - オ 相違点Eについて p 190
- (4) 容易想到性 p 190
- (5) 無効事由の解消の成否 p 190
- 13 争点(5)ウ(本件訂正3による本件特許権3の無効事由の解消の成否)について p 191
  - (1) 乙42公報発明と本件訂正発明3の対応 p 191
  - (2) 乙42公報発明と本件訂正発明3の一致点, 相違点 p 191
    - ア 一致点 p 191
    - イ 相違点 p 192
      - (ア) 相違点A p 192
      - (イ) 相違点B p 192
      - (ウ) 相違点C p 192
  - (3) 相違点に係る技術の周知又は公知性 p 192
    - ア 相違点Aについて p 192
    - イ 相違点Bについて p 193
    - ウ 相違点Cについて p 193
  - (4) 容易想到性 p 193
  - (5) 無効事由の解消の成否 p 193
- 14 結論 p 194