

平成19年9月21日判決言渡 同日原本領収 裁判所書記官

平成18年(ワ)第1223号 特許権侵害行為差止等請求事件

口頭弁論終結日 平成19年7月17日

判 決

東京都新宿区(以下略)

原 告	日 立 化 成 工 業 株 式 会 社
同訴訟代理人弁護士	吉 原 省 三
同	小 松 勉
同	三 輪 拓 也
同	上 田 敏 成
同 補 佐 人 弁 理 士	中 村 守
同	三 好 秀 和
同	豊 岡 静 男
同	高 久 浩 一 郎
同	原 裕 子

東京都立川市(以下略)

被 告	住 友 金 属 鉱 山 パ ッ ケ ー ジ
	マ テ リ ア ル ズ 株 式 会 社
同訴訟代理人弁護士	中 川 康 生
同	世 戸 孝 司
同	入 野 田 泰 彦
同訴訟代理人弁理士	伊 東 忠 彦
同	佐 々 木 定 雄
同	大 貫 進 介

主 文

- 1 原告の請求をいずれも棄却する。

2 訴訟費用は原告の負担とする。

## 事 実 及 び 理 由

### 第 1 請 求

- 1 被告は、別紙被告物件目録記載の物件を製造、販売してはならない。
- 2 被告は、前項の物件を廃棄せよ。
- 3 被告は、原告に対し、金 4 0 0 0 万円及びこれに対する平成 1 8 年 2 月 2 日（訴状送達の日）の翌日）から支払済みまで年 5 分の割合による金員を支払え。

### 第 2 事案の概要

本件は、原告が被告に対し、被告の製造、販売する半導体素子搭載用基板が原告の有する特許権を侵害していると主張して、特許法 1 0 0 条 1 項、2 項に基づき、その製造等の差止め及び廃棄を求めるとともに、民法 7 0 9 条に基づき、損害賠償金の支払を請求する事案である。

#### 1 争いのない事実等

##### （1）当事者

原告は、エレクトロニクス関連製品及び工業材料関連製品等の製造、販売を業とする株式会社である。

被告は、電子機器用部品の製造、販売等を業とする株式会社である。

##### （2）原告の特許権

原告は、次の各特許権（以下、順に「本件特許権 1」などといい、その特許請求の範囲の記載に係る特許発明を「本件発明 1」、その願書に添付した図面及び明細書を「本件明細書 1」などといい、本件特許権 1、2 及び 3 を併せて「本件各特許権」、本件発明 1、2 及び 3 を併せて「本件各発明」、本件明細書 1、2 及び 3 を併せて「本件各明細書」という。）を有している。

##### ア 本件特許権 1

特 許 番 号 特許第 3 4 1 3 4 1 3 号

出 願 番 号 特願 2 0 0 2 - 1 3 7 3 5 9

分割の表示	特願2001-237791の分割
出願日	平成7年3月17日
公開番号	特開2002-334948
公開日	平成14年11月22日
審査請求日	平成14年6月10日
優先権主張番号	特願平6-48760
優先日	平成6年3月18日
優先権主張国	日本
優先権主張番号	特願平6-273469
優先日	平成6年11月8日
優先権主張国	日本
優先権主張番号	特願平7-7683
優先日	平成7年1月20日
優先権主張国	日本
優先権主張番号	特願平7-56202
優先日	平成7年3月15日
優先権主張国	日本
登録日	平成15年3月28日
発明の名称	半導体素子搭載用基板及びその製造方法

特許請求の範囲

【請求項6】「絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられ、

同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されていることを特徴とする半導体素子搭載用基板。」

イ 本件特許権 2

特 許 番 号	特許第 3 4 1 3 1 9 1 号
出 願 番 号	特願 2 0 0 2 - 1 3 7 3 6 1
分 割 の 表 示	特願 2 0 0 1 - 2 3 7 7 9 1 の分割
出 願 日	平成 7 年 3 月 1 7 日
公 開 番 号	特開 2 0 0 2 - 3 3 4 9 5 0
公 開 日	平成 1 4 年 1 1 月 2 2 日
審 査 請 求 日	平成 1 4 年 6 月 1 0 日
優先権主張番号	特願平 6 - 4 8 7 6 0
優 先 日	平成 6 年 3 月 1 8 日
優先権主張国	日本
優先権主張番号	特願平 6 - 2 7 3 4 6 9
優 先 日	平成 6 年 1 1 月 8 日
優先権主張国	日本
優先権主張番号	特願平 7 - 7 6 8 3
優 先 日	平成 7 年 1 月 2 0 日
優先権主張国	日本
優先権主張番号	特願平 7 - 5 6 2 0 2
優 先 日	平成 7 年 3 月 1 5 日
優先権主張国	日本

登 録 日 平成 1 5 年 3 月 2 8 日

発 明 の 名 称 半導体パッケージの製造法及び半導体パッケージ

特許請求の範囲

【請求項 1】「それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、

上記半導体素子実装基板部間を連結するための連結部と、

位置合わせマーク部とを備え、

上記半導体素子実装基板部は、

半導体素子搭載領域、

上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び

上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端

子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を

備え、

上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」

ウ 本件特許権 3

特 許 番 号 特許第 3 3 5 2 0 8 4 号

出 願 番 号 特願 2 0 0 2 - 1 3 7 3 6 2

分 割 の 表 示 特願 2 0 0 1 - 2 3 7 7 9 1 の分割

出 願 日 平成 7 年 3 月 1 7 日

公 開 番 号 特開 2 0 0 2 - 3 3 4 9 5 1

公 開 日 平成 1 4 年 1 1 月 2 2 日

審 査 請 求 日 平成 1 4 年 6 月 1 0 日

優先権主張番号 特願平 6 - 4 8 7 6 0

優 先 日 平成 6 年 3 月 1 8 日

優先権主張国 日本

優先権主張番号 特願平 6 - 2 7 3 4 6 9

優 先 日 平成 6 年 1 1 月 8 日  
優先権主張国 日本  
優先権主張番号 特願平 7 - 7 6 8 3  
優 先 日 平成 7 年 1 月 2 0 日  
優先権主張国 日本  
優先権主張番号 特願平 7 - 5 6 2 0 2  
優 先 日 平成 7 年 3 月 1 5 日  
優先権主張国 日本  
登 録 日 平成 1 4 年 9 月 2 0 日  
発 明 の 名 称 半導体素子搭載用基板及び半導体パッケージ  
特許請求の範囲

【請求項 1】「絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、上記配線は、  
上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、  
上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられていることを特徴とする半導体素子搭載用基板。」

### (3) 本件各特許権の構成要件の分説

本件特許権 1 は、次のとおり分説される。

- ア 絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、
- イ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

ウ 上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

エ 上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、

オ 同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されていることを特徴とする半導体素子搭載用基板。

本件特許権 2 は、次のとおり分説される。

サ i それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、

サ ii 上記半導体素子実装基板部間を連結するための連結部と、

サ iii 位置合わせマーク部とを備え、

シ 上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、

ス 上記連結部は導電層を有することを特徴とする半導体素子実装用基板。

本件特許権 3 は、次のとおり分説される。

ナ 絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

ニ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

ヌ 上記配線は、上記半導体パッケージ領域に形成されたワイヤボンデ

上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

とを特徴とする半導体素子搭載用基板。

被告は、別紙被告物件目録記載の半導体素子搭載用基板（半導体素子実装用基板、以下「被告製品」という。）を業として製造、販売している。

被告製品の構造は、次のとおりである（以下、順に「構造 A」などという。）。

B それぞれの配線パターン部 P 内の配線部 2 は、少なくとも、①ランド部 2 1、②ワイヤボンディング接続端子 2 2、③配線 2 3 を備える。（説明図第 1 図-1、第 2 図、第 3 図参照）

ランド部 2 1 の下面に位置する部分に、ランド部 2 1 に達する開口部 1 1 が設けられ、ハンダボール等で外部と接続する。

ワイヤ3によって、半導体素子と配線部2とを接続する。

ランド部 2 1 とワイヤボンディング接続端子 2 2 とを接続する。

8



によって連結され，この連結部 8 は，各配線パターン部 P を連結するほか，目印 10 及び導電部 6 を設け，導電部 6 は，給電部 9 を介して配線部 2 と接続する。（説明図第 4 図－ 1 ～ 3 参照）

D 絶縁性フィルム状支持体 1 の両側には，絶縁性フィルム状支持体 1 を定量送りするために用いられるスプロケットホール 7 が設けられる。（説明図第 4 図－ 2 ・ 3 参照）

#### （ 6 ） 被告製品の構成要件充足性

被告製品は，次のとおり，本件各特許権の構成要件を充足する。

ア 本件特許権 1 につき構成要件ア及び同ウ

イ 本件特許権 2 につき構成要件サ i ，同サ ii 及び同ス

ウ 本件特許権 3 につき構成要件ナ及び同ネ

#### （ 7 ） 事前の交渉等

原告と被告は，平成 16 年 10 月 15 日ころから平成 17 年 11 月 28 日ころまでの間，本件各特許権と被告製品の関係につき交渉し，協議を重ねたものの，最終的に交渉は決裂した。原告は，平成 18 年 1 月 24 日，本件訴えを提起した。（弁論の全趣旨，顕著な事実）

#### （ 8 ） 本件各特許権の優先権の基準日

本件各特許権の成立経過は，別紙表 1 記載のとおりであり，さらにその後，分割出願がされて，別紙表 2 記載のとおり，一連の特許網が形成されている。本件各発明の構成の一部は，特願平 7－56202 号の発明の前には開示されておらず，この発明で初めて開示された事項であるから，本件各特許権の新規性及び進歩性の判断の基準日は，上記発明の出願日である平成 7 年 3 月 15 日となる。（弁論の全趣旨）

#### （ 9 ） 審判関係

ア 本件各特許権について，被告は，平成 18 年 7 月 31 日，特許庁にそれぞれ無効審判請求を行い，その結果，平成 19 年 1 月 22 日にいずれの特

許権についても無効審決がされた。（顕著な事実）

これに対し、原告は、平成19年2月28日、知的財産高等裁判所に各審決取消訴訟を提起する〔平成19年（行ケ）第10085号～同第10087号〕とともに、本件各特許権について、同年4月2日、特許庁に各訂正審判請求を行い、さらに、同年5月28日、特許庁に再度の各訂正審判請求を行い、同年6月12日に当初の各訂正審判請求を取り下げたことから、現在、本件各特許権に係る再度の各訂正審判請求事件（この各訂正審判請求に係る各訂正を、以下、本件特許権1ないし3に対応して「本件訂正1」などといい、これらの訂正を併せて「本件各訂正」という。）が係属中である。（顕著な事実）

#### イ 本件各訂正後の請求項

##### （ア）本件特許権1について

原告は、本件訂正1により、次の下線部の箇所のとおり、本件特許権1の特許請求の範囲を訂正した（この発明を、以下「本件訂正発明1」という。）。

「 絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに1層あり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外

部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられ、

同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され上記複数個を一括して封止可能なブロックが形成されており、同一の上記ブロックが複数個設けられていることを特徴とする半導体素子搭載用基板。」

(イ) 本件特許権 2 について

原告は、本件訂正 2 により、次の下線部の箇所のとおり、本件特許権 2 の特許請求の範囲を訂正した（この発明を、以下「本件訂正発明 2」という。）。

「それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、

上記半導体素子実装基板部間を連結するための連結部と、

位置合わせマーク部とを備え、

上記半導体素子実装基板部は、

半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と、上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、

上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、上記配線は、ワイヤボン

ディング端子と，外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

上記ワイヤボンディング端子はその反対側の面に備えられ，

上記外部接続端子の形成される箇所の上記絶縁性支持体に，上記外部接続端子に達する開口部が設けられ，上記開口部の半導体素子を搭載する面側は，上記外部接続端子で覆われており，

上記絶縁性支持体はポリイミドフィルムであって，上記開口部の側壁に上記絶縁性支持体が露出しており，

上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」

(ウ) 本件特許権 3 について

原告は，本件訂正 3 により，次の下線部の箇所のとおり，本件特許権 3 の特許請求の範囲を訂正した（この発明を，以下「本件訂正発明 3」という。）。

「絶縁性支持体と，その片面のみに形成される複数の配線とを備える半導体素子搭載用基板において，

半導体素子搭載領域と，該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを，複数組備え，

上記配線は銅箔から形成される配線であって，上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり，

上記配線は，上記半導体パッケージ領域に形成されるワイヤボンディング端子と，上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え，

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

上記ワイヤボンディング端子はその反対側の面に備えられ，

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出していることを特徴とする半導体素子搭載用基板。」

## 2 争点

### (1) 構成要件の充足性

被告製品は、本件各特許権の次の構成要件を充足しているか否か

#### ア 本件特許権 1

構成要件イ，同エ及び同オ

#### イ 本件特許権 2

構成要件サ iii 及び同シ

#### ウ 本件特許権 3

構成要件ニ及び同ヌ

### (2) 無効事由の有無

本件各特許権は、特許無効審判により無効にされるべきものか否か

#### ア 本件特許権 1

新規性又は進歩性の欠如

#### イ 本件特許権 2

進歩性の欠如

#### ウ 本件特許権 3

新規性又は進歩性の欠如

### (3) 本件各訂正後の無効事由の有無

本件各特許権の無効事由は、本件各訂正により解消されるか否か

#### ア 本件各訂正後の無効事由の解消の有無

イ 本件各訂正後の請求項の充足性

(4) 損害の発生及びその額

被告製品の製造、販売により、本件各特許権の侵害として、原告にいかなる損害が発生したか、その額はいくらか

第3 争点に関する当事者の主張

1 争点(1)〔構成要件の充足性〕について

〔原告の主張〕

(1) 本件特許権1の構成要件イ、同エ及び同オ、本件特許権2の構成要件シ、本件特許権3の構成要件ニ及び同ヌのうち、「半導体素子搭載領域」と「樹脂封止用半導体パッケージ領域」を備えることの充足性

ア 被告製品の構造

被告製品は、半導体素子搭載予定部分4と樹脂封止予定部分5を有している(この構造を、以下「E」という。)(説明図第1図ー2参照)

イ 対比

前記各構成要件の「半導体素子搭載領域」,「樹脂封止用半導体パッケージ領域」と被告製品の「半導体素子搭載予定部分4」,「樹脂封止予定部分5」とが対応する。

被告製品は、これらの領域を備えている。

ウ 理由

被告が半導体素子搭載予定部分4と樹脂封止予定部分5のような領域を指定しているか否かにかかわらず、半導体素子搭載用基板として、客観的に半導体素子を搭載して樹脂で封止することが明らかであるから、それぞれの領域の予定部分をもって、そのように呼称することができる。

また、被告は、被告製品がFan-in/outタイプであることを主張のなかで明言しており(後記〔被告の主張〕(2)イのとおり)、このことは、需要者でない被告においても、どの部分が半導体素子搭載領域であるか認識

していることを示すものである。

- (2) 本件特許権 1 の構成要件エ、本件特許権 2 の構成要件シ、本件特許権 3 の構成要件ヌのうち、「半導体素子搭載領域」に「外部接続端子」が設けられ（形成さ）れることの充足性

ア 被告製品の構造

被告製品においては、半導体素子搭載予定部分 4 にランド部 2 1 が設けられている。

イ 対比

前記各構成要件の「半導体素子搭載領域」、「外部接続端子」と被告製品の「半導体素子搭載予定部分 4」、「ランド部 2 1」とが対応する。

被告製品は、半導体素子搭載予定部分 4 にランド部 2 1 が設けられており、半導体素子搭載領域に外部接続端子が設けられている。

ウ 理由

被告は、前記各構成要件は、外部接続端子が半導体素子搭載領域にのみ設けられると限定解釈されるべきである旨主張するが失当である。

半導体パッケージにおいて、半導体素子搭載用基板に必要とされる外部接続端子の数は、搭載する半導体素子の設計に応じて増減する。半導体素子のサイズと外部接続端子の数、大きさ、ピッチとの関係で、半導体素子の下に外部接続端子が収まりきらない場合には、半導体素子の外側にも外部端子を設けて、必要な数の外部接続端子を確保することになる。被告製品もこのようなFan-in/outタイプである。

また、小型の半導体パッケージにおいて、Fan-outタイプ、Fan-inタイプ、Fan-in/outタイプは、同時に成立したものではなく、当初は、半導体搭載領域の外側に外部接続端子の設けられたFan-outタイプのみであった。Fan-inタイプの開発に係る技術的な課題は、半導体素子の下方の配線が基材と素子との熱膨張率の差によって断線しやすいこと、外部接続端子の有

無で生じた段差の近傍でダイボンディング材に気泡が発生しやすいこと，素子と配線とがショートする可能性のあること，従前のスルーホールで外部接続端子を設けることが困難であったことにあり，これらの課題が克服されてFan-inタイプが登場した。

原告は，出願経過において，こうした事情を踏まえて説明を加えたものにすぎず，Fan-inタイプに限る意味でもなければ，Fan-in/outタイプを除外する趣旨でもない。本件各明細書も，このような技術の発展を前提として記載されている。

そして，小型の半導体パッケージの集積度がますます高まった結果，半導体素子搭載領域の内側に外部接続端子を設けるだけでは足りず，その外側にも設けたものが現れるに至り，これがFan-in/outタイプである。Fan-inタイプの半導体素子搭載領域の外側に外部接続端子を設けることに，特別の技術的問題はないから，Fan-in/outは，Fan-inタイプに公知のFan-outタイプを組み合わせたものにすぎない。実際に，本件各明細書においては，半導体素子搭載領域の内側のみに外部接続端子を設けるという記載は一切ない。

したがって，半導体素子搭載領域の内側に外部接続端子が設けられていれば，その外側に外部接続端子が設けられているか否かにかかわらず，本件各特許権の技術的範囲に属することになる。

### (3) 本件特許権2の構成要件サiiiの充足性

#### ア 被告製品の構造

被告製品においては，マトリクス状に配置された複数の配線パターン部Pとスプロケットホール7とが所定の位置関係になり，複数の配線パターン部Pがマトリクス状に配置された所定の箇所に目印10が位置する（この構造を，以下「F」という。）。）。。

#### イ 対比



前記構成要件の「位置合わせマーク部」と被告製品の「スプロケットホール 7」又は「目印 10」とが対応する。

被告製品は、位置合わせマーク部を備えている。

#### ウ 理由

被告製品において、製造上、絶縁性フィルム状支持体を定量送りする必要がある。スプロケットホール 7 は、インチ単位で配列され、配線パターン部 P はミリメートル単位で配列されているから、ブロックごとにスプロケットホール 7 の配列は一定となっていて、複数の配線パターン部 P がマトリクス状に配置された所定の箇所に位置する目印 10 とともに、位置合わせに使用されることが当業者において当然に想定される。（説明図第 4 図－ 2 ・ 3 参照）

#### （４）まとめ

被告製品の構造は、構造 E 及び F に加え、前記第 2 の 1 （５）のとおりであるから、次のとおり、いずれも充足する。

#### ア 本件特許権 1

##### （ア）構成要件イの充足性

半導体素子搭載予定部分 4 とその外側に位置する樹脂封止予定部分 5 とが多数配列されている。（構造 C 及び E）

##### （イ）構成要件エの充足性

樹脂封止予定部分 5 内にワイヤボンディング接続端子 22 がある。半導体素子搭載予定部分 4 内にランド部 21 がある。（構造 B 及び E）

##### （ウ）構成要件オの充足性

同じ配線パターンを有する半導体素子搭載予定部分 4 及び樹脂封止予定部分 5 が、多数配列されている。（構造 C 及び E）

#### イ 本件特許権 2

##### （ア）構成要件サ iii の充足性

位置合わせの機能を有するスプロケットホール 7，目印 10 がある。

(構造 D 及び F)

(イ) 構成要件シの充足性

半導体素子を搭載する各基板部は，半導体素子搭載予定部分 4，その外側に位置する樹脂封止予定部分 5 及びそこに設けられたワイヤボンディング接続端子 22 と半導体素子搭載予定部分 4 に設けられたランド部 21 を含む配線部 2 を備えている。(構造 B 及び E)

ウ 本件特許権 3

(ア) 構成要件ニの充足性

半導体素子搭載予定部分 4 とその外側に位置する樹脂封止予定部分 5 とを多数備えている。(構造 C 及び E)

(イ) 構成要件ヌの充足性

配線部 2 は，樹脂封止予定部分 5 に設けられているワイヤボンディング接続端子 22 と半導体素子搭載予定部分 4 に設けられているランド部 21 と両者を接続する配線 23 がある。(構造 B 及び E)

[被告の主張]

(1) 本件特許権 1 の構成要件イ，同エ及び同オ，本件特許権 2 の構成要件シ，本件特許権 3 の構成要件ニ及び同ヌのうち，「半導体素子搭載領域」と「樹脂封止用半導体パッケージ領域」を備えることの充足性について

ア 被告製品の構造

被告製品は，半導体素子搭載予定部分 4 と樹脂封止予定部分 5 を有していない。

イ 理由

被告製品では，需要者がそのような領域を決めるのであって，被告があらかじめそのような領域を特定することはない。原告は，需要者が決した領域を遡及的に呼称しているにすぎない。

(2) 本件特許権 1 の構成要件エ、本件特許権 2 の構成要件シ、本件特許権 3 の構成要件ヌのうち、「半導体素子搭載領域」に「外部接続端子」が設けられ（形成さ）れることの充足性について

ア 構成要件の解釈

「上記外部接続端子は上記半導体素子搭載領域に設けられ」（構成要件エ）、「上記半導体素子搭載領域に設けられた外部接続端子」（構成要件シ）及び「上記半導体素子搭載領域に形成された外部接続端子」（構成要件ヌ）の記載は、外部接続端子が半導体素子搭載領域に「のみ」設けられていることを意味する。

イ 理由

本件各発明は、「チップサイズとほぼ同等の小型パッケージを実現したもの」であって、「半導体素子搭載基板上の配線の一部である外部接続端子が、半導体素子搭載領域にのみ設けられている」（Fan-inタイプ）点に技術的特徴があり、Fan-inタイプの半導体素子搭載用基板に係る発明である。これは、以下の点から明らかである。

(ア) 本件各明細書の記載

本件各明細書の【0037】には、「外部接続端子は、半導体素子端子が配線とワイヤボンディング等で導通される位置より内側に設けるようにするのが高密度化の上で好ましい（ファンインタイプ）。このように外部接続端子の位置は、半導体素子が搭載された下面に格子状に配置するのが高密度化の上で好ましい。」との記述があり、外部接続端子が半導体素子領域及びその外側の双方に設けられているものに関する記述は本件各明細書中には存在しない。また、本件各明細書に添付した図面中には、図17、図19、図22においてFan-inタイプのパッケージが図示されているにとどまり、外部接続端子が半導体素子搭載領域及びその外側の双方に設けられているもののパッケージを示す図面は一つもな

い。

(イ) 本件訴え提起前の交渉における原告の説明

本件訴えが提起される前に行われた交渉の際、原告は、平成17年2月17日付け書簡(乙13)において、「従来のCSPは『外部接続端子が実装領域内にあるパッケージ』であり、413特許の請求項に記載のある『・・・上記外部接続端子は上記半導体素子搭載領域に設けられる・・・』とは、『外部接続端子が半導体素子搭載領域に設けられる』である点で異なります。」と述べている。

また、平成17年5月6日付け書簡(乙14)の4頁において、本件発明1の各領域を図示するものとして、外部接続端子が半導体素子搭載領域のみにありそれ以外の領域にはないFan-inタイプのパッケージを描いている。

さらに、平成17年7月7日付け書簡添付の見解書(乙15)の4頁において、「本特許発明における構成は、半導体チップの電極を半導体チップの外側の樹脂封止領域にある基板上に設けられた電極とワイヤボンディングによって接続し、半導体チップ搭載部下部において、外部配線基板との接続部を有するものであり、従来の構成とは全く異なるものであります。」と述べている。

(ウ) 原告ホームページのニュースリリース欄

原告のホームページのニュースリリース欄のうち、平成18年1月30日発表分(乙16)には、本件訴訟に関する記述が掲載されており、そこでも侵害対象製品として、Fan-inタイプのいわゆるチップサイズパッケージのみが図示されている。

(エ) 本件訴状別紙被告製品目録の第1図～第4図

原告が本件訴状とともに提出して侵害製品として特定した当初の被告製品目録の中の第1図～第4図において示されたパッケージは、すべて

Fan-inタイプであり、Fan-in/outタイプのパッケージは示されていない。

原告は、本件各発明がいずれもFan-inタイプに係るものであり、被告製品も当然にFan-inタイプに係るものであるという前提で、被告製品の十分な確認を怠って本件訴えを提起したものであり、その後、被告製品がFan-in/outタイプと判明したことから、このタイプにまでクレームの範囲を拡大して主張しているにすぎない。

#### (オ) 出願経過

本件各特許権の出願の経過は、次のとおりである。

##### a 本件特許権 1

原告から特許庁に平成14年6月10日付けで提出された手続補正書（乙9）によれば、本件発明1の審査請求時の内容（当時の請求項11）は、「絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、上記配線は、ワイヤボンディング端子と、外部接続端子と、該ワイヤボンディング端子及び該外部接続端子をつなぐ上記配線とを含む所定の配線パターンを備え、同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が、格子状に複数個配列されていることを特徴とする半導体素子搭載用基板。」とされている。

特許庁は、平成14年9月3日に発した拒絶理由通知書（乙10）において、10件の引用例に基づいて請求項11を含む全請求項が進歩性を有しない旨を通知した。

これに対し、原告は、平成14年10月28日付け手続補正書（乙12）によって、本件発明1に係る請求項に構成要件エ（上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられ、）を追加す

る補正をして引用文献との差異を生じさせ、その技術的範囲の限定を明確にするとともに、同日付け意見書（乙１１）において、「（３）進歩性 本願発明の配線では、外部接続端子をワイヤボンディング端子部より内側に設けることによって、パッケージを従来より単純な構造にすることができ、従来より小型化することができます。」「これらの文献〔判決注・引用文献〕に記載されたパッケージは、いずれも本願発明のように外部接続端子をワイヤボンディング端子部より内側に設けるものではなく、いずれの文献にも、このような構造にすることで所謂チップサイズの小型パッケージを実現することを示唆する記載はありません。 本願発明は、外部接続端子をワイヤボンディング端子部より内側に設けてチップサイズパッケージングを実現するものであって、このような構造に関する記載も、これを示唆する記載もない引用文献１～１０から容易に導かれるものではないと思います。」としている。

このように、本件発明１の技術的特徴は、構成要件エにあり、上記の「チップサイズパッケージングを実現するものであって」という表現からみても、外部接続端子が半導体素子搭載領域のみに設けられている点にあることは明らかである。

b 本件特許権２

原告から特許庁に平成１４年６月１０日付けで提出された手続補正書（乙１７）によれば、本件発明２の審査請求時の内容（当時の請求項１）は、「それぞれ半導体素子を搭載するための、複数の半導体素子実装基板部と、 上記半導体素子実装基板部間を連結するための連結部と、 位置合わせマーク部とを備え、 上記連結部は導電層を有することを特徴とする半導体素子実装用基板。」とされている。

特許庁は、平成１４年９月３日に発した拒絶理由通知書（乙１８）

において、１２件の引用例に基づいて請求項１を含む全請求項が進歩性を有しない旨を通知した。

これに対し、原告は、平成１４年１０月２８日付け手続補正書（乙２０）によって、本件発明２に係る請求項に構成要件シ（上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備え、）を追加する補正をして引用文献との差異を生じさせ、その技術的範囲の限定を明確にするとともに、同日付け意見書（乙１９）において、

「（２）進歩性 本願発明の配線では、外部接続端子をワイヤボンディング端子部より内側に設けることによって、パッケージを従来より単純な構造にすることができ、従来より小型化することができま  
す。」 「 また、引用文献１～１２に記載されたパッケージは、いずれも本願発明のように外部接続端子をワイヤボンディング端子部より内側に設けるものではなく、いずれの文献にも、このような構造にすることで所謂チップサイズの小型パッケージを実現することを示唆する記載はありません。」 としている。

このように、本件発明２の技術的特徴は、構成要件シにあり、上記の「チップサイズの小型パッケージを実現する」という表現からも、外部接続端子が半導体素子搭載領域のみに設けられている点にあることは明らかである。

#### c 本件特許権３

原告から特許庁に平成１４年６月１０日付けで提出された早期審査に関する事情説明書（乙２１）では、「（iii）先行技術文献との対比説明 文献（イ）～（ハ）のいずれにも、半導体素子搭載用基板と、

それを用いた半導体パッケージとが開示されております。しかし、文献（イ）、（ロ）のいずれにも、本願発明のように、素子と基板とがワイヤボンディングにより接続され、しかもファンイン構造（すなわち、パッケージ領域にワイヤボンディング端子が、その内側の半導体素子搭載領域に外部接続端子がそれぞれ設けられた構造）であって、外部接続端子が支持体の開口部に設けられている半導体パッケージ〔判決注・「パッケージ」の誤記と認める。〕や、それに用いられる素子搭載用基板は開示されておられません。」「本願発明は、ワイヤボンディングにより基板と素子とを接続しつつ、ファンインタイプ（すなわち、外部接続端子を、ボンディングワイヤ等の半導体素子との導通のための配線が、基板上の表面配線に接続した位置より内側に配置するタイプ）の構成にすることで、チップサイズとほぼ同等の小型パッケージを実現するものです〔省略〕。）」としている。

本件発明３は、早期審査に関するこのような事情説明の結果、特許されたものであるから、その技術的な特徴は、請求項の記載自体及び事情説明書の記載から、構成要件又にあり、特に、上記半導体素子搭載領域のみに形成された外部接続端子という点にあることは明らかである。

出願経過は、技術的範囲の解釈にあたって参酌される。本件各発明については、原告自身が出願の過程において、本件各発明はファンイン構造のものを対象とし、その構成により、チップサイズとほぼ同等の小型パッケージを実現すると主張した結果、特許されたものである。Fan-inとFan-in/outあるいはFan-outとは技術構成が異なり、Fan-in/outあるいはFan-out構造の半導体パッケージでは、チップサイズとほぼ同等の小型パッケージを実現することはできず、両者ではその作用効果が異なる。



以上によれば、本件各発明はFan-inタイプの半導体素子搭載用基板に係る発明と解すべきであるから、Fan-in/outタイプである被告製品は、本件発明１の構成要件エ、本件発明２の構成要件シ、本件発明３の構成要件ヌを充足しない。

(３) 本件特許権２の構成要件サ iii の充足性について

ア 被告製品の構造

被告製品は、マトリクス状に配置された複数の配線パターン部 P とスプロケットホール 7 とが所定の位置関係になっていない。複数の配線パターン部 P がマトリクス状に配置された所定の箇所に目印 10 が位置することは認める。

イ 理由

被告製品において、スプロケットホール 7 の用途は、スプロケットの歯に係合させてフィルムを送るためのものである。構造上、目印 10 のような特徴部分はあるが、切り分ける際の位置決めに利用されるかなど、需要者がこれを何の目的に使用しているかは知らない。

(４) まとめ

被告製品は、その構造と構成要件の解釈に照らし、次のとおり、いずれも本件各特許権の構成要件を充足しない。

ア 本件特許権 1

(ア) 構成要件イの充足性

半導体素子搭載予定部分 4 と樹脂封止予定部分 5 は存在しない。

(イ) 構成要件エの充足性

ランド部 21 はワイヤボンディング接続端子 22 の内側及び外側の双方にあるが、半導体素子搭載予定部分 4 と樹脂封止予定部分 5 は存在しない。

(ウ) 構成要件オの充足性

同じ配線パターンが多数配列されているものの、半導体素子搭載予定部分４と樹脂封止予定部分５は存在しない。

イ 本件特許権２

（ア）構成要件サiiiの充足性

スプロケットホール７はスプロケットの歯に係合するためのものである。

（イ）構成要件シの充足性

半導体素子を搭載する各基板部はワイヤボンディング接続端子２２とランド部２１を含む配線部２を備え、ランド部２１はワイヤボンディング接続端子２２の内側及び外側の双方にあるが、半導体素子搭載予定部分４と樹脂封止予定部分５は存在しない。

ウ 本件特許権３

（ア）構成要件ニの充足性

半導体素子搭載予定部分４と樹脂封止予定部分５は存在しない。

（イ）構成要件ヌの充足性

配線部２はワイヤボンディング接続端子２２とランド部２１とこれらを接続する配線２３を含み、ランド部２１はワイヤボンディング接続端子２２の内側及び外側の双方にあるが、半導体素子搭載予定部分４と樹脂封止予定部分５は存在しない。

２ 争点（２）〔無効事由の有無〕について

〔被告の主張〕

（１）本件特許権１

ア 本件発明１は、特開平５－１０９９２２号公報（平成５年４月３０日発行、乙１。なお、以下、特許公報を書証番号により「乙１公報」などという。）記載の発明と実質的に同一であって、新規性に欠ける。

仮にそうでないとしても、乙１公報の発明と乙４公報（特開昭６４－５

4791号公報，平成元年3月2日発行），乙5公報（特開平3－89587号公報，平成3年4月15日発行），乙6公報（特開平2－91956号公報，平成2年3月30日発行），乙7公報（特開平4－33350号公報，平成4年2月4日発行）又は乙8公報（特開平3－94430号公報，平成3年4月19日発行）記載の技術に基づいて当業者が容易に発明をすることができたものであって，進歩性に欠ける。

イ 乙1公報には，次の記載があり，別紙乙1公報図面記載【図1】（A）及び（B）の図面が示されている。

「【要約】

【目的】半導体素子の大きさを限定することなく，多ピンで小型の半導体装置を提供する。

【構成】半導体素子1の下面に接着剤5及び絶縁シート6を介して，樹脂基板8のスルーホールを有しており，そのスルーホール内には外部接続用リードピン9が挿入されている。樹脂基板8上の配線回路はスルーホールより外側に向って形成されていて，半導体素子と電氣的接続するための素子接続用端子7は，スルーホールの外側に有している。」

「【請求項2】 外部接続用リードピンがすべて半導体素子の外形内の下面に取付けられていることを特徴とする請求項1に記載の半導体装置。」

「【0005】

【実施例】次に本発明によって図面を参照して説明する。図1の（A）は本発明の第1の実施例の半導体装置の断面図である。樹脂基板8は，ガラス布エポキシやガラス布BTやガラス布ポリイミド等の積層板で成っており，表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール10を設けてめっきを行ない，表裏面の銅をエッチングすることにより回路が形成されている。スルーホール10には，リ

ン青銅，コパール，４２ａｌｌｏｙ等に半田めっきが施こされている外部接続用リードピン９が挿入されている。図１の（Ｂ）は本発明の第１の実施例の樹脂基板の上面図である。外部接続用リードピンを挿入するスルーホールが半導体素子１の外形内に設けられており，半導体素子１と外部接続用リードピン９とを電氣的接続するための素子接続用端子７がスルーホールの外側に形成されている。半導体素子１は絶縁シート６を介して接着剤５に固定されている。素子接続用端子７と半導体素子１を接続線３により電氣的接続させ，エポキシ系の封止樹脂２により接続線及び半導体素子を外圧より保護する。」

「【０００７】

【発明の効果】以上説明したように本発明は，少なくとも最内列に形成したスルーホールに挿入した外部接続用リードピンより外側に素子接続用端子を有しているので，最内列ピンの配列サイズに関係なく又，パッケージサイズも規格外の大きなサイズにする必要なく，大きな半導体素子を搭載することが可能となるという効果を有する。」

これらの記載と図面を参照すると，乙１公報には，「樹脂基板８上に複数の配線回路が設けられ，配線回路はスルーホールより外側に向かって形成されている。配線回路の外側端にある素子接続用端子７は，接続線３により半導体素子１と電氣的接続するためのものである。また，配線回路の内側端にあつて，スルーホールの周囲を取り囲んでいる環状の端子であり，スルーホール内に挿入される外部接続用リードピン９と電氣的接続するための端子（以下「環状外部接続端子」と称する。別紙参考図面記載【図１】（Ｂ）参照）」が示されているから，次の発明（以下「乙１公報発明１」という。）が記載されている。

ガラス布エポキシ等の積層板と複数の配線回路とを備える，半導体素子１を搭載する樹脂基板８において，

半導体素子 1 を搭載する領域と、該半導体素子搭載領域の外側の封止樹脂 2 により保護された半導体パッケージ領域とを備え、

上記配線回路は、素子接続用端子 7 と、環状外部接続端子とを含む所定の配線回路を備え、

上記素子接続用端子 7 は上記半導体パッケージ領域に設けられ、上記環状外部接続端子は上記半導体素子の外形内、すなわち、半導体素子搭載領域に設けられた、

ことを特徴とする半導体素子搭載用樹脂基板 8。

ウ 乙 1 公報発明 1 と本件発明 1 との構成（なお、乙 1 公報発明 1 の「環状外部接続端子」は本件発明 1 の「外部接続端子」に相当し、仮に、本件発明 1 の「外部接続端子」が配線パターン 3 3 の一部ではなく、外部基板との接続部 4 2 のような部材を意味すると解釈しても、それは乙 1 公報発明 1 の「外部接続用リードピン 9」に相当する。）と効果（乙 1 公報発明 1 は、環状外部接続端子、スルーホール及び外部接続用リードピン 9 が半導体素子 1 の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化することができ、本件発明 1 の効果に対応する。）を対比し、本件特許権 1 の分説に照らせば、

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターンを備え、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、上記外部接続端子は上記半導体素子搭載領域に設けられる、

ことを特徴とする半導体素子搭載用基板。

の点で一致し、次の点で相違する。

#### 相違点

本件発明 1 では、半導体素子搭載領域と半導体パッケージ領域とを複数組備え（構成要件イ）、同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている（構成要件オ）のに対し、乙 1 公報発明 1 では、これらの領域を複数組備え、複数個配列することを明記していない点

エ 本件発明 1 の技術的特徴は、構成要件エの「上記外部接続端子は上記半導体素子搭載領域に設けられ」ている点にあり、このことは、前記 1〔被告の主張〕（２）のとおりであるから、上記相違点は、本件発明 1 の技術的特徴ではない些末な要素に関するものである。しかも、半導体素子搭載用基板の製造分野において、半導体パッケージ領域を 1 個ずつ個別に製造することは例外的であり、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列することは技術常識であるから、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知すべきである。

したがって、本件発明 1 は、乙 1 公報に実質的に記載されているに等しく、乙 1 公報発明 1 と実質的に同一である。

仮に、乙 1 公報に複数個配列の実質的な記載がないとしても、このことは、本件特許権 1 の最先優先権主張日の当時から周知である。すなわち、同じ技術分野に属する①乙 4 公報の記載（３頁左上欄 9，１０行、「配線回路部 A 複数個を、両側の連結部 B により連結しており」と第 1 図、②乙 5 公報の記載（特許請求の範囲（１）項、「複数の回路基板形成域」と第 1 図、③乙 6 公報の記載（２頁左上欄 1，２行、「１０は金属箔配線

を示し、これが長手方向にくり返し形成されている。」）と第1図、第7図、④乙7公報の記載（2頁左下欄10，11行、「搬送用送り孔1aを半導体搭載部毎に順次7つつ打ち抜き」と第1図（a），⑤乙8公報の記載（3頁右上欄15～17行、「ベースフィルム10上には回路パターンが繰り返しパターンで形成され」と第2図により、周知の常用技術であることが明らかである。

したがって、上記相違点については、製造設計上当然の技術事項として構成することができる。

オ よって、本件発明1は、乙1公報発明1と実質的に同一であるか、又は、乙1公報発明1及び周知技術に基づいて、同じ技術分野における通常の知識を有する者が容易に発明をすることができたから、特許法29条1項又は2項の規定により、特許を受けることができないものであり、同法123条1項2号に基づき、無効とすべきことが明白である。原告は、同法104条の3第1項の規定により、本件特許権1を行使することができない。

カ 原告の主張に対する被告の反論

（ア）外部接続端子について

被告は、乙1公報の記載事実について、本件発明1に関連する記載箇所を抽出した上で、「半導体素子搭載用樹脂基板」の発明（乙1公報発明1）を特定し、本件発明1と対比しており、本件発明2及び3でも同様であるから、「半導体パッケージと半導体素子搭載用基板との区別をせずに対比している」、「部材としての半導体素子搭載用基板との比較をしていない」との原告の主張は失当である。乙1公報が半導体パッケージの発明に係るものであるとしても、その半導体パッケージの一部として、乙1公報には、半導体素子1を搭載する樹脂基板8が開示されており、本件各発明の半導体素子搭載用基板が乙1公報に明示されている。

外部接続端子を「パッケージ外部接続端子」（「はんだボール」「リ

ードピン」「バンプ」のように、外部基板に電氣的に接続するための半導体素子搭載基板上の配線パターンの一部でない端子」と「基板配線外部接続端子」（半導体素子搭載用基板上のワイヤボンディング端子を「パッケージ外部接続端子」に電氣的に接続するための半導体素子搭載基板上の配線パターンの一部としての端子）に区別すれば、乙１公報には、外部接続用リードピン９と環状外部接続端子の両方が開示されており、外部接続用リードピン９がパッケージ外部接続端子に、環状外部接続端子が基板配線外部接続端子にそれぞれ該当するから、本件各発明の外部接続端子と対比すべき乙１公報の端子は、基板配線外部接続端子に該当する環状外部接続端子である。原告の主張するように、PGA用基板が個別に切り出された後に外部接続用の接続ピンを挿入するものであったと仮定しても、乙１公報のPGA用基板は、接続ピンを挿入する前、個別に切り出す前に本件発明１の全構成要素を実質上備えている。なお、乙２９公報（特開平３－１９５０５１号公報，平成３年８月２６日発行），乙３０公報（特開平５－６９４５号公報，平成５年１月１４日発行），乙２７公報（特開平５－２９５２６号公報，平成５年２月５日発行），乙３１公報（特開平５－１５２４９６号公報，平成５年６月１８日発行）及び乙３２公報（特開昭６１－２０８２２６号公報，昭和６１年９月１６日発行）によれば、PGA用基板が外部接続用リードピンを備えない状態であっても、当業界においてPGA用の半導体素子搭載用基板と呼ばれている。

乙２公報（特開平２－１３３９４３号公報，平成２年５月２３日発行）のバンプ２１は、パッケージ外部接続端子に該当するものである。乙２公報のFIG．３Ｂに図示されているように、各導体路２０の一端には第１の接続領域１９が存在し、他端には「貫通孔１８に接続する端子部」が存在しており、この後者が基板配線外部接続端子であって、本



件各発明の外部接続端子に相当する。

また、乙3公報（特開平4-103152号公報，平成4年4月6日発行）のリードピン4も、パッケージ外部接続端子に該当するものである。乙3公報のスルーホール配線3に接続する内部配線2の端子部は、基板配線外部接続端子であって、本件各発明の外部接続端子に相当する。

このように、乙1公報から乙3公報までには、本件各発明の配線の一部である外部接続端子としての基板配線外部接続端子が開示されており、乙1公報の外部接続用リードピン9，乙2公報のバンプ21，乙3公報のリードピン4のようなパッケージ外部接続端子を本件各発明の外部接続端子と対比すること自体が間違いである。

したがって、乙1公報の外部接続用リードピン9は、本件発明1の半導体素子搭載用基板と乙1公報の樹脂基板8との対比において、何ら関係のない要素であり、外部リードピン9の存在やその挿入のタイミングに拘泥することは、全く無意味である。

(イ) 「上記外部接続端子は上記半導体搭載領域に設けられ」の解釈について

乙1公報には、明らかに環状外部接続端子が開示されている。これは、樹脂基板が備える配線回路の一部としての接続端子であり、半導体素子外形内に設けられ、その結果、半導体パッケージを小型化する効果を發揮している。

したがって、本件発明1の外部接続端子は乙1公報に開示されており、本件発明1の構成要件ウ及び同エは、乙1公報に明らかに開示されているといえる。

そして、本件発明1の構成要件エのうち、「外部接続端子は半導体素子搭載領域に設けられ」ている点こそが本件発明1の本質的な技術的特徴であって、このことは、本件発明3の出願につき平成14年6月10

日付けで原告の提出した早期審査に関する事情説明書（乙 2 1。2 頁下から 5 行～ 3 頁 3 行， 3 頁 1 1～ 1 5 行）， 本件発明 1 の出願過程で原告の提出した意見書（乙 1 1。2 頁下から 9～ 2 行）， 本件明細書 1 の【 0 0 3 7】段落の記載から明らかであり， 原告は， この本質的な技術的特徴に係る議論を回避して， Fan-in タイプパッケージに関する議論を展開している。

（ウ）複数の半導体パッケージ領域の形成について

原告は， P G A 用基板について， 一般的に切り出される前の時点において， 複数の半導体素子搭載領域及び半導体パッケージ領域が存在することを自身で認めているものである。

仮に， 切り出された後に外部接続用リードピン 9 が挿入されるとしても， 本件発明 1 の外部接続端子に相当するものは， 配線回路の一部である環状外部接続端子であることから， 乙 1 公報の P G A 用基板は， 切り出される前から， 本件発明 1 の構成要素をすべて実質上備えているといえる。

乙 4 公報には， I C カード用の複合配線基板が開示されており， 複合配線基板自体は， 本件発明 1 の半導体素子搭載用基板と同じ技術分野に属するものであり， 乙 4 公報に記載された技術を乙 1 公報に記載された P G A 用基板に適用することは当業者にとって容易である。また， 乙 5 公報から乙 8 公報までについても， 本件発明 1 と同じ技術分野に属する発明を開示しており， これらを乙 1 公報に記載された P G A 用基板に適用することは当業者にとって容易である。

なお， 乙 3 3 公報（特開昭 6 1－ 2 4 8 4 5 3 号公報， 昭和 6 1 年 1 月 5 日発行）及び乙 3 4 公報（特開昭 6 3－ 6 0 5 4 7 号公報， 昭和 6 3 年 3 月 1 6 日発行）によれば， 半導体素子搭載領域と樹脂封止用半導体パッケージ領域を複数組備えた P G A 用基板は周知である。

(エ) 乙1公報の発明の課題と効果について

乙1公報【要約】の【目的】には、「小型の半導体装置を提供する」と記載され、【0003】【発明が解決しようとする課題】には、「外形サイズが大きくなってしまいうという問題があった。また、この種の外形サイズを大きくしたパッケージは、・・・特殊仕様になってしまいうという問題点があった」と記載され、さらに、【0007】には、「パッケージサイズも規格外の大きなサイズにする必要なく」と記載されている。

したがって、乙1公報の発明の目的は小型の半導体装置の提供であり、発明の課題及び効果は大きいパッケージの小型化であるから、乙1公報の発明と本件発明1とは効果を同一にするものである。

(オ) ダイボンド材とスルーホールについて

乙1公報に示された環状外部接続端子は、本件各発明の外部接続端子に対比すべき基板配線外部接続端子であり、乙1公報に記載されたPGA型樹脂基板8は半導体素子搭載用基板である。いずれも、リードピン9の挿入工程と半導体素子搭載工程との先後にかかわらないものであり、そもそも、物の発明に製造プロセスを持ち出すこと自体が間違っている。

仮に、ダイボンド材がスルーホールを埋めてしまうおそれがあったとしても、乙1公報の【要約】の【構成】欄に「半導体素子1の下面に接着剤5及び絶縁シート6を介して、樹脂基板8のスルーホールを有しており、」と記載され、【図1】(A)にも明示されているように、絶縁シート6の存在によって、接着剤5がスルーホールを埋めてしまう懸念は無用となる。

日経マイクロデバイス1987年8月号(乙37)68頁図10及び右欄の「同社はPGAの基板が5枚程度リードフレーム状につながった状態での取り扱い、自動化を図っている(図10)。ピンも自社で取り付

ける。リードフレーム状の基板にダイ・ボンディング、ワイヤー・ボンディングし、ポッティング樹脂とメタル・キャップで封止する。そしてピンを挿入する。・・・ピン打ち後、ピンの接合部を半田付けする。キャップにマーキングして、最後にフレームから切り離す。」との記載によれば、PGA用基板において、半導体素子を搭載した後にピンを挿入する周知技術が示され、また、ピンを挿入する前でも、半導体素子搭載用基板が複数の半導体素子搭載領域を備えるものが周知技術であることも示されている。また、このことは、日経マイクロデバイス1986年12月号（乙36）60頁図1及び右欄の「まず、ピン数に合わせてパターンニングしたプリント基板を切断せず、5枚程度つながった状態で基板の製造元から受け取る（図1）。基板にLSIチップをダイ・ボンディングし、ワイヤー・ボンディングする。その上にエポキシ樹脂をポッティングし、メタル・キャップで封止する。ピン挿入、ハンダ付け、マーキング後、最後に各パッケージをバラバラにする」との記載からも同様である。

## （２）本件特許権２

ア 本件発明２は、乙１公報の発明と乙４公報から乙８公報までの技術に基づいて当業者が容易に発明をすることができたものであって、進歩性に欠ける。

イ 乙１公報には、前記（１）イのと通りの記載と図面がある。

これらを参照すると、乙１公報には、「樹脂基板８上に複数の配線回路が設けられ、配線回路はスルーホールより外側に向かって形成されている。配線回路の外側端にある素子接続用端子７は、接続線３により半導体素子１と電氣的接続するためのものである。また、配線回路の内側端にあつて、スルーホールの周囲を取り囲んでいる環状の端子であり、スルーホール内に挿入される外部接続用リードピン９と電氣的接続するための環状外部接

続端子」が示されているから、次の発明（以下「乙１公報発明２」という。）が記載されている。

半導体素子１を搭載するための、半導体素子搭載樹脂基板８を備え、  
上記半導体素子搭載樹脂基板８は、半導体素子１を搭載する領域、  
上記半導体素子搭載領域の外側の封止樹脂２により保護された半導体  
パッケージ領域、及び上記封止樹脂半導体パッケージ領域に設けられ  
た素子接続用端子７と、上記半導体素子搭載領域に設けられた環状外  
部接続端子とを含む配線回路を備える  
ことを特徴とする半導体素子搭載用樹脂基板８。

ウ 乙１公報発明２と本件発明２との構成（なお、乙１公報発明２の「環状外部接続端子」は本件発明２の「外部接続端子」に相当し、仮に、本件発明２の「外部接続端子」が配線８２の一部ではなく、外部基板との接続部８８のような部材を意味すると解釈しても、それは乙１公報発明２の「外部接続用リードピン９」に相当する。）と効果（乙１公報発明２は、環状外部接続端子、スルーホール及び外部接続用リードピン９が半導体素子１の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化でき、本件発明２の効果に対応する。）を対比し、本件特許権２の分説に照らせば、

半導体素子を搭載するための、半導体素子実装基板部を備え、  
上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と、  
上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備える  
ことを特徴とする半導体素子実装用基板。

の点で一致し、次の点で相違する。

#### 相違点 A

本件発明 2 では、複数個の半導体素子実装基板部を備えている（構成要件サ i）のに対し、乙 1 公報発明 2 では、その複数個を明記していない点

#### 相違点 B

本件発明 2 では、半導体実装基板部間を連結するための連結部と（構成要件サ ii）位置合わせマーク部とを備えている（構成要件サ iii）のに対し、乙 1 公報発明 2 では、そのような連結部と位置合わせマーク部を明記していない点

#### 相違点 C

本件発明 2 では、連結部が導電層を有する（構成要件ス）のに対し、乙 1 公報発明 2 では、連結部の導電層を明記していない点

エ 本件発明 2 の技術的特徴は、構成要件シにあり、特に、このうちの「上記半導体素子搭載領域に設けられた外部接続端子」という点にあることは、前記 1 「被告の主張」（2）のとおりであるから、上記各相違点は、本件発明 2 の技術的特徴ではない些末な要素に関するものである。

#### （ア）相違点 A

乙 1 公報発明 2 では、半導体素子搭載領域と半導体パッケージ領域とを 1 組のみ示し、それらの複数個の存在を明記していない。しかし、半導体素子搭載用基板の製造分野において、半導体パッケージ領域を 1 個ずつ個別に製造することは例外的であり、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列することは技術常識であるから、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知すべきである。

したがって、相違点 A は、乙 1 公報に実質的に記載されているに等しく、本件発明 2 は、相違点 A に関し、乙 1 公報発明 2 と実質的に同一で

ある。

仮に、乙 1 公報に複数個配列の実質的な記載がないとしても、このことは、本件特許権 2 の最先優先権主張日の当時から周知である。すなわち、同じ技術分野に属する①乙 4 公報の記載（3 頁左上欄 9，10 行，「配線回路部 A 複数個を，両側の連結部 B により連結しており」）と第 1 図，②乙 5 公報の記載（特許請求の範囲（1）項，「複数の回路基板形成域」）と第 1 図，③乙 6 公報の記載（2 頁左上欄 1，2 行，「10 は金属箔配線を示し，これが長手方向にくり返し形成されている」）と第 1 図，第 7 図，④乙 7 公報の記載（2 頁左下欄 10，11 行，「搬送用送り孔 1 a を半導体搭載部毎に順次 7 つつ打ち抜き」）と第 1 図（a），⑤乙 8 公報の記載（3 頁右上欄 15～17 行，「ベースフィルム 10 上には回路パターンが繰り返しパターンで形成され」）と第 2 図により，周知の常用技術であることが明らかである。

したがって，相違点 A については，製造設計上当然の技術事項として構成することができる。

#### （イ）相違点 B

乙 1 公報発明 2 では，半導体素子実装基板部間を連結するための連結部と位置合わせマーク部を明記していない。しかし，半導体素子搭載用基板の製造分野において，半導体素子実装基板部を 1 個ずつ個別に製造することは例外的であり，通常の製造工程で同一基板上に半導体素子実装基板部を複数個連結することは技術常識であるから，当業者であれば，乙 1 公報に記載がなくとも，複数個配列を予定していることを当然の事項として了知すべきである。そして，複数個の半導体素子実装基板部を備えるためには，それらの間を連結する連結部を備える必要があることは明白であり，また，半導体パッケージ製造分野において，半導体を樹脂でモールするなどのために位置合わせ用のマークを備えることも技術

常識であり，乙１公報発明２において，位置合わせマーク部を備えることを予定していることも当然の事項として了知すべきである。

したがって，相違点Ｂは，乙１公報に実質的に記載されているに等しく，本件発明２は，相違点Ｂに関し，乙１公報発明２と実質的に同一である。

仮に，乙１公報に「半導体素子実装基板部間を連結するための連結部と，位置合わせマーク部」の実質的な記載がないとしても，このことは，本件特許権２の最先優先権主張日の当時から周知である。すなわち，①乙４公報の記載（３頁左上欄９，１０行，「配線回路部Ａ複数個を，両側の連結部Ｂにより連結しており」）と第１図（連結部Ｂ及び位置合わせ用の孔の図示），②乙５公報の記載（特許請求の範囲（１）項，「これら回路基板形成域の側方に連設した支持枠〔連結部に相当〕」，３頁左上欄３～５行，「両支持枠部分１９の各端部には適当な位置決め穴乃至は支持穴２０を適宜形成することが出来る」）と第３図（支持枠部分６の図示），第１図（支持穴２０の図示），③乙６公報の記載（特許請求の範囲（１）項，「長尺状の可〔撓〕性絶縁性フィルム〔連結部に相当〕上に，金属箔配線が形成され」，３頁右下欄７～１２行，「パーフォレーション〔位置合わせマーク部に相当〕周囲の強度は充分であり，・・・その際の位置精度を下げることがない。」と第７図（フィルムキャリア１及びパーフォレーション１０の図示），④乙７公報の記載（２頁右上欄２，３行，「ポリイミド製ベーステープ（絶縁性フィルム）１〔連結部に相当〕」，２頁左下欄１３，１４行「搬送用送り孔１ａ〔位置合わせマーク部に相当〕」）と第１図（ａ）（ポリイミド製ベーステープ１と搬送用送り孔１ａの図示），⑤乙８公報の記載（３頁右上欄１５行以降，回路パターンが繰り返しパターンで形成されてベースフィルム１０で連結されていること）と第２図（位置合わせ孔の図示）により，



周知の常用技術であることが明らかである。

したがって、相違点Bについては、製造設計上当然の技術事項として構成することができる。

(ウ) 相違点C

乙1公報発明2では、剛性を与えるための連結部が有する導電層を明記していない。しかし、半導体素子搭載用基板の製造分野において、強度を増すために「連結部は導電層を有する」ようにすることは、本件特許権2の最先優先権主張日の当時から周知である。すなわち、①乙4公報の記載（3頁左下欄7～11行、「金属層11dを連結部の配線基板に設けたのは、複合配線基板としての機械的強度の向上と・・・をはかるためであり、配線基板11の配線導体11c形成時に同時に形成した。」）と第3図（金属層11dの図示）、②乙5公報の記載（2頁左上欄6～8行、「支持枠部分6には機械的強度を確保する為に導電層を残置することも出来る。」）、③乙6公報の記載（3頁右上欄11～13行、「図中13がパーフォレーション周辺を補強する為に配置された、銅箔であり」と第7図（補強材13の図示）、④乙7公報の記載（特許請求の範囲（1）項、「金属箔は、絶縁性フィルムの側縁に送り孔の部分を除いて連続的に付着され、送り孔の開口縁を補強する」と第1図（a）（搬送用送り孔補強用帯6及び帯間隔変化防止用横棧7の図示）、⑤乙8公報の記載（3頁右上欄15行以降、回路パターンを連結するベースフィルム10上に導電性のバスライン42が設けられていること）と第2図（同旨の図示）により、周知の常用技術であることが明らかである。

したがって、相違点Cについては、製造設計上当然の技術事項として構成することができる。

オ よって、本件発明2は、乙1公報発明2及び周知技術に基づいて、同じ

技術分野における通常の知識を有する者が容易に発明をすることができたから、特許法 29 条 2 項の規定により、特許を受けることができないものであり、同法 123 条 1 項 2 号に基づき、無効とすべきことが明白である。原告は、同法 104 条の 3 第 1 項の規定により、本件特許権 2 を行使することができない。

#### カ 原告の主張に対する被告の反論

(ア) 本件発明 2 についての原告の主張に対する反論は、基本的に本件発明 1 についての前記 (1) カと同旨であり、以下、本件発明 2 に特有の事項にのみ反論する。

##### (イ) 相違点 A

乙 1 公報発明 2 と本件発明 2 との対比にあたって、接続ピンは何ら関係がなく、その挿入前であるか否かは問題とならない。仮に、PGA 用基板が接続ピン挿入前に個別に切り出されるものであるとしても、その前においては、半導体素子を搭載するための複数個の半導体素子実装基板部が連結されている。

また、原告は、PGA 用基板について、一般的に切り出される前の時点において、複数個の半導体素子搭載領域及び半導体パッケージ領域が存在することを自身で認めているものである。

したがって、相違点 A は、乙 1 公報に実質的に記載されているに等しく、あるいは、周知の技術を適用することにより得られる、製造設計上、当然の技術事項である。

##### (ウ) 相違点 B

前記エ (ア) のとおり、乙 1 公報に複数個の半導体素子搭載用基板が実質的に記載されているに等しいことから、連結部及び位置合わせマークについても、実質的に記載されているに等しい。あるいは、周知の技術を適用することにより得られる製造設計上当然の技術事項である。

(エ) 相違点 C

複数の半導体素子搭載用基板が連結されていれば、その連結部の強度を増すことは製造設計上当然に要求される事項である。これを解決するために、乙 4 公報から乙 8 公報までの周知技術を乙 1 公報発明 2 に適用することは極めて容易である。乙 4 公報から乙 8 公報までの発明は乙 1 公報の発明と同一の技術分野に属するものであって、その適用は当業者の通常の創作能力の範囲内であり、これを妨げる事情はない。

(3) 本件特許権 3

ア 本件発明 3 は、乙 1 公報の発明と実質的に同一であって、新規性に欠ける。

仮にそうでないとしても、乙 1 公報の発明と乙 4 公報から乙 8 公報までの技術に基づいて当業者が容易に発明をすることができたものであって、進歩性に欠ける。

イ 乙 1 公報には、前記 (1) イのと通りの記載と図面がある。

これらを参照すると、乙 1 公報には、「樹脂基板 8 上に複数の配線回路が設けられ、配線回路はスルーホールより外側に向かって形成されている。配線回路の外側端にある素子接続用端子 7 は、接続線 3 により半導体素子 1 と電氣的接続するためのものである。また、配線回路の内側端にあつて、スルーホールの周囲を取り囲んでいる環状の端子であり、スルーホール内に挿入される外部接続用リードピン 9 と電氣的接続するための環状外部接続端子」が示されているから、次の発明（以下「乙 1 公報発明 3」という。）が記載されている。

ガラス布エポキシ等の積層板と、その上面に形成された複数の配線回路とを備える、半導体素子 1 を搭載する樹脂基板 8 において、

半導体素子 1 を搭載する領域と、該半導体素子搭載領域の外側の封止樹脂 2 により保護された半導体パッケージ領域とを備え、

上記配線回路は、上記半導体パッケージ領域に形成された素子接続用端子 7 と、上記半導体素子搭載領域に形成された環状外部接続端子とをつなぐ配線回路を含み、

上記環状外部接続端子の形成された箇所の上記積層板に、上記環状外部接続端子に達するスルーホール 10 が設けられている

ことを特徴とする半導体素子搭載用樹脂基板 8。

ウ 乙 1 公報発明 3 と本件発明 3 との構成（なお、乙 1 公報発明 3 の「環状外部接続端子」は本件発明 3 の「外部接続端子」に相当し、仮に、本件発明 3 の「外部接続端子」が配線パターン 33 の一部ではなく、外部基板との接続部 42 のような部材を意味すると解釈しても、それは乙 1 公報発明 3 の「外部接続用リードピン 9」に相当する。）と効果（乙 1 公報発明 3 は、環状外部接続端子、スルーホール及び外部接続用リードピン 9 が半導体素子 1 の外形内に設けられて、パッケージサイズを大きなサイズにする必要がないため小型化することができ、本件発明 3 の効果に対応する。）を対比し、本件特許権 3 の分説に照らせば、

絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、

上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

ことを特徴とする半導体素子搭載用基板。

の点で一致し、次の点で相違する。

## 相違点

本件発明 3 では、半導体素子搭載領域と半導体パッケージ領域とを複数組備えている（構成要件ニ）のに対し、乙 1 公報発明 3 では、これらの領域を複数組備えることを明記していない点

エ 本件発明 3 の技術的特徴は、構成要件ヌの「上記半導体素子搭載領域に形成された外部接続端子」という点にあり、このことは、前記 1〔被告の主張〕（2）のとおりであるから、上記相違点は、本件発明 3 の技術的特徴ではない些末な要素に関するものである。しかも、半導体素子搭載用基板の製造分野において、半導体パッケージ領域を 1 個ずつ個別に製造することは例外的であり、通常の製造工程で同一基板上に半導体パッケージ領域を複数個配列することは技術常識であるから、当業者であれば、乙 1 公報に記載がなくとも、複数個配列を予定していることを当然の事項として了知すべきである。

したがって、本件発明 3 は、乙 1 公報に実質的に記載されているに等しく、乙 1 公報発明 3 と実質的に同一である。

仮に、乙 1 公報に複数組（複数個配列）の実質的な記載がないとしても、本件特許権 3 の最先優先権主張日の当時から周知である。すなわち、同じ技術分野に属する①乙 4 公報の記載（3 頁左上欄 9，10 行，「配線回路部 A 複数個を，両側の連結部 B により連結しており」）と第 1 図，②乙 5 公報の記載（特許請求の範囲（1）項，「複数の回路基板形成域」）と第 1 図，③乙 6 公報の記載（2 頁左上欄 1，2 行，「10 は金属箔配線を示し，これが長手方向にくり返し形成されている。」）と第 1 図，第 7 図，④乙 7 公報の記載（2 頁左下欄 10，11 行，「搬送用送り孔 1 a を半導体搭載部毎に順次 7 ずつ打ち抜き」）と第 1 図（a），⑤乙 8 公報の記載（3 頁右上欄 15～17 行，「ベースフィルム 10 上には回路パターンが繰り返しパターンで形成され」）と第 2 図により，周知の常用技術である

ことが明らかである。

したがって、上記相違点については、製造設計上当然の技術事項として構成することができる。

オ よって、本件発明 3 は、乙 1 公報発明 3 と実質的に同一であるか、又は、乙 1 公報発明 3 及び周知技術に基づいて、同じ技術分野における通常の知識を有する者が容易に発明をすることができたから、特許法 29 条 1 項又は 2 項の規定により、特許を受けることができないものであり、同法 123 条 1 項 2 号に基づき、無効とすべきことが明白である。原告は、同法 104 条の 3 第 1 項の規定により、本件特許権 3 を行使することができない。

カ 原告の主張に対する被告の反論

(ア) 本件発明 3 についての原告の主張に対する反論は、基本的に本件発明 1 についての前記 (1) カと同旨であり、以下、本件発明 3 に特有の事項にのみ反論する。

(イ) 「外部接続端子に達する開口部」について

本件発明 3 の「絶縁性支持体の片面に形成された配線」は、乙 1 公報の【0005】【実施例】【図 1】に「ガラス布エポキシ等の積層板と、その上面に形成された複数の配線回路」として開示され、本件発明 3 の「開口部」は、乙 1 公報の「スルーホール」として明示されている。本件発明 3 と乙 1 公報発明 3 との対比にあたって、リードピン 9 は何ら関係がなく、スルーホールは開口部である。

仮に、PGA 用基板のスルーホールは、内部にめっきが必要で、両面配線を必要とするとしても、乙 1 公報の発明が本件発明 3 を開示していることに変わりはなく、乙 1 公報の「環状外部接続端子に達するスルーホール」が本件発明 3 の「外部接続端子に達する開口部」に相当する。

なお、スルーホールに内部めっきのされていない状態でリードピン又はバンプに接続することは可能であり、スルーホール内のめっきの有無

にかかわらず，基板配線外部接続端子が基板上のワイヤボンディング端子をリードピン又はバンプと電氣的に接続するための機能，すなわち，本件発明 3 の半導体素子搭載用基板の外部接続端子と同一の機能を果たしていることは明らかである。

(ウ) なお，本件特許権 3 の請求項に，開口部を外部接続端子で「ふさぐ」構造とするような限定の記載はない。

〔原告の主張〕

(1) 本件特許権 1 について

ア 一致点，相違点について

被告の主張する相違点に加え，次の点も相違する。

すなわち，乙 1 公報の発明と本件発明 1 とを対比すれば，本件特許権 1 の構成要件ウに関して，本件発明 1 の「外部接続端子」に対応するものは乙 1 公報の発明の「外部接続用リードピン」であるから，「配線」に「外部接続端子」が含まれないことになる点である。

イ 「外部接続端子」について

(ア) 被告は，乙 1 公報発明 1 と本件発明 1 との対比において，最終製品の半導体装置として完成した「半導体パッケージ」とその製造工程における部材としての「半導体素子搭載用基板」の区別をしていない。

本件発明 1 は，半導体素子搭載用基板に関する発明であるのに対し，乙 1 公報は，全体としても，半導体パッケージに関する発明が記載されている。すなわち，乙 1 公報の【0001】の【産業上の利用分野】に「本発明は半導体装置に係わり，特にピングリッドアレイ型パッケージの半導体装置に関する。」と記載されていることから，乙 1 公報の発明は，本件発明 1 の半導体素子搭載用基板に関するものではなく，ピングリッドアレイ (Pin Grid Array : P G A) 型パッケージの半導体装置であるから，この P G A 型半導体パッケージから部材としての P G A 用基

板を推測する必要がある。

そして、PGA用基板は、日経BP社「VLSIパッケージング技術（上）」1993年167頁（乙38）のPGA基板の一般的な製造法の図に示されるように、基材にスルーホールを形成し、回路を形成し、半導体パッケージ1個分を個別に切り出した後、外部接続用の接続ピンをスルーホールに挿入し、ろう付け、めっき等を行って製造される。半導体素子搭載用基板の製造の段階で接続ピンを挿入するのは、その挿入時に半導体素子を破損させないためであり、通常取引形態においても、PGA用基板は、接続ピンを備えた状態で顧客に納入される。

すると、乙1公報に記載された最終製品としての半導体パッケージからすれば、部材としてのPGA用の半導体素子搭載用基板は、外部接続用リードピンを備えた構造になる。

乙2公報には、マルチチップモジュール用の高集積回路及びその製造方法に関する発明が記載されており、「半導体素子搭載用基板」に関する発明としては、第3A図～第3C図に関する説明（7頁左上欄16行～右上欄18行、「複数の貫通孔18が、基板プレート6と同じ材料で形成可能な基板17のマウント領域2内に、・・・グリッド間隔eで形成される（第3A図）。基板17の上面からその下面へと延びた貫通孔18は、その後上面と下面間の導電接続のために使われる。」「孔あき基板17に・・・，第1の接続領域19と、該第1の接続領域19を貫通孔18に接続する導体路20とが施される（第3B図）。ここで導体路20は、基板17の上面と下面の両方に配置できる。・・・」「これに追加して、あるいは導体及び接続構造を施すのと同時に、貫通孔18はそれらを通してメタライズされると共に、基板17の下面箇所に（好ましくは電気化学蒸着によって）、いわゆるバンプ21の形の接点領域が設けられる。この結果、第3C図の断面図に示すような基板が得られ



る。」)からも明らかなように、乙2公報に記載された「基板」の外部接続端子は「バンプ21」であって、本件特許権1の構成要件ウの外部接続端子と相違し、構成要件エの開示もない。

乙3公報には、乙1公報と同じくPGAタイプの半導体装置（パッケージ）が記載されており、第2図からして、半導体チップ搭載基板の外部接続端子として構成されているのは、「リードピン4」であり、さらに、乙3公報の目的、課題は、半導体搭載面下にもリードピンと内部配線を設けることにより、これらに影響されずに大きい半導体チップを搭載することができるとするもので、本件発明1とは異なっているから、乙3公報に記載された「半導体チップ搭載基板」の外部接続端子は「リードピン4」であって、本件特許権1の構成要件ウの外部接続端子と相違し、構成要件エの開示もない。

このように、乙1公報から乙3公報までに記載された発明と本件発明1とを対比すると、「外部接続端子」が基本的に相違しており、本件発明1では、「ワイヤボンディング端子と、外部接続端子とを含む所定の配線パターン」に作り込まれた「外部接続端子」であるのに対し、乙1公報から乙3公報までに記載された発明では、「リードピン」又は「バンプ」が外部接続端子である。

(イ) 被告は、乙1公報において、樹脂基板上に設けられた複数の配線回路の内側端にあって、スルーホールの周囲を取り囲んでいる環状の端子であって、スルーホール内に挿入される外部接続用リードピンと電気的接続をするための端子（環状外部接続端子）が示されていると主張する。

しかしながら、乙1公報の発明におけるPGA用の半導体素子搭載用基板としての外部接続端子は、外部接続用リードピンであって、環状外部接続端子ではない。そして、乙1公報の【0005】において、「スルーホール10には、リン青銅、コパール、42 alloy等に半田め

つきが施こされている外部接続用リードピン 9 が挿入されている。」として、外部接続用リードピン 9 をスルーホール 10 に挿入することが回路形成とは別に記載されており、外部接続リードピン 9 が配線の一部として形成されるものではない。

さらに、被告は、本件発明 1 の外部接続端子が配線パターン 33 の一部でなく、外部基板との接続部 42 のような部材を意味すると解釈したとしても、乙 1 公報発明 1 の外部接続用リードピン 9 に相当すると主張する。

しかしながら、本件明細書 1 【0070】後段の「半導体パッケージ」の製造工程を説明する記載からも明らかなとおり、外部基板との接続部 42 は、半導体パッケージの外部接続端子であって、半導体素子搭載用基板の外部接続端子ではない。

(ウ) したがって、乙 1 公報に記載された P G A 用基板は、「外部接続端子」を備えておらず、本件特許権 1 の構成要件ウの開示がない。

ウ 「上記外部接続端子は上記半導体搭載領域に設けられ」の解釈

被告は、乙 1 公報発明 1 の「P G A 用基板」と本件特許権 1 の構成要件エとを対比して、「上記環状外部接続端子は上記半導体素子の外形内、すなわち半導体素子搭載領域に設けられた」ものと主張する。しかしながら、構成要件ウの「外部接続端子」を備えていない以上、構成要件エの開示もない。

被告の主張は、乙 1 公報の発明が半導体パッケージに関するものであって、半導体素子搭載用基板に関するものでないことを看過しているのみならず、Fan-in タイプのパッケージと Fan-in/out タイプのパッケージをそれぞれ独立した関係にあるととらえて本件発明 1 の技術的範囲を Fan-in タイプのみに限定する点においても誤っている。

原告は、早期審査に関する事情説明、出願審査中に提出された意見書、

インターネットのホームページ等で、先行技術との差異を明確にするために最も分かりやすいFan-inタイプのパッケージで用いる半導体素子搭載用基板の例で説明したにすぎず、本件発明1の技術的範囲からFan-in/outタイプのパッケージに用いる半導体素子搭載用基板を意図的に除外したものではない。

#### エ 複数の半導体パッケージ領域の形成

被告は、通常の製造工程では、同一基板上に半導体パッケージ領域を複数個配列することは技術常識であり、当業者であれば、乙1公報発明1において、複数個配列を予定したものであることを当然の事項として了知すべきである旨主張する。

しかしながら、乙1公報のPGA用基板は、外部接続端子として、接続用リードピンを多数設けており、仮に、1枚の大きなPGA用基板に複数の半導体パッケージ領域を形成した場合、その数の分の多数の接続ピンが基板の底面から突出することになって、取扱いの煩雑さや破損等の問題が生じ、さらに、接続ピンが障害となって、複数の半導体パッケージを一括して樹脂でモールド封止することも難しくなるため、通常は、個別に切り分けられた後、外部接続用リードピンを挿入した状態で取引される。

このように、PGA用基板においては、「半導体素子搭載領域と、半導体パッケージ領域とを、複数組備え、同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され」ることは、技術常識あるいは、周知といえる技術ではなく、むしろ、技術常識に反するものである。

また、被告は周知技術として、乙4公報から乙8公報までの技術を指摘する。しかし、乙4公報の記載は、ICカードと呼ばれる製品の複合配線基板であって、半導体素子搭載用基板と異なるだけでなく、本件発明1とも技術分野が異なり、これをPGA用基板に適用するには、当業者にとっ

ても容易ではない。また、乙5公報はフレキシブルプリント配線板、乙6公報はフィルムキャリア、乙7公報はTABテープ、乙8公報はマルチチップモジュール等の基板にそれぞれ関するものであって、乙1公報に記載されたような接続ピンを挿入する構造のPGA用基板に関するものでない。PGA用基板は、個別に切り分けた状態で一般的に使用されるため、乙4公報から乙8公報までに示された回路パターンを繰り返しパターンで形成することを乙1公報の発明に適用することは、当業者にとっても容易ではない。

オ 乙1公報の発明の課題と効果

被告は、乙1公報発明1について、小型化できるという効果を奏する旨主張する。

しかしながら、乙1公報【0003】の【発明が解決しようとする課題】中には、半導体パッケージの小型化に関する記載も示唆もなく、【0007】段落によれば、半導体素子の大きさにかかわらず、半導体パッケージを規格の寸法に収めることができると記載されているのであって、半導体パッケージ自体を小さくする思想はどこにも記載がなく、その示唆もない。

したがって、本件発明1の出願前に、このような課題の異なる乙1公報から本件発明1を想到することはできず、まして、乙1公報の発明と、乙1公報に記載されたPGAとは構造も課題も異なる乙4公報から乙8公報までに記載された発明とを組み合わせることは、当業者にとっても容易とはいえない。

カ よって、本件発明1は、乙1公報に記載されたPGA用基板の発明と同一ではない。そして、乙1公報発明1と、乙4公報から乙8公報までの技術とは構造も課題も異なって、これらの技術を組み合わせる動機付けがないから、乙1公報発明1に乙4公報から乙8公報までに開示された周知技

術を適用することにも困難性があり、当業者が容易に想到することのできた発明であるとはいえない。

キ 被告の主張に対する原告の反論

(ア) 外部接続端子について

被告は、パッケージ外部接続端子と基板配線外部接続端子とを区別して定義しているものの、単に外観で区分けしているにすぎず、技術的な根拠を伴ったものではないから、意味のない定義である。スルーホール内部にめっきがされていたとしても、半導体素子を基板に接着するダイボンド材がスルーホールを埋めてしまうと、リードピンやバンプは外部と接続することができないのであって、外部接続端子とはいえない。

原告の主張する半導体素子搭載用基板とは、半導体素子を搭載することが可能な状態の基板である。リードピンやバンプのない状態で半導体素子を搭載すると、ダイボンド材がスルーホールを埋めてしまい、半導体素子搭載用基板として機能しなくなるから、リードピン等を挿入する前の段階の基板は、半導体素子搭載用基板でないのであって、このような状態の基板と本件発明 1 の半導体素子搭載用基板を比較することは無意味であり、個別に切り出す前に本件発明 1 の全構成要件を備えていない。

なお、乙 29 公報記載の発明は、リードピンを当然に備えており、リードピンが挿入されていない状態の P G A 用基板を開示しておらず、乙 30 公報記載の発明は、半導体素子を搭載できる段階の基板でなく、単なるスルーホール基板であり、乙 31 公報記載の発明は、放熱フィンの付いた特殊なピンを用いたピン接続型半導体素子搭載用基板の発明であり、組立ての手順として、ピンの挿入の前にパッケージの組立てをせざるを得ないものであり、乙 32 公報記載の発明は、半導体素子を搭載する段階で既にネールヘッドピンが取り付けられている例を示すものであ

り、いずれも、PGA用基板が外部接続用リードピンを備えない状態であってもPGA用の半導体素子搭載用基板と呼ばれていることを示していない。

(イ) 「上記外部接続端子は上記半導体搭載領域に設けられ」の解釈について

半導体素子を基板に接着するダイボンド材がスルーホールを埋めてしまえば、外部と接続することができない以上、外部接続端子とはいえないから、乙1公報には、本件特許権1の構成要件ウの開示がなく、また、構成要件エの開示もない。

原告は、出願過程において、Fan-inタイプとFan-outタイプとの比較において意見を主張して補正したのであって、Fan-inタイプを含まないFan-outタイプを排除しただけであり、Fan-inタイプに限定してFan-in/outタイプをも含めて特許発明の技術的範囲から意識的に除外したものではない。

(ウ) 複数の半導体パッケージ領域の形成について

乙1公報発明1のリードピン等を挿入する前の段階の基板は、半導体素子を基板に接着するダイボンド材がスルーホールを埋めてしまえば、機能的に半導体素子搭載用基板とはいえないのであって、このような状態の基板と本件発明1の半導体素子搭載用基板とを比較することは無意味である。乙1公報のPGA用基板については、切り出される前から本件発明1の構成要素をすべて実質上備えているとはいえない。

乙4公報のICカードはマザーボードに搭載せず、そのための外部接続端子を持たないから、これを乙1公報のPGA用基板の発明に適用することは、当業者にとって容易ではない。また、乙5公報から乙8公報までの各発明は、乙1公報のリードピンと外部接続端子が異なり、適用に当たっての困難性が存在し、組合せが容易でない。仮に、組み合わせ

ても、本件特許権 1 の構成要件ウを充足しない。

なお、乙 3 3 公報は、P G A などの半導体パッケージにも適用できるとしか記載がなく、具体性に欠けるから、これをもって周知ということはできず、乙 3 4 公報は、半導体素子搭載用基板を作る途中段階のものにすぎず、ピンを挿入した時点では個別に分けられており、複数組存在しているとはいえない。

(エ) 乙 1 公報の発明の課題と効果について

乙 1 公報【要約】の【目的】の記載は、規格外の大きなサイズに比べて小型の半導体装置を提供するという意味であり、本件各発明の半導体パッケージの小型化とは、レベルが全く異なるものである。

(オ) 外部接続端子における「端子」の意味

端子とは、広辞苑によれば、「電気回路の接続をするため設けた電流の出入口。また、そこに取りつける金具。ターミナル。」とされており、被告が定義する「環状外部接続端子」は電流の出入口といえる部位ではない。

そして、被告のいう環状外部接続端子は、乙 1 公報の【図 1】(A) を拡大してみれば明らかなように、外部接続用リードピンとも物理的に接続されておらず、物理的な接触関係のない部分について、電流の出入口としての端子ということとはできない。

また、乙 1 公報の樹脂基板 8 上に絶縁シート 6 を設ける場合、絶縁シート 6 を樹脂基板 8 に接着させる必要があり、その接着剤がスルーホールを埋めてしまうことになる。接着性のある絶縁シートであれば、加熱、加圧の際に、絶縁シートがスルーホール内に一部染みだして硬化するため、接続用リードピンを均一かつ十分にスルーホール内に挿入できないという不具合が生ずる可能性が高まる。

(カ) P G A 型の半導体パッケージ製造法

半導体パッケージメーカーが樹脂基板を購入した後、外部接続用リードピンを打ち込んでから、半導体素子を搭載し、樹脂でモールドする方法では、基板メーカーから未完成の基板を購入して、リードピン打ちと絶縁シートの接着を行って半導体素子搭載用基板を完成させることになり、半導体パッケージメーカーにとって、何のメリットもない。

他方、半導体素子を搭載し、樹脂でモールドした後に、外部接続用リードピンを打ち込む方法では、半導体素子直下でのリードピンの打ち込みにより、半導体素子を破損させる危険性が高く、歩留りからの要請上、合理的でない。

もともと、日経マイクロデバイス1987年8月号68頁（乙37）や日経マイクロデバイス1986年12月号60頁（乙36）で取り上げられた事例は、半導体素子の外側のかかなり離れた箇所にリードピンを打ち込む構造のものであって、リードピンを基板に打ち込む際に、半導体素子にストレスを与える程度が問題にならないくらい小さいものであり、この場合にも、ストレスを減らすため、一度に全ピンではなく、1ピンずつ打つとされている。

すると、乙1公報の半導体パッケージに用いられている半導体素子搭載用基板を、リードピンを打たない状態で複数枚つなげ、これに半導体を搭載し、樹脂封止をした後、リードピンを打ち、その後、個別に切り離す方法を採用することは、当業者においても、極めて困難であり、これらの文献記載の技術を適用するのに、阻害要因がある。

## （2）本件特許権2について

### ア 一致点、相違点について

被告の主張する相違点に加え、次の点も相違する。

すなわち、乙1公報の発明と本件発明2とを対比すれば、本件特許権2の構成要件シに関して、本件発明2の「外部接続端子」に対応するものは



乙 1 公報の発明の「外部接続用リードピン」であるから、「配線」に「外部接続端子」が含まれないことになる点である。

イ 本件発明 2 のとらえ方

本件発明 2 の技術的特徴は、本件特許権 2 の構成要件でみれば、構成要件シのみではなく、構成要件サ、同シ及び同スであり、乙 1 公報発明 2 と対比して、被告の主張する各相違点のほか、本件発明 2 においても、本件発明 1 と同様、「外部接続端子」の問題があり、この点に関する被告の主張は誤りである。

ウ 各相違点について

(ア) 相違点 A

P G A 用基板では、前記 (1) エのとおり、接続ピンを有するという他の半導体パッケージにはない特殊性から、個別に作られるのが一般的な製造法であり、複数個の半導体素子実装基板部を記載していない乙 1 公報は、むしろ一般的なものが記載されているにとどまるのであって、同一基板上に半導体素子実装基板部を複数個配列することが乙 1 公報に実質的に記載されているとはいえない。

(イ) 相違点 B

相違点 A と同じく、P G A 用基板の特殊性から、個別に作られるのが一般的な製造法であって、複数個の半導体素子実装基板部を連結するための連結部を設けることが自明ではないし、乙 1 公報の発明に乙 4 公報から乙 8 公報までに記載された技術を適用し、本件発明 2 の「連結部」を設けることも、設計上当然の技術事項ともいえない。

また、「位置合わせマーク部」についても、個別に作られることが一般的な製造法である乙 1 公報の P G A 用基板に設けることを当然のこととして了知すべきでもないし、製造設計上、当然の技術事項ともいえない。実際に、乙 1 公報では、樹脂止め枠に封止樹脂を流し込んで封止し

ており、位置合わせマーク部を用いて位置合わせを行い、モールドする旨の技術思想の開示はない。したがって、位置合わせの必要性がなく、乙４公報から乙８公報までに記載された技術を組み合わせることについての動機付けもない。

(ウ) 相違点Ｃ

乙１公報に記載されたPGA用基板は、基板に外部接続用リードピンを挿入してこれを支持する必要があるため、基板自体が十分な剛性を有しているか又は剛性を出すために厚さを厚くしており、導電層を設けて強度を上げようとする発想自体がない。したがって、乙１公報には、「連結部は導電層を有する」ことの記載も示唆もなく、乙４公報から乙８公報までに記載された技術と組み合わせる動機付けが存在しない。

(エ) よって、上記各相違点は、いずれも乙１公報に記載されているに等しいとはいえず、また、乙４公報から乙８公報までに開示された技術を外部接続用リードピンを有する特殊な構造の乙１公報のPGA用基板に適用することは当業者にとって容易とはいえない。

エ 乙１公報の発明の課題と効果

被告は、乙１公報発明２について、小型化できるという効果を奏する旨主張する。

しかしながら、乙１公報【０００３】からすれば、半導体パッケージの小型化に関する記載も示唆もなく、【０００７】によれば、より大きな半導体素子を搭載することが可能としているのであって、半導体パッケージ自体を小型化することができるとは記載がなく、その思想の記載や示唆もない。

したがって、本件発明２の出願前に、このような課題の異なる乙１公報から本件発明２を想到することはできず、まして、乙１公報の発明と、乙１公報に記載されたPGAとは構造も課題も異なる乙４公報から乙８公報

までに記載された発明とを組み合わせることは、当業者にとっても容易とはいえない。

オ よって、本件発明 2 は、乙 1 公報に記載された P G A 用基板の発明とは課題が異なって技術思想の共通性もなく、また、乙 4 公報から乙 8 公報までの技術とは構造も課題も異なって、これらの技術を組み合わせる動機付けがないから、乙 4 公報から乙 8 公報までに開示された周知技術を適用することにも困難性があり、当業者が容易に想到することのできた発明であるとはいえない。

カ 被告の主張に対する原告の反論

本件発明 2 についての被告の主張に対する反論は、本件発明 1 についての前記（１）キの反論と同旨である。

（３）本件特許権 3 について

ア 一致点、相違点について

被告の主張する相違点に加え、次の点も相違する。

すなわち、乙 1 公報の発明と本件発明 3 とを対比すれば、本件特許権 3 の構成要件ヌに関して、本件発明 3 の「外部接続端子」に対応するものは乙 1 公報の発明の「外部接続用リードピン」であるから、「配線」に「外部接続端子」が含まれないことになる点である。

また、構成要件ナ及び同ネに関して、乙 1 公報の発明について、基板の片面に形成された配線でない点、また、開口部でなくスルーホールが設けられている点でも相違する。

イ 本件発明 3 のとらえ方

本件発明 3 の技術的特徴は、本件特許権 3 の構成要件でみれば、構成要件ヌのみではなく、構成要件ナ、同ニ、同ヌ及び同ネであり、乙 1 公報の発明と対比して、被告の主張する相違点のほか、本件発明 3 においても、本件発明 1 と同様、「外部接続端子」の問題があり、この点に関する被告

の主張は誤りである。

ウ PGA用基板では、前記（１）エのとおり、接続ピンを有するという他の半導体パッケージにはない特殊性から、個別に作られるのが一般的な製造法であり、複数組の半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを記載していない乙１公報は、むしろ一般的なPGA用基板を開示しているのであって、本件発明３と実質的に同一発明が開示されているとはいえず、乙４公報から乙８公報までに開示された技術を外部接続用ピンを有する乙１公報の発明に適用することには無理がある。

エ また、乙１公報発明３のスルーホール１０が本件発明の開口部３４に相当するとの被告の主張も、本件特許権１と同様の理由により、誤りである。すなわち、本件発明３は、配線を絶縁性支持体の片面に形成して、開口部を外部接続端子でふさぐ構造とすることにより、半導体パッケージの構造を単純化することができ、低コストで生産性に優れた半導体素子搭載用基板を得ることができるものであるのに対し、PGA用基板のスルーホールは、内部にめっきが必要で、両面配線を必要としており、目的も構造も全く相違している。

したがって、スルーホールは外部接続端子を挿入してこれを支持するためのものであり、「外部接続端子に達する開口部」ではない。

オ 乙１公報の発明の課題と効果

被告は、乙１公報発明３について、小型化することができるという効果を奏する旨主張する。

しかしながら、乙１公報【０００３】及び【０００７】によれば、より大きな半導体素子を搭載することが可能としているのであって、半導体パッケージ自体を小型化することができるとの記載はなく、その思想の記載や示唆もない。

したがって、本件発明３の出願前に、このような課題の異なる乙１公報

から本件発明 3 を想到することはできず、まして、乙 1 公報の発明と、乙 1 公報に記載された P G A とは構造も課題も異なる乙 4 公報から乙 8 公報までに記載された発明とを組み合わせることは、当業者にとっても容易とはいえない。

カ よって、本件発明 3 は、乙 1 公報に記載された P G A 用基板の発明と同一ではない。そして、乙 1 公報の発明とは課題が異なって技術思想の共通性もなく、また、乙 4 公報から乙 8 公報までの技術とは構造も課題も異なって、これらの技術を組み合わせる動機付けがないから、乙 4 公報から乙 8 公報までに開示された周知技術を適用することにも困難性があり、当業者が容易に想到することのできた発明であるとはいえない。

キ 被告の主張に対する原告の反論

(ア) 本件発明 3 についての被告の主張に対する反論は、基本的に本件発明 1 についての前記 (1) キの反論と同旨であり、本件発明 3 に特有の事項にのみ反論する。

(イ) 「外部接続端子に達する開口部」について

本件発明 3 は、開口部を外部接続端子でふさぐ構造となっているのに対し、乙 1 公報では、そのような構造がなく、ダイボンド材がスルーホールを埋めてしまうから、外部接続端子として機能しない。

したがって、乙 1 公報の環状外部接続端子に達するスルーホールは、本件発明 3 の外部接続端子に達する開口部に相当しない。

### 3 争点 (3) 「本件各訂正後の無効事由の有無」について

〔原告の主張〕

#### (1) 本件各訂正後の無効事由の解消の有無

本件各特許権については、本件各訂正により、無効事由が解消されたものである。

ア 本件特許権 1 について

(ア) 無効審決

本件特許権 1 を無効と判断した特許庁の無効審決（乙 3 9）は、乙 1 公報の発明を主とした場合と乙 4 公報の発明を主とした場合に区別して検討している。

(イ) 容易想到性

まず、乙 1 公報の発明は、「樹脂基板に、半導体素子が搭載される領域と、その外側に樹脂により封止される領域を有し、該樹脂基板の片面に複数の配線が設けられ、該樹脂により封止される領域に素子接続用端子が設けられ、該半導体素子が搭載される領域にめっきが施されたスルーホールが設けられ、該配線が素子接続用端子とスルーホールとをつなぐ配線パターンを備えた P G A 基板。」である。

本件訂正発明 1 は、乙 1 公報の発明と次の点で相違する。

- a 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに 1 層ある点
- b 外部接続端子は配線の絶縁性支持体側の面に備えられている点
- c 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点
- d 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点
- e 同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列され複数個を一括して封止可能なブロックが形成されており、同一のブロックが複数個設けられている点

したがって、乙 1 公報の発明と本件訂正発明 1 とは、配線や外部との接続構造が全く異なっているから、乙 1 公報の発明に基づいて、本件訂

正発明 1 を容易に発明をすることができるとすることはできない。

次に、乙 4 公報の発明は、「配線回路部と前記配線回路部を複数個を連結するための連結部とにより構成され、前記配線回路部および前記連結部は、絶縁基板に配線導体が設けられた配線基板と、不要部が除去加工された絶縁体とを接着積層して形成され、配線回路部の配線基板には、集積回路素子を搭載する凹部が設けられ、配線回路部の配線導体は、配線基板の凹部が設けられた側の絶縁基板表面の複数の回路パターン、及び該回路パターンに設けられたワイヤボンディング端子、絶縁基板裏面の外部接続用端子パターン、及びスルーホールを有し、集積回路素子および接続部は、封止樹脂により保護される部分である複合配線基板。」である。

本件訂正発明 1 は、乙 4 公報の発明と次の点で相違する。

- a 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに 1 層ある点
- b 外部接続端子は配線の絶縁性支持体側の面に備えられている点
- c 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点
- d 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点
- e 外部接続端子は半導体素子搭載領域に設けられている点
- f 同一の配線パターンを有する半導体素子搭載領域及び半導体パッケージ領域が複数個配列され複数個を一括して封止可能なブロックが形成されており、同一のブロックが複数個設けられている点

したがって、乙 4 公報の発明と本件訂正発明 1 とは、配線や外部との

接続構造が全く異なっているから、乙1公報の発明と同様、乙4公報の発明に基づいて、本件訂正発明1を容易に発明をすることができることはできない（なお、相違点eについて、特開平4-199735号公報（平成4年7月20日発行、乙55の15）によって、ICチップの搭載領域との関係で、外部接続端子に相当するものを認定してその位置を特定することは困難であるから、参考とならない資料であり、周知技術を示すものではない。）。

（ウ）よって、本件訂正1により、本件特許権1の無効事由は解消されたものである。

#### イ 本件特許権2について

##### （ア）無効審決

本件特許権2を無効と判断した特許庁の無効審決（乙40）は、乙4公報の発明と周知技術とに基づいて当業者が容易に発明をすることができたと判断している。

##### （イ）容易想到性

乙4公報の発明は、「配線回路部と前記配線回路部を複数個を連結するための連結部とにより構成され、前記配線回路部及び前記連結部は、絶縁基板に配線導体が設けられた配線基板と、不要部が除去加工された絶縁体とを接着積層して形成され、配線回路部の配線基板には、集積回路素子を搭載する凹部が設けられ、配線回路部の配線導体は、配線基板の凹部が設けられた側の絶縁基板表面の回路パターン及び該回路パターンに設けられたワイヤボンディング端子、絶縁基板裏面の外部接続用端子パターン、及び、スルーホールを有し、集積回路素子及び接続部は、封止樹脂により保護される部分であり、連結部は、その配線基板の少なくとも一方面に設けられた金属層、及び、隣接する配線回路部間に対応する位置に形成された穴を有する複合配線基板。」である。



本件訂正発明 2 は、乙 4 公報の発明と次の点で相違する。

- a 半導体素子搭載領域に設けられた外部接続端子である点
- b 配線は銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに 1 層ある点
- c 外部接続端子は配線の絶縁性支持体側の面に備えられる点
- d 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点
- e 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点

したがって、乙 4 公報の発明と本件訂正発明 2 とは、配線や外部との接続構造が全く異なっているから、乙 4 公報の発明に基づいて、本件訂正発明 2 を容易に発明をすることができるとすることはできない（なお、相違点 a について、乙 5 5 の 1 5 公報によって、I C チップの搭載領域との関係で、外部接続端子に相当するものを認定してその位置を特定することは困難であるから、参考とならない資料であり、周知技術を示すものではない。）。

（ウ） よって、本件訂正 2 により、本件特許権 2 の無効事由は解消されたものである。

ウ 本件特許権 3 について

（ア） 無効審決

本件特許権 3 を無効と判断した特許庁の無効審決（乙 4 1）は、乙 1 公報の発明と周知技術とに基づいて当業者が容易に発明をすることができたと判断している。

（イ） 容易想到性

乙 1 公報の発明は、「樹脂基板に、半導体素子が搭載される領域と、

その外側に樹脂により封止される領域を有し、該樹脂基板の片面に複数の配線が設けられ、該樹脂により封止される領域に素子接続用端子が設けられ、該半導体素子が搭載される領域にめっきが施されたスルーホールが設けられ、該配線が素子接続用端子とスルーホールとをつなぐ配線パターンを含むPGA基板」である。

本件訂正発明3は、乙1公報の発明と次の点で相違する。

- a 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備える点
- b 配線は、銅箔から形成される配線であって、絶縁性支持体の半導体素子を搭載する面側のみに1層ある点
- c 外部接続端子は配線の絶縁性支持体側の面に備えられる点
- d 外部接続端子の形成される箇所の絶縁性支持体に、外部接続端子に達する開口部が設けられ、開口部の半導体素子を搭載する面側は、外部接続端子で覆われている点
- e 絶縁性支持体はポリイミドフィルムであって、開口部の側壁に絶縁性支持体が露出している点

したがって、乙1公報の発明と本件訂正発明3とは、配線や外部との接続構造が全く異なっているから、乙1公報の発明に基づいて、本件訂正発明3を容易に発明をすることができるとすることはできない（なお、相違点dの外部接続端子の形成される箇所の絶縁性支持体に外部接続端子に達する開口部が設けられる点は、本件訂正3によって、一致しないことが明確になった点である。）。

（ウ）よって、本件訂正3により、本件特許権3の無効事由は解消されたものである。

## （2）本件各訂正後の請求項の充足性

被告製品は、本件各特許権の本件各訂正後の技術的範囲を充足する。

ア 本件訂正発明 1

(ア) 構成要件は、次のとおり分説することができる。

ア 絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

イ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数組備え、

ウ i 上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

ウ ii 上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

エ i 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

エ ii 上記ワイヤボンディング端子はその反対側の面に備えられ、

エ iii 上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

エ iv 上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出しており、

エ v 上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

エ vi 上記外部接続端子は上記半導体素子搭載領域に設けられ、

オ i 同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列され上記複数個を一括して封止可能なブロックが形成されており、

オ ii 同一の上記ブロックが複数個設けられている

ことを特徴とする半導体素子搭載用基板。

(イ) 被告製品との対比

前記（ア）の構成要件と被告製品とを対比すると、次のとおりである。

構成要件ア

絶縁性フィルム状支持体 1 と、配線部 2 を有する半導体素子搭載用の基板である。

構成要件イ

半導体素子搭載予定部分 4 と、その外側に位置する樹脂封止予定部分 5 とが、多数配列されている。

構成要件ウ i

配線部 2 は銅箔から形成されており、絶縁性フィルム状支持体 1 の半導体素子の搭載が予定される面側にのみ 1 層ある。

構成要件ウ ii

配線部 2 は、ワイヤボンディング接続端子 2 2 と外部接続端子とを、絶縁性フィルム状支持体 1 上に形成される配線部 2 の一部とした配線パターンを備えている。

構成要件エ i

外部接続端子は、配線部 2 のランド部 2 1 の下面、すなわち絶縁性フィルム状支持体 1 側の面に備えられている。

構成要件エ ii

ワイヤボンディング接続端子 2 2 は、その反対側の面に備えられている。

構成要件エ iii

ランド部 2 1 の下面にあたる部分の絶縁性フィルム状支持体 1 に、ランド部 2 1 に達する開口部 1 1 が設けられ、この支持体 1 の半導体素子を搭載する面の側は、ランド部 2 1 で覆われ

ている。

構成要件エ iv

絶縁性フィルム状支持体 1 はポリイミドフィルムであって、ランド部 2 1 に達する開口部 1 1 の側壁に、この支持体 1 が露出している。

構成要件エ v

樹脂封止予定部分 5 内にワイヤボンディング接続端子 2 2 がある。

構成要件エ vi

半導体素子搭載予定部分 4 内にランド部 2 1 がある。

構成要件オ i

同じ配線パターンを有する上記の半導体素子搭載予定部分 4 及び樹脂封止予定部分 5 が、多数配列され、その複数個を一括して封止可能なブロックが形成されている。

構成要件オ ii

同じ前記ブロックが複数個設けられている。

(ウ) したがって、被告製品は、本件訂正発明 1 の構成要件をすべて充足する。

イ 本件訂正発明 2

(ア) 構成要件は、次のとおり分説することができる。

サ それぞれ半導体素子を搭載するための、複数個の半導体素子実装基板部と、上記半導体素子実装基板部間を連結するための連結部と、位置合わせマーク部とを備え、

シ i 上記半導体素子実装基板部は、半導体素子搭載領域、上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボン

ディング端子と，上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え，

シ ii 上記配線は銅箔から形成される配線であって，上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり，

シ iii 上記配線は，ワイヤボンディング端子と，外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え，

シ iv 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ，

シ v 上記ワイヤボンディング端子はその反対側の面に備えられ，

シ vi 上記外部接続端子の形成される箇所の上記絶縁性支持体に，上記外部接続端子に達する開口部が設けられ，上記開口部の半導体素子を搭載する面側は，上記外部接続端子で覆われており，

シ vii 上記絶縁性支持体はポリイミドフィルムであって，上記開口部の側壁に上記絶縁性支持体が露出しており，

ス 上記連結部は導電層を有することを特徴とする半導体素子実装用基板。

(イ) 被告製品との対比

前記（ア）の構成要件と被告製品とを対比すると，次のとおりである。

構成要件サ

半導体素子を搭載するための基板部が，多数ある。

半導体素子を搭載する各基板部間に，連結部 8 がある。

位置合わせの機能を有するスプロケットホール 7 及び目印 10 がある。

構成要件シ i

半導体素子を搭載する各基板部は，半導体素子搭載予定部分 4，その外側に位置する樹脂封止予定部分 5 及びそこに設けら

れたワイヤボンディング接続端子 2 2 と，半導体素子搭載予定部分 4 に設けられたランド部 2 1 を含む配線部 2 と，絶縁性フィルム状支持体 1 を備えている。

#### 構成要件シ ii

配線部 2 は銅箔から形成されており，絶縁性フィルム状支持体 1 の半導体素子の搭載が予定される面側にのみ 1 層ある。

#### 構成要件シ iii

上記の配線はワイヤボンディング接続端子 2 2 と，外部接続端子とを上記支持体 1 の上に形成される配線部 2 の一部として備えられている。

#### 構成要件シ iv

外部接続端子は，配線部 2 のランド部 2 1 の下面，すなわち絶縁性フィルム状支持体 1 側の面に備えられている。

#### 構成要件シ v

ワイヤボンディング接続端子 2 2 は，その反対側の面に備えられている。

#### 構成要件シ vi

ランド部 2 1 の下面にあたる部分の絶縁性フィルム状支持体 1 に，ランド部 2 1 に達する開口部 1 1 が設けられ，この支持体 1 の半導体素子を搭載する面の側は，ランド部 2 1 で覆われている。

#### 構成要件シ vii

絶縁性フィルム状支持体 1 はポリイミドフィルムであって，ランド部 2 1 に達する開口部の側壁に，この支持体 1 が露出している。

#### 構成要件ス

連結部 8 には、導電部 6 が形成されている。

(ウ) したがって、被告製品は、本件訂正発明 2 の構成要件をすべて充足する。

#### ウ 本件訂正発明 3

(ア) 構成要件は、次のとおり分説することができる。

ナ 絶縁性支持体と、その片面のみに形成される複数の配線とを備える半導体素子搭載用基板において、

ニ 半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、複数组備え、

ヌ i 上記配線は銅箔から形成される配線であって、上記絶縁性支持体の半導体素子を搭載する面側のみに 1 層あり、

ヌ ii 上記配線は、上記半導体パッケージ領域に形成されるワイヤボンディング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、

ネ i 上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

ネ ii 上記ワイヤボンディング端子はその反対側の面に備えられ、

ネ iii 上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

ネ iv 上記絶縁性支持体はポリイミドフィルムであって、上記開口部の側壁に上記絶縁性支持体が露出している

ことを特徴とする半導体素子搭載用基板。

(イ) 被告製品との対比

前記 (ア) の構成要件と被告製品とを対比すると、次のとおりである。

構成要件ナ



絶縁性フィルム状支持体 1 と，その一方の面のみに形成される複数の配線部 2 とを備える半導体素子搭載用の基板である。

#### 構成要件ニ

半導体素子搭載予定部分 4 と，その外側に位置する樹脂封止予定部分 5 とを多数組備えている。

#### 構成要件ヌ i

配線部 2 は銅箔から形成されており，絶縁性フィルム状支持体 1 の半導体素子の搭載が予定される面側にのみ 1 層ある。

#### 構成要件ヌ ii

配線部 2 は，樹脂封止予定部分 5 に設けられているワイヤボンディング接続端子 2 2 と，半導体素子搭載予定部分 4 に設けられているランド部 2 1 と，両者を接続する配線 2 3 とを，配線 2 の一部として備えている。

#### 構成要件ネ i

外部接続端子は，配線部 2 のランド部 2 1 の下面，すなわち絶縁性フィルム状支持体 1 側の面に備えられている。

#### 構成要件ネ ii

ワイヤボンディング接続端子 2 2 は，その反対側の面に備えられている。

#### 構成要件ネ iii

ランド部 2 1 の下面にあたる部分の絶縁性フィルム状支持体 1 に，ランド部 2 1 に達する開口部 1 1 が設けられ，この支持体 1 の半導体素子を搭載する面の側は，ランド部 2 1 で覆われている。

#### 構成要件ネ iv

絶縁性フィルム状支持体 1 はポリイミドフィルムであって，

ランド部 2 1 に達する開口部 1 1 の側壁に、この支持体 1 が露出している。

(ウ) したがって、被告製品は、本件訂正発明 3 の構成要件をすべて充足する。

〔被告の主張〕

(1) 本件訂正後の無効事由の解消の有無

本件訂正発明 1，本件訂正発明 2 及び本件訂正発明 3 は、いずれも進歩性を欠くから、本件各特許権については、本件各訂正によっても、無効事由が解消されないものである。

ア 本件特許権 1 について

本件訂正発明 1 の技術的特徴は、依然として、外部接続端子が半導体素子搭載領域に設けられている点にあり、構成要件ウ i・ii，同エ i～iv 及び同オ i・ii は、この本件発明 1 の技術的特徴自体を本質的に限定するものではない。

本件訂正発明 1 のこのような技術的特徴は、乙 1 公報の【図 1】，特開昭 6 1－1 7 7 7 5 9 号公報（昭和 6 1 年 8 月 9 日発行，乙 4 2）の第 1 図，特開平 4－4 3 6 6 9 号公報（平成 4 年 2 月 1 3 日発行，乙 4 3）の第 2 図～第 2 1 図にそれぞれ明示されており、本件各発明の出願前に公知あるいは周知の事項である。

そして、本件発明 1 の本件訂正 1 に係る事項は、その技術的特徴と関係のないささいなものであって、以下のとおり、周知慣用技術の範疇に属するから、乙 1 公報に記載された発明及び周知慣用技術に基づき、あるいは、乙 4 2 公報に記載された発明及び周知慣用技術に基づき当業者が容易に発明をすることができたものである。

(ア) 構成要件ア（乙 4 2 公報の〔実施例〕，第 1 図）

ガラスエポキシ基板により構成されるベース 1 と金属箔から形成され

る複数のメタライズ層 6 とを備える、半導体素子 3 を固着した半導体素子搭載用基板。

(イ) 構成要件イ (乙 4 2 公報の〔実施例〕, 第 1 図)

半導体素子 3 を搭載する領域と, 外側の Si 系ゲル 9 により被覆された半導体パッケージ領域。

複数组は周知である (乙 4 ~ 8, 4 7 ~ 5 1)。

(ウ) 構成要件ウ i (乙 4 2 公報の〔実施例〕, 第 1 図)

1 層のメタライズ層 6 は, ベース 1 の半導体素子 3 を搭載する面側のみにある。

銅箔は単なる設計事項, あるいは, 周知慣用事項である (乙 7, 4 4, 4 5, 5 8, 5 9)。

(エ) 構成要件ウ ii (乙 4 2 公報の〔実施例〕, 第 3 図)

上記メタライズ層 6 は, コネクタワイヤボンディング部と, アウターリード 4 に接続する端子とをベース 1 上に形成されるメタライズ層 6 の一部とした配線パターンを備えている。

(オ) 構成要件エ i ・ ii (乙 4 2 公報の〔実施例〕, 第 1 図)

上記アウターリード接続部分はメタライズ層 6 のベース 1 側の面に備えられ, コネクタワイヤボンディング部はその反対側 (素子側) の面に備えられている。

(カ) 構成要件エ iii ・ iv (乙 4 2 公報の〔実施例〕, 第 1 図)

上記アウターリード 4 に接続する端子の形成される箇所のベース 1 に, アウターリード 4 に接続する端子に達するスルーホールがベース 1 に穿設され, スルーホールの半導体素子搭載面側は, メタライズ層 6 で覆われており, スルーホールの側壁にベース 1 が露出している。

ポリイミドは単なる設計事項, あるいは, 周知慣用事項である (乙 7, 8, 4 5, 5 8, 5 9)。

(キ) 構成要件エ v・vi (乙 4 2 公報の〔実施例〕, 第 1 図)

コネクタワイヤボンディング部は S i 系ゲル 9 により被覆される半導体パッケージ領域に設けられ, アウターリード 4 に接続する端子は半導体素子 3 搭載領域に設けられている。

(ク) 構成要件オ i・ii

複数個配列は周知である (乙 4 ～ 8, 4 7 ～ 5 1)。

複数個を一括して封止可能な複数ブロックが複数個設けられることも周知である (乙 6 0 ～ 6 3)。

(ケ) 効果 (乙 4 2 公報の〔発明の概要〕)

「チップの下部にもアウターリードを垂直に出した構成・・・としたので,・・・パッケージサイズも小型化可能となる。」

イ 本件特許権 2 について

本件訂正発明 2 の技術的特徴は, 依然として, 外部接続端子が半導体素子搭載領域に設けられている点にあり, 構成要件シ i ～ vii は, この本件発明 2 の技術的特徴自体を本質的に限定するものではない。

本件訂正発明 2 のこのような技術的特徴は, 乙 1 公報の【図 1】, 乙 4 2 公報の第 1 図, 乙 4 3 公報の第 2 図～第 2 1 図にそれぞれ明示されており, 本件各発明の出願前に公知あるいは周知の事項である。

そして, 本件発明 2 の本件訂正 2 に係る事項は, その技術的特徴と関係のないささいなものであって, 以下のとおり, 周知慣用技術の範疇に属するから, 乙 1 公報に記載された発明及び周知慣用技術に基づき, あるいは, 乙 4 2 公報に記載された発明及び周知慣用技術に基づき当業者に容易に発明をすることができたものである。

(ア) 構成要件サ (乙 4 2 公報の〔実施例〕, 第 1 図)

半導体素子を搭載するためのベース 1 及び金属箔から形成されるメタライズ層 6。

複数個の基板部は周知である（乙４～８，４７～５１）。

連結部及び位置合わせマーク部は周知である（乙４～８）。

（イ）構成要件シ i（乙４２公報の〔実施例〕，第１図）

半導体チップ３を固着するベース１，コネクタワイヤボンディング部を被覆する領域，該被覆領域のコネクタワイヤ７，チップの下部にあるアウターリード４に接続する端子を含むメタライズ層６，並びにベース１。

（ウ）構成要件シ ii（乙４２公報の〔実施例〕，第１図）

１層のメタライズ層６は，ベース１の半導体素子３を搭載する面側のみにある。

銅箔は単なる設計事項，あるいは，周知慣用事項である（乙７，４４，４５，５８，５９）。

（エ）構成要件シ iii（乙４２公報の〔実施例〕，第３図）

上記メタライズ層６は，コネクタワイヤボンディング部と，アウターリード４に接続する端子とをベース１上に形成されるメタライズ層６の一部とした配線パターンを備えている。

（オ）構成要件シ iv・v（乙４２公報の〔実施例〕，第１図）

上記アウターリード接続部分はメタライズ層６のベース１側の面に備えられ，コネクタワイヤボンディング部はその反対側（素子側）の面に備えられている。

（カ）構成要件シ vi・vii（乙４２公報の〔実施例〕，第１図）

上記アウターリード４に接続する端子の形成される箇所ベース１に，アウターリード４に接続する端子に達するスルーホールがベース１に穿設され，スルーホールの半導体素子搭載面側は，メタライズ層６で覆われており，スルーホールの側壁にベース１が露出している。

ポリイミドは単なる設計事項，あるいは，周知慣用事項である（乙７，

8, 45, 58, 59)。

(キ) 構成要件ス

周知である(乙4～8)。

(ク) 効果(乙42公報の「発明の概要」)

「チップの下部にもアウターリードを垂直に出した構成・・・としたので、・・・パッケージサイズも小型化可能となる。」

ウ 本件特許権3について

本件訂正発明3の技術的特徴は、依然として、外部接続端子が半導体素子搭載領域に設けられている点にあり、構成要件ナ、同ヌi・ii及びネi～ivは、この本件発明3の技術的特徴自体を本質的に限定するものではない。

本件訂正発明3のこのような技術的特徴は、乙1公報の【図1】、乙42公報の第1図、乙43公報の第2図～第21図にそれぞれ明示されており、本件各発明の出願前に公知あるいは周知の事項である。

そして、本件発明3の本件訂正3に係る事項は、その技術的特徴と関係のないささいなものであって、以下のとおり、周知慣用技術の範疇に属するから、乙1公報に記載された発明及び周知慣用技術に基づき、あるいは、乙42公報に記載された発明及び周知慣用技術に基づき当業者に容易に発明をすることができたものである。

(ア) 構成要件ナ(乙42公報の「実施例」、第1図)

ガラスエポキシ基板により構成されるベース1と、ベース1の片面のみに形成された金属箔から形成される複数のメタライズ層6とを備える、半導体素子3を固着した半導体素子搭載用基板。

(イ) 構成要件ニ(乙42公報の「実施例」、第1図)

半導体素子3を搭載する領域と、外側のSi系ゲル9により被覆された半導体パッケージ領域。

複数组は周知である（乙４～８，４７～５１）。

（ウ）構成要件ヌ i（乙４２公報の〔実施例〕，第１図）

上記メタライズ層６は，ベース１の半導体素子３を搭載する面側のみにある。

銅箔は単なる設計事項，あるいは，周知慣用事項である（乙７，４４，４５，５８，５９）。

（エ）構成要件ヌ ii（乙４２公報の〔実施例〕，第３図）

上記メタライズ層６は，Ｓ i 系ゲル９により被覆される半導体パッケージ領域に設けられたコネクタワイヤボンディング部と，半導体素子搭載領域に設けられたアウターリード４に接続する端子及びそれらをつなぐ配線を配線の一部として備えている。

（オ）構成要件ネ i・ii（乙４２公報の〔実施例〕，第１図）

上記アウターリード接続部分はメタライズ層６のベース１側の面に備えられ，コネクタワイヤボンディング部はその反対側（素子側）の面に備えられている。

（カ）構成要件ネ iii・iv（乙４２公報の〔実施例〕，第１図）

上記アウターリード４に接続する端子の形成された箇所のベース１に，アウターリード４に接続する端子に達するスルーホールがベース１に穿設され，スルーホールの半導体素子搭載面側は，メタライズ層６で覆われており，スルーホールの側壁にベース１が露出している。

ポリイミドは単なる設計事項，あるいは，周知慣用事項である（乙７，８，４５，５８，５９）。

（キ）効果（乙４２公報の〔発明の概要〕）

「チップの下部にもアウターリードを垂直に出した構成・・・としたので，・・・パッケージサイズも小型化可能となる。」

（２）本件各訂正後の請求項の充足性

被告製品が本件訂正発明 1，本件訂正発明 2 及び本件訂正発明 3 の技術的範囲に属することは否認する。そもそも，本件各訂正が特許庁により認められていない段階で，技術的範囲の充足性を議論することは無意味である。

#### 4 争点（４）〔損害の発生及びその額〕について

##### 〔原告の主張〕

（１）被告は，住友金属鉱山株式会社（以下「訴外会社」という。）の関連会社として，平成 14 年 4 月に設立され，以降，被告製品を製造して，訴外会社の名で販売している。

（２）株式会社ジャパンマーケティングサーベイの「CSP／BGA マテリアル市場動向」によると，訴外会社のテープ CSP 基板（半導体チップを搭載又は実装するためのチップサイズパッケージ基板である「半導体素子搭載用基板」又は「半導体素子実装用基板」）の生産量は，米ドル建てで平成 14 年が 200 万ドル，平成 15 年が 200 万ドル，平成 16 年が 145 万ドルであるから，年平均で，約 180 万ドルとなり，円貨換算で少なくとも 2 億円以上となる。

（３）被告は，本件各特許権の特許公報の発行日以後である平成 15 年 6 月 3 日から少なくとも約 2 年半，被告製品を製造，販売しており，その総額は 5 億円を下らず，本件各特許権の侵害による損害賠償額を算定する場合の実施料率として 8％は下らないから，その額は 4000 万円となり，原告は，同額の損害を被っている。

##### 〔被告の主張〕

原告の主張（１）のうち，被告が平成 14 年 4 月に設立された訴外会社の関連会社であることは認め，その余は否認する。被告は，平成 14 年 4 月 1 日から同年 6 月 30 日まで，訴外会社に被告製品の製造を委託して，これを自社で販売しており，同年 7 月 1 日に訴外会社から被告製品の製造部門の移管を受け，同日から，自社で被告製品の製造，販売を行っている。



原告の主張（２）及び（３）は、否認ないし争う。

#### 第４ 当裁判所の判断

##### １ 争点（１）〔構成要件の充足性〕について

（１）本件特許権１の構成要件イ，同エ及び同オ，本件特許権２の構成要件シ，本件特許権３の構成要件ニ及び同ヌのうち，「半導体素子搭載領域」と「樹脂封止用半導体パッケージ領域」を備えることの充足性－被告製品の半導体素子搭載予定部分４と樹脂封止予定部分５（構造Ｅ）の有無－について

##### ア 被告製品の構造

被告製品は，構造Ａ～Ｄを有する別紙被告物件目録記載のと通りの半導体素子搭載用基板であって，複数の配線パターンが繰り返し規則的に配置形成されたものである。複数の配線パターンを形成する個々の配線部２においては，配線２３の両端にランド部２１とワイヤボンディング端子２２とが備わっている（説明図第１図－１参照）。

被告は，需要者の決める半導体素子搭載部分と樹脂封止部分を被告があらかじめそのような領域として特定することがないから，被告製品に半導体素子搭載予定部分４と樹脂封止予定部分５がない旨を主張する。

しかしながら，被告製品にランド部，ワイヤボンディング端子を含む一定の配線部がパターン化されて配置形成されている事実には照らせば，半導体素子を搭載する領域及び樹脂で封止する領域は，被告製品の基板上の所定の区域におのずと限定される。

そして，半導体素子搭載用基板としての用途上，ワイヤボンディング端子の位置を基準として，半導体素子を搭載する領域，樹脂封止をする領域のうちの半導体素子を搭載する領域よりも外側でワイヤボンディング端子を含む領域は，その製品自体から明らかというべきである。

以上のとおり，被告製品は，半導体素子搭載予定部分４と樹脂封止予定部分５を有している。

## イ 対比

前記各構成要件の「半導体素子搭載領域」，「樹脂封止用半導体パッケージ領域」と被告製品の「半導体素子搭載予定部分4」，「樹脂封止予定部分5」とが対応する。

被告製品は，これらの領域を備えるとの構成要件を充足する。

- (2) 本件特許権1の構成要件エ，本件特許権2の構成要件シ，本件特許権3の構成要件ヌのうち，「半導体素子搭載領域」に「外部接続端子」が設けられ（形成さ）れることの充足性－外部接続端子が半導体素子搭載領域にのみ設けられると限定されるか否か－について

## ア 構成要件の解釈

### (ア) 本件各明細書の記載

本件各明細書には，いずれも，次のとおりの記載がある。

【0002】「・・・一般に，入出力端子はパッケージの周辺に一例配置するタイプと，周辺だけでなく内部まで多列に配置するタイプがある。前者は，QFP(Quad Flat Package)が代表的である。・・・後者のアレイタイプは比較的大きなピッチで端子配列が可能なため，多ピン化に適している。」

【0003】「従来，アレイタイプは接続ピンを有するPGA (Pin Grid Array)が一般的であるが，配線板との接続は挿入型となり，表面実装には適していない。このため，表面実装可能なBGA (Ball Grid Array)と称するパッケージが開発されている。・・・」

【0004】「パッケージサイズの更なる小型化に対応するものとして，半導体チップとほぼ同等サイズの，いわゆるチップサイズパッケージ(CSP; Chip Size Package)が提案されている。これは，半導体チップの周辺部でなく，実装領域内に外部配線基板との接続部を有するパッケージである。」

【０００７】「以上のように小型化高集積度化に対応できる半導体パッケージとして、種々の提案がされているが、性能、特性、生産性等全てにわたって満足するよう一層の改善が望まれている。」

【０００８】「本発明は、小型化、高集積度化に対応できる半導体パッケージを、生産性良くかつ安定的に製造するを可能とする半導体パッケージの製造法及び半導体パッケージを提供するものである。」

【００３７】「外部接続端子は、半導体素子端子が配線とワイヤボンディング等で導通される位置より内側に設けるようにするのが高密度化の上で好ましい（ファンインタイプ）。このように外部接続端子の位置は、半導体素子が搭載された下面に格子状に配置するのが高密度化の上で好ましい。」

【０１００】「本発明により、半導体チップの高集積度化に対応することができる半導体パッケージを生産性良く、かつ安定的に製造することができる。」

(イ) 本件各明細書の図面

本件各明細書中には、いずれも、半導体パッケージの製造法の一例を説明する同一の断面図と平面図が示されている。このうち、図１～図４、図７～図１０、図１３、図１６、図２４、図２５は、外部接続端子が半導体素子搭載領域外のみにあるFan-outタイプであり、図１７、図１９、図２２は、外部接続端子が半導体素子搭載領域内のみにあるFan-inタイプであり、図１８は、外部接続端子が半導体素子搭載領域の境界域にあるタイプである。

外部接続端子が半導体素子搭載領域の内側と外側の双方にあるFan-in/outタイプを示す図面はない。

(ウ) 乙４２公報（特開昭６１－１７７７５９号公報，昭和６１年８月９日発行）及び乙３公報（特開平４－１０３１５２号公報，平成４年４月６

日発行)の記載と図面

前者及び後者ともに、半導体装置の発明が記載されており、前者の第1図及び第2図には、半導体素子の搭載領域の内側と外側の双方に外部接続端子のあるFan-in/outタイプが示され、後者の第1図及び第2図にも、半導体チップの搭載領域の内側と外側の双方に外部接続端子のあるFan-in/outタイプが示されている。

前記の本件各明細書の記載と図面によれば、全体の内容は、半導体パッケージ（基板に搭載された半導体素子を樹脂で封止して一体となったもの）の小型化、高集積化を実現するために、半導体パッケージの周辺に接続端子を出さないことを出発点としたものであって、Fan-outタイプの実施例の図面も残っている。もっとも、段落【0004】や【0037】の記載では、Fan-inタイプが好適であることに言及しており、これに限定した趣旨であるかのように読める記載もないわけではない。

しかしながら、確かに本件各明細書中には、Fan-in/outタイプについての記載はないものの、前記（ウ）のとおり、本件各発明の出願当時、Fan-in/outタイプは公知であり、半導体パッケージを小型化し、高集積化する目的や効果の上で、本件各発明が、Fan-in/outタイプを除外した、あるいは、Fan-in/outタイプに適用できない技術であったということはできない。そして、被告が指摘するような本件各発明の出願経過に照らしても、外部接続端子が半導体素子搭載領域内のみに設けられることに言及したものはない。この出願経過からは、Fan-outタイプを除外したとはいっても、Fan-in/outタイプについても、これを除外したとまでいうことはできない。

したがって、本件特許権1の構成要件エ、本件特許権2の構成要件シ、本件特許権3の構成要件ヌのうちの「半導体素子搭載領域」に「外部接続端子」が設けら（形成さ）れることの解釈としては、外部接続端子が半導体素子搭載領域にのみ設けられると限定されない、すなわち、Fan-inタイ

プのみならず、Fan-in/outタイプも含まれるものと解するのが相当である。

#### イ 被告製品の構造

被告製品は、半導体素子搭載予定部分4にランド部21が設けられている。

#### ウ 対比

前記各構成要件の「半導体素子搭載領域」，「外部接続端子」と被告製品の「半導体素子搭載予定部分4」，「ランド部21」とが対応する。

被告製品は、半導体素子搭載予定部分4にランド部21が設けられており、半導体素子搭載領域に外部接続端子が設けられるとの構成要件を充足する。被告製品がFan-in/outタイプであることは、上記判断を左右するものではない。

### (3) 本件特許権2の構成要件サiiiの充足性－位置合わせマーク部の存在と構造F－について

#### ア 被告製品の構造

被告製品は、構造A～Dを有する別紙被告物件目録記載のと通りの半導体素子搭載用基板であって、複数の配線パターン部Pがマトリクス状に配置された所定の箇所に目印10が位置する（説明図第4図－1～3参照）。

被告は、所定の箇所に目印10が位置することは認めるものの、その使用目的は知らない旨を述べ、目印10の機能につき特に主張をしない。

目印10は、基板上に整然と配置された複数の配線パターン部P全体の周囲にあって、個々の配線パターン部Pの端の線上とその間の線上に規則正しく位置しており、配線パターン部のエッチング加工やこれを個別に切り出す場合に使用されると考えることが自然である。

スプロケットホール7については、一般的に、製造工程で製品を搬送するために用いられるスプロケットの歯の間隔に合わせて形成されるものである。しかしながら、基板全体の定量送りを可能にすることにより、目印

10と連動して、位置合わせの機能を果たすから、その意味において、位置合わせマーク部ということができる。

イ 対比

前記構成要件の「位置合わせマーク部」と被告製品の「スプロケットホール7」及び「目印10」とが対応する。

被告製品は、位置合わせマーク部を備えているとの構成要件を充足する。

(4) まとめ

ア 本件特許権1

(ア) 構成要件ア及び同ウの充足性

当事者間に争いがない。

(イ) 構成要件イの充足性

半導体素子搭載予定部分4とその外側に位置する樹脂封止予定部分5とが多数配列されている。(構造C及びE, 別紙被告物件目録, 説明図第4図-1)

(ウ) 構成要件エの充足性

樹脂封止予定部分5内にワイヤボンディング接続端子22があり, 半導体素子搭載予定部分4内にランド部21がある。(構造E, 別紙被告物件目録, 説明図第1図-1)

(エ) 構成要件オの充足性

同じ配線パターンを有する半導体素子搭載予定部分4及び樹脂封止予定部分5が多数配列されている。(構造C, 別紙被告物件目録, 説明図第4図-1)

イ 本件特許権2

(ア) 構成要件サi, 同サii及び同スの充足性

当事者間に争いがない。

(イ) 構成要件サiiiの充足性

位置合わせの機能を有するスプロケットホール7及び目印10がある。

(構造D及びF, 別紙被告物件目録, 説明図第4図-2)

(ウ) 構成要件シの充足性

半導体素子を搭載する各基板部は, 半導体素子搭載予定部分4, その外側に位置する樹脂封止予定部分5及びそこに設けられたワイヤボンディング接続端子22と半導体素子搭載予定部分4に設けられたランド部21を含む配線部2を備えている。(構造B及びE, 別紙被告物件目録, 説明図第1図-1)

ウ 本件特許権3

(ア) 構成要件ナ及び同ネの充足性

当事者間に争いがない。

(イ) 構成要件ニの充足性

半導体素子搭載予定部分4とその外側に位置する樹脂封止予定部分5とを多数備えている。(構造C及びE, 別紙被告物件目録, 説明図第4図-1)

(ウ) 構成要件ヌの充足性

配線部2は, 樹脂封止予定部分5に設けられているワイヤボンディング接続端子22と半導体素子搭載予定部分4に設けられているランド部21と両者を接続する配線23を含む。(構造B, 別紙被告物件目録, 説明図第1図-1)

(5) (1) ないし(4)で述べたところによれば, 被告製品は, 本件各特許権の構成要件をいずれも充足し, その技術的範囲に属する。

2 争点(2)〔無効事由の有無〕について

(1) 本件特許権1

本件発明1が乙1公報(特開平5-109922号公報, 平成5年4月30日発行)に記載された発明と同一といえるか又はこれに基づいて当業者が

容易に発明をすることができたといえるかを検討する。

## ア 乙 1 公報の発明

### (ア) 乙 1 公報の記載と図面

【目的】「半導体素子の大きさを限定することなく，多ピンで小型の半導体装置を提供する。」

【構成】「半導体素子 1 の下面に接着剤 5 及び絶縁シート 6 を介して，樹脂基板 8 のスルーホールを有しており，そのスルーホール内には外部接続用リードピン 9 が挿入されている。樹脂基板 8 上の配線回路はスルーホールより外側に向って形成されていて，半導体素子と電氣的接続するための素子接続用端子 7 は，スルーホールの外側に有している。」

【請求項 1】「複数の外部接続用リードピンを樹脂基板に格子状に形成したスルーホールに挿入して取付けた前記樹脂基板上に，半導体装置を搭載してなる半導体装置において，少なくとも最内列に形成された前記スルーホールに挿入された外部接続用リードピンより外側に素子接続用端子を有していることを特徴とする半導体装置。」

【請求項 2】「外部接続用リードピンがすべて半導体素子の外形内の下面に取付けられていることを特徴とする請求項 1 に記載の半導体装置。」

【産業上の利用分野】「本発明は半導体装置に係わり，特にピングリッドアレイ型パッケージの半導体装置に関する。」

【実施例】「次に本発明によって図面を参照して説明する。図 1 の

(A) は本発明の第 1 の実施例の半導体装置の断面図である。樹脂基板 8 は，ガラス布エポキシやガラス布 B T やガラス布ポリイミド等の積層板で成っており，表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール 10 を設けてめっきを行ない，表裏



面の銅をエッチングすることにより回路が形成されている。スルーホール10には、リン青銅、コパール、42 alloy等に半田めっきが施こされている外部接続用リードピン9が挿入されている。図1の(B)は本発明の第1の実施例の樹脂基板の上面図である。外部接続用リードピンを挿入するスルーホールが半導体素子1の外形内に設けられており、半導体素子1と外部接続用リードピン9とを電氣的接続するための素子接続用端子7がスルーホールの外側に形成されている。半導体素子1は絶縁シート6を介して接着剤5に固定されている。素子接続用端子7と半導体素子1を接続線3により電氣的接続させ、エポキシ系の封止樹脂2により接続線及び半導体素子を外圧より保護する。」

【発明の効果】「以上説明したように本発明は、少なくとも最内列に形成したスルーホールに挿入した外部接続用リードピンより外側に素子接続用端子を有しているので、最内列ピンの配列サイズに関係なく又、パッケージサイズも規格外の大きなサイズにする必要なく、大きな半導体素子を搭載することが可能となるという効果を有する。」

【図1】 別紙乙1公報図面記載【図1】(A)及び(B)のとおり  
(イ)「日経マイクロデバイス」1987年8月号57～69頁(日経マクロウヒル社刊、乙37)の記載と図面

「図B●パッケージはプリント基板とリード・ピン、ポッティング樹脂から成る

パッケージの組み立て工程と各パッケージ・メーカーとLSIメーカーのカバー範囲。通常、プリント基板メーカーはPGA用の基板を加工し、ピン打ちまで行う。LSIメーカーである日本電気は自社でピン打ちをする。パッケージ・メーカーのシチズン時計は組み立ての全作業をLSIメーカーから引き受ける。」(63頁上)

「自動化してコストを下げる

同社〔判決注・日本電気を指す。〕はPGAの基板が5枚程度リードフレーム状につながった状態で取り扱い，自動化を図っている（図10）。ピンも自社で取り付ける。リードフレーム状の基板にダイ・ボンディング，ワイヤー・ボンディングし，ポッティング樹脂とメタル・キャップで封止する。そしてピンを挿入する。ピン打ちの装置は専用に開発した。1ピンずつ打っているという。一度に全ピン打つと生産性はいいが，LSIチップにストレスが加わりすぎる。ピン打ち後，ピンの接合部を半田付けする。キャップにマーキングして，最後にフレームから切り離す。」（68頁右欄7～19行）

「図10●リードフレームのようにPGAを組み立てる

プリント基板メーカーから基板が5枚ぐらいつながった状態で購入する。ワイヤー・ボンダーやダイ・ボンダーは既存の装置を流用できるという。」（68頁左上）

「図10」（68頁上）5枚のPGA用基板がリードフレーム状につながった状態が示されている。

（ウ）「日経マイクロデバイス」1986年12月号60，61頁（日経マグローヒル社刊，乙36）の記載と図面

「リードフレームのようにプリント基板が5枚程度につながった状態で，ダイ・ボンディングやワイヤー・ボンディング，メタル封止を行う。そして組み立ての最終工程でバラバラにする。」（60頁上欄2，3行）

「日本電気は，PGA用のプリント基板の5枚程度をリードフレームのようにつなげた状態でダイ・ボンディングし，ワイヤー・ボンディング後，切断する量産用の組み立て技術を開発し，すでにそのPGA製品を出荷していることを明らかにした」（60頁左欄6～12行）

「ピン数に合わせてパターニングしたプリント基板を切断せず，５枚程度つながった状態で基板の製造元から受け取る（図１）。基板にＬＳＩチップをダイ・ボンディングし，ワイヤー・ボンディングする。その上にエポキシ樹脂をポッティングし，メタル・キャップで封止する。ピン挿入，ハンダ付け，マーキング後，最後に各パッケージをバラバラにする」（６０頁右欄３～１２行）

「図１●組み立てに使う基板

五つのプリント基板がつながった状態で基板の製造元から受け取る。パターニングとスルー・ホールをめっきはしてある。」（６０頁右下）

「図１」（６０頁下）５枚のＰＧＡ用基板がリードフレーム状につながった状態が示されている。

これらの記載と図面のうち，前記（ア）によれば，「樹脂基板８は，ガラス布エポキシやガラス布ＢＴやガラス布ポリイミド等の積層板で成っており，表裏両面には銅が張られている。また表裏の銅を導通させるためにスルーホール１０を設けてめっきを行ない，表裏面の銅をエッチングすることにより回路が形成されている。」とされ，別紙乙１公報図面記載【図１】（Ａ）及び（Ｂ）のとおり，表面（上面）に複数の配線回路が設けられ，その配線回路がスルーホールの外側に向かって形成され，配線回路の外側端には素子接続用端子７が形成され，配線回路の内側端にはスルーホール１０を取り巻く環状部分が形成され，裏面（下面）の回路としては，スルーホール１０内のめっきで表面（上面）の配線と導通してスルーホール１０の周囲を取り巻く環状部分がエッチングで残されている。

また，前記（イ）及び（ウ）によれば，ＬＳＩメーカーは，リードピンを打っていない状態のＰＧＡ用基板を基板メーカーから購入し，ダイボンディング，ワイヤボンディング，封止，リードピン挿入を行うことが周知

の技術であるものと認められるから、乙１公報において、スルーホール１０に外部接続用リードピン９の打っていない状態のPGA用基板も開示されているといえることができる。

したがって、乙１公報には、次の発明（以下「引用発明１」という。）が開示されているものと認められる。

樹脂基板８に半導体素子１の搭載される領域とその外側に樹脂により封止される領域を有し、樹脂基板８の半導体素子１を搭載する面に複数の配線が設けられ、この配線が素子接続用端子７とめっきの施されたスルーホール１０とをつなぐ配線パターンを備え、素子接続用端子７が樹脂により封止される領域に設けられ、スルーホール１０が半導体素子１の搭載される領域に設けられた半導体素子搭載用基板。

イ ここで、引用発明１と本件発明１とを対比すると、引用発明１の「樹脂基板」「素子接続用端子」がそれぞれ本件発明１の「絶縁性支持体」「ワイヤボンディング端子」に相当する。また、引用発明１の「めっきの施されたスルーホール」は、リードピンの打たれていないPGA用基板において、外部接続用リードピンが挿入されて外部と接続する端子といえるから、本件発明１の「外部接続端子」に相当する。

原告は、引用発明１の「外部接続用リードピン」が本件発明１の「外部接続端子」に相当する旨主張する。

しかしながら、引用発明１では、外部接続用リードピンは、PGA用基板を外部と接続するための部材であり、他方、本件発明１を含む本件各発明では、半導体パッケージの一部である半導体素子搭載用基板に形成された外部接続端子と外部との接続は、本件各明細書の記載や図面のとおりに、はんだボール７やはんだバンプ７０を介して行う構成になっている。そうすると、引用発明１の外部接続用リードピン９は、本件各明細書に記載のはんだボール７又ははんだバンプ７０に相当するものであり、本件各発明

の「外部接続端子」に該当するものでないとするのが自然である。

また、原告は、上記主張の根拠として、PGA用基板による半導体パッケージ全体の製造工程、すなわち、パッケージ1個分を個別に切り出した後、半導体素子を破損させないため、半導体素子を搭載する前にリードピンをスルーホールに挿入し、その後に半導体素子を搭載するという工程の順序から、PGA用基板の半導体素子搭載用基板としては、外部接続用リードピンを備えた構造になること、また、通常取引でも、PGA用の半導体素子搭載用基板は外部接続用リードピンを備えた状態で取引されていること、さらに、外部接続用リードピンを挿入する前に半導体素子を搭載すると、ダイボンド材や絶縁シートの接着剤がスルーホールに浸出してピンとの接触の妨げになることなどを挙げる。

しかしながら、引用発明1を含む乙1公報記載の発明は、物の発明であって、製造方法についての発明ではなく、その製造工程を限定するものではない。

そうすると、原告の主張するPGA用基板の製造工程や納入形態等にかかわらず、引用発明1は、外部接続用リードピンが挿入される前の時点で、既に本件各発明の外部接続端子に相当する基本的な構成を開示していることができる。

なお、前記ア（イ）及び（ウ）によれば、PGA用基板は、取引の実際においても、ピンの打たれる前の状態でPGA用の半導体素子搭載用基板として、LSIメーカーに納入されていることがあることが認められ、その場合、PGA用基板のスルーホールには、めっきが施されており、外部接続端子としての機能を備えていることが明らかである。

したがって、これらの原告の主張は失当である。

なお、被告は、引用発明1の「環状外部接続端子」（別紙参考図面記載【図1】（B）参照）が本件発明1の「外部接続端子」に相当する旨主張

する。しかしながら，別紙乙 1 公報図面記載【図 1】（A）のとおり，環状外部接続端子に相当する部分は，直接外部接続用リードピンと接続しておらず，スルーホール内のめっきを介して外部接続用リードピンと接触しているものであるから，これを外部接続端子ととらえることはできない。

この結果，引用発明 1 と本件発明 1 とは，

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において，

半導体素子搭載領域と，該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを，備え，

上記配線は，ワイヤボンディング端子と，外部接続端子とを含む所定の配線パターンを備え，

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ，上記外部接続端子は上記半導体素子搭載領域に設けられる

ことを特徴とする半導体素子搭載用基板。

の点で一致し，次の点で相違する。

相違点

本件発明 1 では，半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え（構成要件イ），同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されている（構成要件オ）のに対し，引用発明 1 では，これらの領域を複数組備え，複数個配列することを明記していない点

ウ 相違点について

（ア）乙 4 公報（平成元年 3 月 2 日発行，発明の名称：複合配線基板）の記載と図面

「配線回路部A複数個を，両側の連結部Bにより連結しており」（３頁左上欄９，１０行）

「第１図」（４頁左上）当該発明の一実施例における複合配線基板の平面図により，複数組の基板の配列が示されている。

（イ）乙５公報（平成３年４月１５日発行，発明の名称：可撓性回路基板集合体及びその製造法）の記載と図面

「複数の回路基板形成域」（１頁左下欄７行）

「第１図」（４頁左上）当該発明の一実施例によるスクラップレス構造の小形微細な可撓性回路基板集合体の概念的な平面構成図により，複数組の基板の配列が示されている。

（ウ）乙６公報（平成２年３月３０日発行，発明の名称：フィルムキャリア）の記載と図面

「１０〔判決注・１１の誤り〕は金属箔配線を示し，これが長手方向にくり返し形成されている。」（２頁左上欄１，２行）

「第１図」（４頁左下）従来のフィルムキャリアの平面図により，複数組の基板の配列が示されている。

「第７図」（５頁右上）当該発明の一実施例を示すフィルムの上面図により，複数組の基板の配列が示されている。

（エ）乙７公報（平成４年２月４日発行，発明の名称：TABテープの構造）の記載と図面

「搬送用送り孔１aを半導体搭載部毎に順次７つつ打ち抜き」（２頁左下欄１０，１１行）

「第１図（a）」（３頁右下）当該発明の実施例１を示す正面図により，複数組の基板の配列が示されている。

（オ）乙８公報（平成３年４月１９日発行，発明の名称：半導体装置の製造方法）の記載と図面

「ベースフィルム 10 上には回路パターンが繰り返しパターンで形成され」（3 頁右上欄 15～17 行）

「第 2 図」（4 頁下）長尺体を用いた製造方法を示す説明図により、複数組の基板の配列が示されている。

（カ）「日経マイクロデバイス」1986 年 12 月号 60 頁（日経マグローヒル社刊，乙 36）の記載と図面

「ピン数に合わせてパターンニングしたプリント基板を切断せず，5 枚程度つながった状態で」（右欄 3～5 行）

「図 1」（下）組み立てに使う基板を示す写真により，複数組の基板の配列が示されている。

（キ）「日経マイクロデバイス」1987 年 8 月号 68 頁（日経マグローヒル社刊，乙 37）の記載と図面

「PGA の基板が 5 枚程度リードフレーム状につながった状態で」（右欄 8，9 行）

「図 10」（上）組み立てに使う基板を示す写真により，複数組の基板の配列が示されている。

（ク）「VLSI パッケージング技術（上）」1993 年 5 月 31 日 167 頁（日経 B P 社刊，乙 38）の図面

「図 5. 3. 3」（下）PGA の製造工程が一覧できる形で図解され，同一基板上に複数組の領域が配列して形成されることが示されている。

（ケ）乙 33 公報（昭和 61 年 11 月 5 日発行，発明の名称：セラミック基板および半導体装置の製造方法）の記載と図面

「縦に 2 つのパッケージ 5 を接続し，横には 3 個～5 個のパッケージ 5 を接続して，1 枚のセラミック基板には，複数のパッケージが形成されている。」（2 頁右下欄 1～4 行）

「第 1 図」（3 頁左下）当該発明にかかるセラミック基板の一実施例の



平面図により、複数組の基板の配列が示されている。

(コ) 乙 3 4 公報（昭和 6 3 年 3 月 1 6 日発行，発明の名称：半導体搭載用基板）の記載と図面

「シート状で多数の半導体搭載用基板が連続的に配列されたプリント配線用基板」（2 頁右下欄 1 4 ～ 1 5 行）

「第 2 図（a）」（5 頁左上）当該半導体搭載用基板を形成する状態を示した部分平面図により、複数組の基板の配列が示されている。

これらの文献は、いずれも、昭和 6 1 年 1 1 月から平成 5 年 5 月までの当時、本件発明 1 と同一の技術分野である半導体素子搭載用基板に係る製造分野において、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術に関するものであるから、その後の本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 1 5 日の時点では、上記の技術は、同じ製造分野に属する当業者にとって、もはや技術常識に属する周知の技術であったといえることができる。

これに対し、原告は、PGA 用基板について、個別に切り分けられ、外部接続用リードピンを挿入した状態で取引され、しかも半導体素子を搭載した後でリードピンを挿入することはない（半導体素子をピン打ちで破損させない目的とダイボンド材等のスルーホールへの浸出を防ぐ目的）から、PGA 用基板は、個別に切り出されて外部接続用リードピンを挿入された状態を半導体素子搭載用基板というのであるから、このようなピンの挿入された状態で複数の基板領域を形成することは技術常識に反するなどと主張する。

しかしながら、この外部接続用リードピンが本件発明 1 の「外部接続端子」に相当するものではないことは、前記イで説示したとおりであって、そもそも半導体素子搭載用基板の構成要素に含まれないものである。引用発明 1 は、外部接続用リードピンが挿入される前の状態で半導体素子搭載

用基板としての構成要素を備えている。原告の主張は、その前提を欠くものであって失当である。また、実際においても、PGA用基板として、リードピンを挿入する前の状態の複数個連結された形で取引されていることは、前記ア（イ）及び（ウ）のとおりである。

さらに、原告は、PGA型の半導体パッケージ製造方法に言及して、半導体パッケージメーカーが複数個連結されたPGA用基板を用いて半導体素子搭載後にリードピン打ちをして個別に切り離すことは極めて困難であることから、引用発明1のPGA用基板に前記の周知の技術を適用することについては、適用阻害要因がある旨を主張する。しかしながら、ここでの問題は、リードピンを挿入する前の状態のPGA用基板について、これに複数個を連結する技術を適用することが容易であるかということであり、製造方法がいかなるものであるかは、そもそも問題とならないというべきである（前記イのとおり、引用発明1を含む乙1公報記載の発明は、物の発明であり、製造方法を特定しているものではない。）。仮に製造方法が考慮の対象となり得るとしても、前記ア（イ）及び（ウ）によれば、実際のパッケージ事業者の取引として、半導体素子搭載後にリードピン打ちをした後、個別に切り離している例があることが認められることからみて、仮にこのような工程について原告の主張するような困難性があるとしても、どの時点でピン打ちをすることが適切であるかは、事業者において、適宜選択し得る事項であるということができ、そのことをもってPGA用基板につき複数個を一括して形成する技術を適用することに想到することが困難であるということとはできない。

したがって、引用発明1に前記周知の技術を適用して本件発明1のように構成することは、当業者にとって、容易なことであるというべきである。

#### エ まとめ

よって、本件発明1は、乙1公報の発明（引用発明1）と周知の技術と

に基づいて、当業者が容易に発明をすることができたというべきであるから、特許法２９条２項により、特許を受けることができないものである。

## （２）本件特許権２

本件発明２が乙１公報（特開平５－１０９９２２号公報，平成５年４月３０日発行）に記載された発明に基づいて当業者が容易に発明をすることができたといえるかを検討する。

ア 前記（１）アで述べたところによれば，乙１公報には，次の発明（引用発明２）が開示されているものと認められる。

樹脂基板８に半導体素子１の搭載される領域とその外側に樹脂により封止される領域を有し，樹脂基板８の半導体素子１を搭載する面に複数の配線が設けられ，この配線が素子接続用端子７とめっきの施されたスルーホール１０とをつなぐ配線パターンを備え，素子接続用端子７が樹脂により封止される領域に設けられ，スルーホール１０が半導体素子１の搭載される領域に設けられた半導体素子実装用基板。

イ ここで，引用発明２と本件発明２とを対比すると，引用発明２の「樹脂基板」「素子接続用端子」がそれぞれ本件発明２の「半導体素子実装基板部」「ワイヤボンディング端子」に相当する。

また，前記（１）イで述べたところによれば，引用発明２の「めっきの施されたスルーホール」が本件発明２の「外部接続端子」に相当する。

この結果，引用発明２と本件発明２とは，

半導体素子を搭載するための，半導体素子実装基板部を備え，

上記半導体素子実装基板部は，半導体素子搭載領域，上記半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域，及び上記樹脂封止用半導体パッケージ領域に設けられたワイヤボンディング端子と，上記半導体素子搭載領域に設けられた外部接続端子とを含む配線を備える

ことを特徴とする半導体素子実装用基板。

の点で一致し、次の点で相違する。

#### 相違点 A

本件発明 2 では、複数個の半導体素子実装基板部を備えている（構成要件サ i）のに対し、引用発明 2 では、その複数個を明記していない点

#### 相違点 B

本件発明 2 では、半導体素子実装基板部間を連結するための連結部と（構成要件サ ii）、位置合わせマーク部とを備えている（構成要件サ iii）のに対し、引用発明 2 では、そのような連結部と位置合わせマーク部を明記していない点

#### 相違点 C

本件発明 2 では、連結部が導電層を有する（構成要件ス）のに対し、引用発明 2 では、連結部の導電層を明記していない点

#### ウ 相違点 A について

前記（1）ウで述べたところによれば、本件発明 2 と同一の技術分野である半導体素子実装用基板に関する製造分野において、同一基板上に複数個の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の時点では、同じ製造分野に属する当業者にとって、もはや技術常識に属する周知の技術であったといえる。

したがって、引用発明 2 に上記周知の技術を適用することは、当業者にとって、容易であるといえることができる。

#### エ 相違点 B について

（ア）乙 4 公報（平成元年 3 月 2 日発行、発明の名称：複合配線基板）の記載と図面

「配線回路部A複数個を，両側の連結部Bにより連結しており」（３頁左上欄９，１０行）

「第１図」（４頁左上）当該発明の一実施例における複合配線基板の平面図により，連結部B及び位置合わせ用の孔が示されている。

（イ）乙５公報（平成３年４月１５日発行，発明の名称：可撓性回路基板集合体及びその製造法）の記載と図面

「これら回路基板形成域の側方に連設した支持枠」（１頁左下欄７～８行）

「両支持枠部分１９の各端部には適当な位置決め穴乃至は支持穴２０を適宜形成することが出来る。」（３頁左上欄３～５行）

「第１図」（４頁左上）当該発明の一実施例によるスクラップレス構造の小形微細な可撓性回路基板集合体の概念的な平面構成図により，支持枠部分１９と支持穴２０が示されている。

「第３図」（４頁右上）従来手法に従った同様な可撓性回路基板集合体の概念的な平面構成図により，支持枠部分６が示されている。

（ウ）乙６公報（平成２年３月３０日発行，発明の名称：フィルムキャリア）の記載と図面

「長尺状の可〔判決注・「撓」の欠落と読める。〕性絶縁性フィルム上に，金属箔配線が形成され」（１頁左下欄５～６行）

「パーフォレーション周囲の強度は充分であり，・・・フィルムが薄くなった場合でもフィルム送りが支障なく出来又，その際の位置精度を下げることはない。」（３頁右下欄７～１２行）

「第７図」（５頁右上）当該発明の一実施例を示すフィルムの上面図により，フィルムキャリア１及びパーフォレーション１０が示されている。

（エ）乙７公報（平成４年２月４日発行，発明の名称：TABテープの構

造)の記載と図面

「ポリイミド製ベーステープ(絶縁性フィルム)1」(2頁右上欄2, 3行)

「搬送用送り孔1a」(2頁左下欄13行)

「第1図(a)」(3頁右下)当該発明の実施例1を示す正面図により、ポリイミド製ベーステープ1と搬送用送り孔1aが示されている。

(オ)乙8公報(平成3年4月19日発行,発明の名称:半導体装置の製造方法)の記載と図面

「ベースフィルム10上には回路パターンが繰り返しパターンで形成され,同時に各回路パターンに接続して検査用ライン40および電解めっきの導通をとるためのバスライン42が設けられる。」(3頁右上欄15~19行)

「第2図」(4頁下)長尺体を用いた製造方法を示す説明図により,位置合わせ孔が示されている。

これらの文献は,いずれも,平成元年3月から平成4年2月までの当時,本件発明2と同一の技術分野である半導体素子搭載用基板に係る製造分野において,複数の個別の基板領域を連結するための連結部と製造工程で必要な位置合わせマーク部に関する技術に言及したものである。前記ウの相違点Aで検討したところによれば,同一基板上に複数の個別の基板領域を配列して形成し,これを一括して製造する技術は,当業者にとって,技術常識に属する周知の技術であったといえる。そうすると,これに関連して,複数の個別の基板領域を連結するために連結部を備えることや個別の基板領域ごとの加工のために製造工程で必要な位置合わせマーク部を備えることは,同一基板上での複数の基板領域の配列形成と一括製造の上で,当然に必要とされる必須の構成であるともいい得るものである。

したがって,引用発明2に上記の各文献に記載された技術を適用するこ

とは、当業者にとって、容易であるということができる。

オ 相違点Cについて

(ア) 乙4公報（平成元年3月2日発行，発明の名称：複合配線基板）の記載と図面

「金属層11dを連結部の配線基板に設けたのは，複合配線基板としての機械的強度の向上と・・・をはかるためであり，配線基板11の配線導体11c形成時に同時に形成した。」（3頁左下欄7～11行）

「第3図」（4頁左上）当該発明の一実施例における複合配線基板の断面図により，金属層11dが示されている。

(イ) 乙5公報（平成3年4月15日発行，発明の名称：可撓性回路基板集合体及びその製造法）の記載

「支持枠部分6には機械的強度を確保する為に導電層を残置することも出来る。」（2頁左上欄6～8行）

(ウ) 乙6公報（平成2年3月30日発行，発明の名称：フィルムキャリア）の記載と図面

「図中13がパーフォレーション周辺を補強する為に配置された，銅箔であり」（3頁右上欄11～13行）

「第7図」（5頁右上）当該発明の一実施例を示すフィルムの上面図により，補強材13が示されている。

(エ) 乙7公報（平成4年2月4日発行，発明の名称：TABテープの構造）の記載と図面

「金属箔は，絶縁性フィルムの側縁に送り孔の部分を除いて連続的に付着され，送り孔の開口縁を補強する」（左下欄9～11行）

「第1図（a）」（3頁右下）当該発明の実施例1を示す正面図により，搬送用送り孔補強用帯6及び帯間隔変化防止用横棧7が示されている。

(オ) 乙8公報（平成3年4月19日発行，発明の名称：半導体装置の製造

方法)の記載と図面

「ベースフィルム10上には回路パターンが繰り返しパターンで形成され、同時に各回路パターンに接続して検査用ライン40および電解めっきの導通をとるためのバスライン42が設けられる。」(3頁右上欄15～19行)

「第2図」(4頁下)長尺体を用いた製造方法を示す説明図により、バスライン42が示されている。

これらの文献によれば、基板の複数の領域を連結する連結部に機械的な強度の補強を兼ねて導電層を有する構成が明確に開示されている。

原告は、乙1公報には、連結部が導電層を有することの記載も示唆もなく、技術を組み合わせる動機付けがないと主張する。

しかしながら、前記ウの相違点Aで検討したところによれば、同一基板上に複数の個別の基板領域を配列して形成し、これを一括して製造する技術は、技術常識に属する周知の技術であったといえることができることからすれば、複数の基板部間を連結するための連結部について、その強度を増すことは製造設計上、当然に要求される技術的事項といえるべきである。

したがって、引用発明2にこれらの文献の技術を組み合わせることは、当業者にとって、容易であるといえるべきである。

カ まとめ

よって、本件発明2は、乙1公報の発明(引用発明2)と周知の技術とに基づいて、当業者が容易に発明をすることができたといえるべきであるから、特許法29条2項により、特許を受けることができないものである。

### (3) 本件特許権3

本件発明3が乙1公報(特開平5-109922号公報、平成5年4月30日発行)に記載された発明に基づいて当業者が容易に発明をすることができたといえるかを検討する。



ア 前記（１）アで述べたところによれば，乙１公報には，次の発明（引用発明３）が開示されているものと認められる。

樹脂基板８に半導体素子１の搭載される領域とその外側に樹脂により封止される領域を有し，樹脂基板８の半導体素子１を搭載する面に複数の配線が設けられ，この配線が素子接続用端子７とめっきの施されたスルーホール１０とをつなぐ配線パターンを備え，素子接続用端子７が樹脂により封止される領域に設けられ，スルーホール１０が半導体素子１の搭載される領域に設けられた半導体素子搭載用基板。

イ ここで，引用発明３と本件発明３とを対比すると，引用発明３の「樹脂基板」「素子接続用端子」がそれぞれ本件発明３の「絶縁性支持体」「ワイヤボンディング端子」に相当する。

また，前記（１）イで述べたところによれば，引用発明３の「めっきの施されたスルーホール」が本件発明３の「外部接続端子」に相当する。

ところで，原告は，引用発明３の基板は両面配線を必要として，本件発明３のような片面の配線ではなく，また，引用発明３のスルーホールは本件発明３の開口部ではない旨を主張するので検討する。

この点，原告は，本件発明３では，配線を絶縁性支持体の片面に形成して，開口部を外部接続端子でふさぐ構造とすることにより，半導体パッケージの構造を単純化することができ，低コストで生産性に優れた半導体素子搭載用基板を得ることができるが，他方，引用発明３では，PGA用基板のスルーホールは，内部にめっきが必要で，両面配線を必要としており，目的も構造も全く相違すると指摘し，また，本件発明３では，開口部を外部接続端子でふさぐ構造となっているのに対し，引用発明３では，ダイボンド材がスルーホールを埋めてしまって外部接続端子として機能しないとも指摘する。

しかしながら，前記（１）アで述べたところによれば，引用発明３の両

面配線については、裏面の環状（回路）部分がスルーホール内のめっきで導通されて、専ら外部接続用リードピンとの電氣的接続をより確実にするためものであるということができ、機能的にみて、このような裏面の配線回路は、素子接続用端子とめっきの施されたスルーホールとの間で樹脂基板上を取り回される配線回路とは異なるものであるから、この意味で、引用発明３は、片面の配線を開示しているというべきである。

仮にそうでないとしても、本件発明３の請求項は、絶縁性支持体の「片面に形成された複数の配線」と記載するにとどまり、「片面のみ」に形成されたとは記載していない。本件明細書３中には、配線を片面のみに設けることにより半導体パッケージの構造を単純化するという原告の主張する効果についての明確な記載はない。そうすると、本件発明３は、絶縁性支持体の片面に複数の配線を形成するとともに、外部との電氣的接続を確実にするため、他の面に配線をする構成のものを排除する趣旨とはいえず、引用発明３の表面の回路も、本件発明３の「片面に形成された複数の配線」に当たるということができる。

また、本件発明３の特許請求の範囲においては、外部接続端子の形状について開口部を外部接続端子でふさぐ構造とするという限定はされていない。外部接続端子が開口部をふさぐものであることを前提とする原告の主張は、特許請求の範囲の記載に基づかないものであって、失当である。

引用発明３のスルーホールは、基板の上下を貫通しており、半導体素子の搭載面の反対側の面に向けて開口していることが明らかであって、本件発明３の開口部に対応するものにほかならず、ダイボンド材の点は、構成の対比の上で問題とすることができない。

したがって、基板の片面に形成された配線でない点、開口部でなくスルーホールが設けられている点のいずれについても、原告の主張を採用することはできない。

この結果、引用発明 3 と本件発明 3 とは、

絶縁性支持体と、その片面に形成された複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記半導体パッケージ領域に形成されたワイヤボンディング端子と、上記半導体素子搭載領域に形成された外部接続端子とをつなぐ配線を含み、

上記外部接続端子の形成された箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられている

ことを特徴とする半導体素子搭載用基板。

の点で一致し、次の点で相違する。

相違点

本件発明 3 では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えている（構成要件ニ）のに対し、引用発明 3 では、これらの領域を複数組備えることを明記していない点

ウ 相違点について

前記（１）ウで述べたところによれば、本件発明 3 と同一の技術分野である半導体素子搭載用基板に関する製造分野において、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術は、本件各発明の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の時点では、同じ製造分野に属する当業者にとって、もはや技術常識に属する周知の技術であったといえる。

したがって、引用発明 3 に上記の周知の技術を適用することは、当業者にとって、容易であるといえることができる。

## エ まとめ

よって、本件発明 3 は、乙 1 公報の発明（引用発明 3）と周知の技術とに基づいて、当業者が容易に発明をすることができたというべきであるから、特許法 29 条 2 項により、特許を受けることができないものである。

（４）（１）ないし（３）で述べたところによれば、本件各特許権は、いずれも特許無効審判により無効にされるべきものと認められる。

### 3 争点（３）〔本件各訂正後の無効事由の有無〕について

（１）本件各特許権には、前記 2 のとおり、進歩性の欠如の無効事由がある。

しかし、本件各特許権については、現在、知的財産高等裁判所に各無効審決の取消訴訟が係属するとともに、特許庁に対し、本件各訂正に係る各訂正審判請求がされており、本件各訂正をめぐる帰趨が流動的な状態にある。また、手続的にも、今後、特許法 181 条 2 項の差戻しがされた場合には、各無効審判の審理のなかで、本件各訂正に相当する各訂正請求がされて、本件各訂正に係る各訂正審判請求はみなし取下げとなる事態（同法 134 条の 3 第 2 項～5 項）も予測される。

特許法 104 条の 3 第 1 項所定の「当該特許が特許無効審判により無効にされるべきものと認められるとき」とは、当該特許について、訂正審判請求又は訂正請求がされた場合には、将来、その訂正が認められ、訂正の効力が確定したときにおいても、当該特許が無効審判により無効とされるべきものと認められるか否かによって判断すべきである。

したがって、訂正前の特許について無効事由がある場合においては、特許権者は、①当該特許の特許請求の範囲について訂正審判請求ないし訂正請求をしたこと、②当該訂正が特許法 126 条の訂正要件を充たしていること、③当該訂正により、訂正後の特許について無効の抗弁で主張された無効事由が解消すること、④被告製品が訂正後の特許の技術的範囲に属することを主張立証すべきである。これに対し、相手方は、当該訂正後の特許につき他の

無効事由があることを主張立証することができる。特許請求の範囲が訂正された以上、当該訂正後の特許について、新たな引用例等による無効の主張が許されるべきことは当然のことである。

本件においては、本件各訂正に係る各訂正審判請求がそのまま維持されたまま判断される可能性のほか、差戻し後の各無効審判手続のなかで訂正請求として一本化される余地もあるため、訂正審判手続における独立特許要件の問題として論じることになるのか、差戻し後の無効審判手続における無効事由の有無として論じることになるのかはさておき、便宜、本件各訂正後の発明の無効事由の有無について検討することにする。

## （２）本件各訂正後の無効事由の解消の有無

ア 原告は、本件各特許権について、特許庁における各無効審決（乙３９～４１）を前提として、本件各訂正により、その判断過程で指摘された無効事由が解消されたと主張し、他方、被告は、新たに乙４２公報（特開昭６１－１７７７５９号公報）の発明を引用して、これに基づく無効事由を主張する。

そこで、以下では、本件各訂正がされたものと仮定して、本件訂正発明１、本件訂正発明２及び本件訂正発明３のそれぞれについて、前記２の判断及び無効審決における無効事由ではなく、被告の主張する新たな乙４２公報の発明を引用例とした無効事由について判断する。

### イ 本件訂正発明１

#### （ア）乙４２公報の発明の要旨

乙４２公報（昭和６１年８月９日発行、発明の名称：半導体装置）には、次の記載と図面がある。

#### 「特許請求の範囲

１．パッケージより、アウターリードを垂直に出した半導体装置であって、前記パッケージ本体内の半導体素子の下部にも前記アウターリ

ードを有して成ることを特徴とする半導体装置。」（１頁左下欄３～７行）

「〔発明の概要〕

・・・本発明では、チップの下部にもアウターリードを垂直に出した構成、換言すれば、アウターリードを全面に設け、その上部にチップを搭載する構成としたので、チップは大なるサイズのものが搭載でき、ピン数も増加でき、配線引きまわしも容易となり、かつ、パッケージサイズも小型化可能となる。」（２頁左上欄１９行～右上欄９行）

「〔実施例〕

・・・

第１図に示すように、ベース（基板）１の上に接着材料２により半導体素子（チップ）３を固着する。

ベース１は例えばガラスエポキシ基板により構成される。」（２頁右上欄１０～１６行）

「基板１には第１図および第２図に示すようにその垂直方向に多数のアウターリード４が立設されている。

・・・アウターリード４は半導体素子３の下部にも立設されている。パッケージ本体５の基板１の裏面から基〔判決注・「基」の誤記と読める。〕盤目状に一定のピッチで、金属ピンよりなるアウターリード４が全面にわたって突出して・・・」（２頁左下欄５～１２行）

「ベース１には、第１図にはメタライズ層（配線層）６がメッキ、蒸着などにより設けられており、このメタライズ層６と半導体素子３のパッド・・・とを、コネクタワイヤ７により、・・・ボンディングし、上記メタライズ層６と、アウターリード４とを、ベース１に穿設されたスルーホールを介して電氣的に接続している。

アウターリード４は、ベース１に融点の高い半田により、半田付き

れる。」（２頁左下欄１６行～右下欄５行）

「ベース１上に、ダム８を・・・接合し、このダム８により区画されたエリア内にＳｉ系ゲル材料をポッティングし、加熱硬化させ、得られたＳｉ系ゲル９により、半導体素子３とコネクタワイヤボンディング部などを被覆する。」（２頁右下欄９～１４行）

「第３図は、本発明におけるワイヤボンディングおよびピン間の配線の要部平面図で、第３図に示すように、半導体素子３のボンディングパッド１１とメタライズ層９とをコネクタワイヤ７によりボンディングするが、本発明では配線基板１のメタライズ層（配線）９をボンディングリードとして利用すると、ピン間に引きまわすコネクタワイヤの本数が少なくでき、その配線が楽になる。」（３頁右下欄１～８行）

「第１図」「第２図」（４頁右下）「第３図」（５頁上） 別紙乙４２  
公報図面記載第１図～第３図のとおり

これらによれば、乙４２公報には、次の発明（以下「訂正引用発明１」という。）が記載されているといえる。

ガラスエポキシ基板により構成されるベース１に、半導体素子３の搭載される領域と、その外側にＳｉ系ゲル９により被覆される領域を有し、ベース１の半導体素子３を搭載する面側のみに、メタライズ層６からなる複数の配線が設けられ、メタライズ層６はコネクタワイヤボンディング部とアウターリード４に接続する端子とを配線の一部とした配線パターンを備え、コネクタワイヤボンディング部はＳｉ系ゲル９により被覆される領域のメタライズ層６の上面に設けられ、アウターリード４に接続する端子は半導体素子３の搭載領域のメタライズ層６の下面に設けられ、アウターリード４に接続する端子の形成される箇所ベース１にこの端子に達するスルーホ

ールが穿設され、スルーホールの半導体素子 3 を搭載する面側がメタライズ層 6 で覆われている半導体素子搭載用基板。

(イ) 訂正引用発明 1 と本件訂正発明 1 との対比

訂正引用発明 1 の「ベース」「メタライズ層」「コネクタワイヤボンディング部」「アウターリードに接続する端子」「スルーホール」がそれぞれ本件訂正発明 1 の「絶縁性支持体」「配線」「ワイヤボンディング端子」「外部接続端子」「開口部」に相当するから、訂正引用発明 1 と本件訂正発明 1 とは、

絶縁性支持体と複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみにあり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部とした配線パターンを備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われており、

上記ワイヤボンディング端子は上記樹脂封止用半導体パッケージ領域に設けられ、

上記外部接続端子は上記半導体素子搭載領域に設けられることを特徴とする半導体素子搭載用基板。



の点で一致し、次の点で相違する。

#### 相違点 A

本件訂正発明 1 では、1 層の銅箔から形成された配線を用いているのに対し、訂正引用発明 1 では、メッキや蒸着などにより形成されたメタライズ層を用いている点

#### 相違点 B

本件訂正発明 1 では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、訂正引用発明 1 では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否かを明記していない点

#### 相違点 C

本件訂正発明 1 では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え、同一の上記配線パターンを有する上記半導体素子搭載領域及び上記半導体パッケージ領域が複数個配列されているのに対し、訂正引用発明 1 では、これらの領域を複数組備え、複数個配列することを明記していない点

#### 相違点 D

本件訂正発明 1 では、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックが形成され、同一の上記ブロックが複数個設けられているのに対し、訂正引用発明 1 では、このようなブロックの形成がなく、また、複数個設けられていない点

（ウ）相違点 A について

乙 7 公報，乙 8 公報，乙 4 4 公報（特開平 6－1 1 2 3 5 4 号公報），

乙 4 5 公 報（特開平 7－5 8 1 6 1 号公報），乙 5 8 公 報（特開平 4－1 8 8 7 4 1 号公報）及び乙 5 9 公 報（特開平 6－1 3 4 3 4 号公報）には，それぞれ次の記載がある。

- a 乙 7 公 報（平成 4 年 2 月 4 日発行，発明の名称：T A B テープの構造）の記載

「ベーステープ 1 上に・・・圧延銅箔を張り付け」（2 頁右上欄 5，6 行）

- b 乙 8 公 報（平成 3 年 4 月 1 9 日発行，発明の名称：半導体装置の製造方法）の記載

「ベースフィルム 1 0 上に銅箔を接着し」（2 頁左下欄 1 2，1 3 行）

- c 乙 4 4 公 報（平成 6 年 4 月 2 2 日発行，発明の名称：薄型オーバーモールド半導体デバイスおよびその製造方法）の記載

「高分子材基板 4 2 は銅張りの B T 樹脂を使用でき・・・導電金属トレース 4 6 のパターンを形成する。」（【0 0 1 2】8～1 2 行）

- d 乙 4 5 公 報（平成 7 年 3 月 3 日発行，発明の名称：フィルムキャリア及びこのフィルムキャリアを用いた半導体装置）の記載

「フィルム基材 2 の一方の面（表面）に，上記配線パターン 3 を形成するための銅箔が貼着される。この銅箔はパターン形成され，これにより配線パターン 3 が形成される。」（【0 0 1 7】5～8 行）

- e 乙 5 8 公 報（平成 4 年 7 月 7 日発行，発明の名称：半導体装置の製造方法とそれに使用するキャリアテープ）の記載

「ポリイミド膜 1 a 上に・・・銅箔を部分エッチングにより配線パターンに形成」（3 頁左下欄 1，2 行）

- f 乙 5 9 公 報（平成 6 年 1 月 2 1 日発行，発明の名称：半導体装置用フィルムキャリア）の記載

「フィルムキャリア 1 はポリイミド樹脂，ポリエステル樹脂，ガラスエポキシ樹脂などからなる可撓性絶縁フィルム 2 とこの絶縁フィルム 2 上にパターン形成された銅箔等の金属導体膜のリード 5 とを備えている。」（【0014】4～8行）

これらの記載によれば，本件訂正発明 1 の新規性及び進歩性の判断基準日である平成 7 年 3 月 15 日の当時，半導体素子搭載用基板において，配線を 1 層の銅箔から形成することは，周知の技術であったものと認められ，当業者であれば，適宜選択し得る設計的事項であるというべきである。

したがって，訂正引用発明 1 にこれらの周知の技術を適用して配線を 1 層の銅箔から形成するようにすることは，当業者にとって，容易であるといえることができる。

（エ）相違点 B について

乙 6 公報，乙 7 公報，乙 8 公報，乙 45 公報，乙 46 公報（特開平 5－283460 号公報），乙 58 公報及び乙 59 公報には，それぞれ次の記載がある。

a 乙 6 公報（平成 2 年 3 月 30 日発行，発明の名称：フィルムキャリア）の記載

「例としてフィルム材にポリイミドを想定し」（2 頁右上欄 2，3 行）

b 乙 7 公報（平成 4 年 2 月 4 日発行，発明の名称：TAB テープの構造）の記載

「ポリイミド製ベーステープ（絶縁性フィルム）1」（2 頁右上欄 2，3 行）

c 乙 8 公報（平成 3 年 4 月 19 日発行，発明の名称：半導体装置の製造方法）の記載

「ポリイミド等の電氣的絶縁性を有するフィルムから成るベースフィルムで」（２頁左下欄６，７行）

d 乙４５公報（平成７年３月３日発行，発明の名称：フィルムキャリア及びこのフィルムキャリアを用いた半導体装置）の記載

「２はポリイミド材料等により形成されたフィルム基材」（【００１６】２，３行）

e 乙４６公報（平成５年１０月２９日発行，発明の名称：半導体装置）の記載

「絶縁性のベースフィルムであって，ポリイミドフィルム等の耐熱性フィルムで形成している。」（【００２０】１～３行）

f 乙５８公報（平成４年７月７日発行，発明の名称：半導体装置の製造方法とそれに使用するキャリアテープ）の記載

「ポリイミド膜１a上に・・・銅箔を部分エッチングにより配線パターンに形成」（３頁左下欄１，２行）

g 乙５９公報（平成６年１月２１日発行，発明の名称：半導体装置用フィルムキャリア）の記載

「フィルムキャリア１はポリイミド樹脂，ポリエステル樹脂，ガラスエポキシ樹脂などからなる可撓性絶縁フィルム２とこの絶縁フィルム２上にパターン形成された銅箔等の金属導体膜のリード５とを備えている。」（【００１４】４～８行）

これらの記載によれば，前記の本件訂正発明１の進歩性等の判断の基準日当時，半導体素子搭載用基板において，絶縁性支持体がポリイミド（フィルム）で構成されることは，周知の技術であったものと認められ，当業者であれば，適宜選択し得る設計的事項であるというべきである。

したがって，訂正引用発明１にこれらの文献の技術を適用することは，当業者にとって，容易であるといえることができる。

また、本件訂正発明 1 における開口部の側壁に上記絶縁性支持体が露出している基板とは、開口部にはんだボールが形成される前の状態を意味するものである。訂正引用発明 1 において、明確な記載はないものの、スルーホールがその形成と同時にアウターリードと接続するためのはんだで埋められるなどとの記載がないから、スルーホール（開口部）の側壁にベース（絶縁性支持体）が露出された状態の基板を考えることができる。本件訂正発明 1 のこの該当部分は、半導体素子搭載用基板の製造工程におけるある時点での基板の状態をクレーム化したにすぎないものというべきであり、この点についての相違点は、格別な事項ではなく、実質的な相違はない。

（オ）相違点 C について

相違点 C は、本件特許権 1 における引用発明 1 と本件発明 1 との相違点と同じであって、前記 2（1）ウで述べたところに加え、さらに、後記（カ）の記載と図面とにも照らせば、半導体素子搭載用基板に係る製造分野において、同一基板上に複数組の個別の基板領域を配列して形成し、これを一括して製造する技術は、前記の本件訂正発明 1 の進歩性等の判断基準日の時点では、同じ製造分野に属する当業者にとって、もはや技術常識に属する周知の技術であったといえる。

したがって、訂正引用発明 1 に上記周知の技術を適用することは、当業者にとって、容易であるといえることができる。

（カ）相違点 D について

乙 6 0 公報（特開昭 6 2－1 5 0 8 3 4 号公報）、乙 6 1 公報（特開昭 6 2－1 5 0 8 6 8 号公報）、乙 6 2 公報（特開平 1－2 8 1 7 3 6 号公報）、乙 6 3 公報（特開平 4－1 1 6 9 6 1 号公報）には、それぞれ次の記載及び図面がある。

a 乙 6 0 公報（昭和 6 2 年 7 月 4 日発行、発明の名称：半導体装置樹

脂成形方法および樹脂成形装置）の記載及び図面

「このような連続フレームの上に縦方向の2単位のフレームは同図に示されるように共通の一つの樹脂ブロック5により成形封止され、樹脂パッケージ5を得る。」（2頁右下欄4～7行）

「第1図」（4頁右上）スタック型のリードフレームの例を示す平面図（一部樹脂封止した状態）により、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されている。

b 乙61公報（昭和62年7月4日発行，発明の名称：半導体装置用リードフレームとそれを使用する樹脂封止方法）の記載及び図面

「共通の樹脂ブロック内に封止されるユニット（素子）の数は2つ又は2つ以上であればいくつでもよい。」（3頁右上欄11～13行）

「第1図」（3頁右下）当該発明の一実施例を示すリードフレーム（一部を樹脂形成）の平面図により、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されている。

「第5図」（4頁右上）当該発明の他の一実施例を示すリードフレームの平面図により、半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成が示されている。

c 乙62公報（平成元年11月13日発行，発明の名称：回路基板ユニットの製造方法）の記載及び図面

「一列複数個毎に接続部への被覆樹脂のポッティングがなされる。・  
・一度に一列のうちの5個のICデバイス10に対して樹脂を噴出する」（3頁右下欄13～19行）

「スプロケット・・・を回転し、次の列の処理を行なう」（4頁左上

欄 1 ～ 3 行)

「第 2 図」 (9 頁左上) 当該発明による回路基板ユニットの製造方法を実施する製造ラインの第 1 処理工程で作成された IC ユニット用のキャリアテープの平面図により, 半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成と同一の樹脂封止列の複数個形成が示されている。

d 乙 6 3 公報 (平成 4 年 4 月 1 7 日発行, 発明の名称: 半導体ダイオード素子およびその製造方法) の記載及び図面

「直線状に並んだ複数個の半導体チップを列毎に一体封止するようにして行われる。」 (3 頁右上欄 11 ～ 1 2 行)

「第 3 図」 (4 頁右上) 当該発明ダイオード素子の組立工程図により, 半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックの形成とこのようなブロックの複数列形成が示されている。

これらの記載と図面とに照らせば, 半導体素子搭載用基板に関する製造分野において, 前記の本件訂正発明 1 の進歩性等の判断基準日の時点で, 半導体素子搭載領域と半導体パッケージ領域の複数個を一括して封止可能なブロックを形成し, 同一のブロックを複数個設けることも, 半導体素子搭載用基板を効率よく大量に製造する上で, 周知の技術であったということができる。

したがって, 訂正引用発明 1 に上記の周知の技術を適用することは, 当業者にとって, 容易であるということができる。

(キ) まとめ

よって, 本件訂正がされたと仮定しても, 本件訂正発明 1 は, 乙 4 2 公報の発明 (訂正引用発明 1) と周知の技術とに基づいて, 当業者が容易に発明をすることができたということができるから, 特許法 2 9 条 2

項により、特許を受けることができないものである。

ウ 本件訂正発明 2

(ア) 乙 4 2 公報の発明の要旨

乙 4 2 公報（昭和 6 1 年 8 月 9 日発行，発明の名称：半導体装置）の記載及び図面は，前記イ（ア）のとおりであるから，乙 4 2 公報には，次の発明（以下「訂正引用発明 2」という。）が記載されているといえる。

ガラスエポキシ基板により構成されるベース 1 に，半導体素子 3 の搭載される領域と，その外側に S i 系ゲル 9 により被覆される領域を有し，ベース 1 の半導体素子 3 を搭載する面側のみに，メタライズ層 6 からなる複数の配線が設けられ，メタライズ層 6 はコネクタワイヤボンディング部とアウターリード 4 に接続する端子とを配線の一部とした配線パターンを備え，コネクタワイヤボンディング部は S i 系ゲル 9 により被覆される領域のメタライズ層 6 の上面に設けられ，アウターリード 4 に接続する端子は半導体素子 3 の搭載領域のメタライズ層 6 の下面に設けられ，アウターリード 4 に接続する端子の形成される箇所のベース 1 にこの端子に達するスルーホールが穿設され，スルーホールの半導体素子 3 を搭載する面側がメタライズ層 6 で覆われている半導体素子実装用基板。

(イ) 訂正引用発明 2 と本件訂正発明 2 との対比

訂正引用発明 1 の「ベース」「メタライズ層」「コネクタワイヤボンディング部」「アウターリードに接続する端子」「スルーホール」がそれぞれ本件訂正発明 1 の「絶縁性支持体」「配線」「ワイヤボンディング端子」「外部接続端子」「開口部」に相当するから，訂正引用発明 2 と本件訂正発明 2 とは，

半導体素子実装基板部は，半導体素子搭載領域，上記半導体素子



搭載領域の外側の樹脂封止用半導体パッケージ領域、及び上記樹脂封止用半導体パッケージ領域に設けられるワイヤボンディング端子と、上記半導体素子搭載領域に設けられる外部接続端子とを含む配線並びに絶縁性支持体を備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみにあり、

上記配線は、ワイヤボンディング端子と、外部接続端子とを上記絶縁性支持体上に形成される配線の一部として備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われている

ことを特徴とする半導体素子実装用基板。

の点で一致し、次の点で相違する。

#### 相違点 A

本件訂正発明 2 では、1 層の銅箔から形成された配線を用いているのに対し、訂正引用発明 2 では、メッキや蒸着などにより形成されたメタライズ層を用いている点

#### 相違点 B

本件訂正発明 2 では、絶縁性支持体がポリイミドフィルムで構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、訂正引用発明 2 では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否か明記していない点

#### 相違点C

本件訂正発明2では、複数の半導体素子実装基板部を備えているのに対し、訂正引用発明2では、その複数個を明記していない点

#### 相違点D

本件訂正発明2では、半導体素子実装基板部間を連結するための連結部、位置合わせマーク部を備えているのに対し、訂正引用発明2では、これらを備えていない点

#### 相違点E

本件訂正発明2では、連結部が導電層を有するのに対し、訂正引用発明2では、これを明記していない点

#### (ウ) 各相違点について

相違点A及び相違点Bは、それぞれ本件訂正発明1と訂正引用発明1との相違点A及び相違点Bと同じであるから、これに対する判断は、前記イ（ウ）及び（エ）で説示したところと同じである。

次に、相違点Cについて、複数の半導体素子実装基板部を備えることは、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え、これらを複数個配列することの一態様であるから、本件訂正発明1と訂正引用発明1との相違点Cと同じことになり、これに対する判断は、前記イ（オ）で説示したところと同じである。

また、相違点Dは、本件特許権2における引用発明2と本件発明2との相違点Bと同じであるから、これに対する判断は、前記2（2）エで説示したところと同じである。

そして、相違点Eも、本件特許権2における引用発明2と本件発明2との相違点Cと同じであるから、これに対する判断は、前記2（2）オで説示したところと同じである。

(エ) まとめ

よって、本件訂正がされたと仮定しても、本件訂正発明 2 は、乙 4 2 公報の発明（訂正引用発明 2）と周知の技術とに基づいて、当業者が容易に発明をすることができたといえることができるから、特許法 29 条 2 項により、特許を受けることができないものである。

エ 本件訂正発明 3

(ア) 乙 4 2 公報の発明の要旨

乙 4 2 公報（昭和 61 年 8 月 9 日発行、発明の名称：半導体装置）の記載及び図面は、前記イ（ア）のとおりであるから、乙 4 2 公報には、次の発明（以下「訂正引用発明 3」という。）が記載されているといえる。

ガラスエポキシ基板により構成されるベース 1 に、半導体素子 3 の搭載される領域と、その外側に S i 系ゲル 9 により被覆される領域を有し、ベース 1 の半導体素子 3 を搭載する面側のみに、メタライズ層 6 からなる複数の配線が設けられ、メタライズ層 6 はコネクタワイヤボンディング部とアウターリード 4 に接続する端子とを配線の一部とした配線パターンを備え、コネクタワイヤボンディング部は S i 系ゲル 9 により被覆される領域のメタライズ層 6 の上面に設けられ、アウターリード 4 に接続する端子は半導体素子 3 の搭載領域のメタライズ層 6 の下面に設けられ、アウターリード 4 に接続する端子の形成される箇所のベース 1 にこの端子に達するスルーホールが穿設され、スルーホールの半導体素子 3 を搭載する面側がメタライズ層 6 で覆われている半導体素子搭載用基板。

(イ) 訂正引用発明 3 と本件訂正発明 3 との対比

訂正引用発明 3 の「ベース」「メタライズ層」「コネクタワイヤボンディング部」「アウターリードに接続する端子」「スルーホール」がそ

れぞれ本件訂正発明 3 の「絶縁性支持体」「配線」「ワイヤボンディング端子」「外部接続端子」「開口部」に相当するから、訂正引用発明 3 と本件訂正発明 3 とは、

絶縁性支持体と、その片面のみに形成される複数の配線とを備える半導体素子搭載用基板において、

半導体素子搭載領域と、該半導体素子搭載領域の外側の樹脂封止用半導体パッケージ領域とを、備え、

上記配線は、上記絶縁性支持体の半導体素子を搭載する面側のみにあり、

上記配線は、上記半導体パッケージ領域に形成されるワイヤボンディング端子と、上記半導体素子搭載領域に形成される外部接続端子及びそれらをつなぐ配線を配線の一部として備え、

上記外部接続端子は上記配線の上記絶縁性支持体側の面に備えられ、

上記ワイヤボンディング端子はその反対側の面に備えられ、

上記外部接続端子の形成される箇所の上記絶縁性支持体に、上記外部接続端子に達する開口部が設けられ、上記開口部の半導体素子を搭載する面側は、上記外部接続端子で覆われている

ことを特徴とする半導体素子搭載用基板。

の点で一致し、次の点で相違する。

#### 相違点 A

本件訂正発明 3 では、1 層の銅箔から形成された配線を用いているのに対し、訂正引用発明 3 では、メッキや蒸着などにより形成されたメタライズ層を用いている点

#### 相違点 B

本件訂正発明 3 では、絶縁性支持体がポリイミドフィルムで

構成され、絶縁性支持体の開口部の側壁に上記絶縁性支持体が露出しているのに対し、訂正引用発明 3 では、ベース（絶縁性支持体）がガラスエポキシで構成され、スルーホール（開口部）の側壁にベースが露出しているか否か明記していない点  
相違点 C

本件訂正発明 3 では、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えているのに対し、訂正引用発明 3 では、これらの領域を複数組備えることを明記していない点

（ウ）各相違点について

相違点 A 及び相違点 B は、それぞれ本件訂正発明 1 と訂正引用発明 1 との相違点 A 及び相違点 B と同じであるから、これに対する判断は、前記イ（ウ）及び（エ）で説示したところと同じである。

また、相違点 C について、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備えることは、半導体素子搭載領域と樹脂封止用半導体パッケージ領域とを複数組備え、これらを複数個配列することの一態様であるから、本件訂正発明 1 と訂正引用発明 1 との相違点 C と同じことになり、これに対する判断は、前記イ（オ）で説示したところと同じである。

（エ）まとめ

よって、本件各訂正がされたと仮定しても、本件訂正発明 3 は、乙 4 2 公報の発明（訂正引用発明 3）と周知の技術とに基づいて、当業者が容易に発明をすることができたといえることができるから、特許法 29 条 2 項により、特許を受けることができないものである。

（3）（1）及び（2）で述べたところによれば、本件各特許権は、本件各訂正によっても、無効事由が解消されないことになる。

#### 4 結論

以上のとおりであるから、原告の請求は、いずれも理由がない。  
よって、主文のとおり判決する。

東京地方裁判所民事第47部

裁判長裁判官           阿     部     正     幸

裁判官               平     田     直     人

裁判官               柵     木     澄     子

(被告物件目録及び被告製品構造説明図は省略(閲覧等制限))

表 1      本件各特許権の成立経過

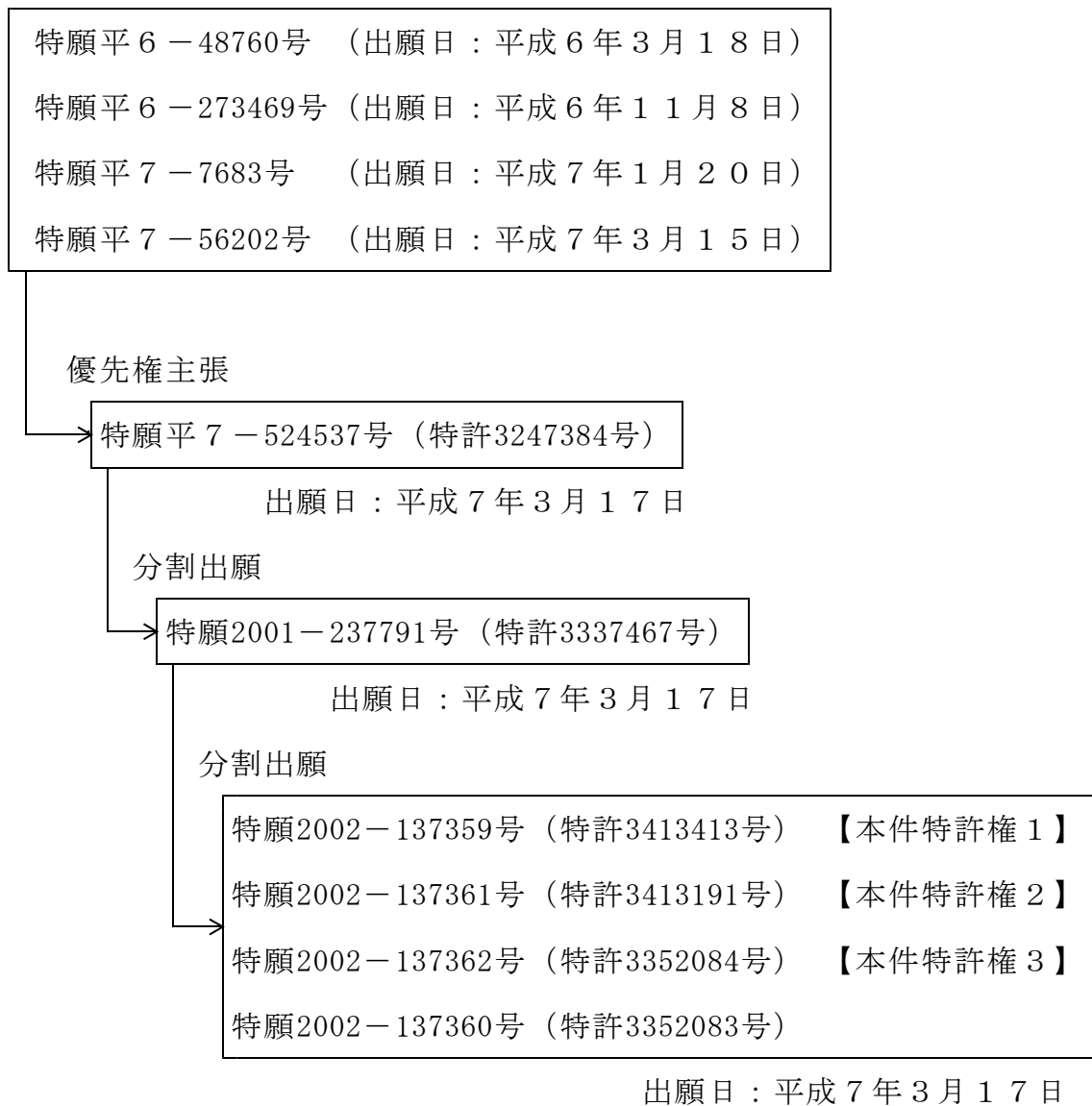


表 2 特許3337467号を親とする特許の出願審査状況

	1 世代	2 世代	3 世代	4 世代
出願2001-237791 登録3337467 特開2002-110858	【本件特許権 1】 出願2002-137359 登録3413413 特開2002-334948	出願2002-313069 登録3606275 特開2003-133479	出願2004-160856 登録3685203 特開2004-247763	
			出願2004-160857 特開2004-247764	出願2005-138827 特開2005-328057
			出願2004-160858 登録3685204 特開2004-247765	
			出願2004-160859 特開2004-282098	
			出願2004-160860 登録3685205 特開2004-247766	
	出願2002-137360 登録3352083 特開2002-334949			
	【本件特許権 2】 出願2002-137361 登録3413191 特開2002-334950			
	【本件特許権 3】 出願2002-137362 登録3352084 特開2002-334951			

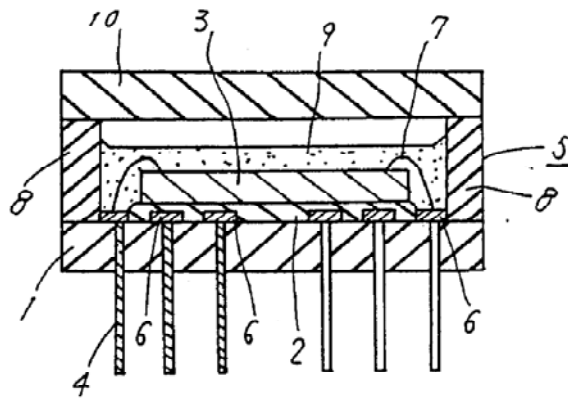




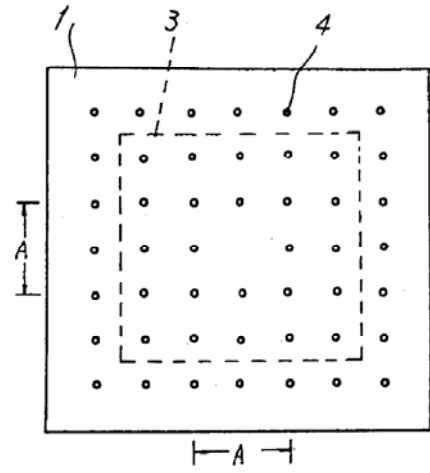
参考図面

【図 1】

第 1 図



第 2 図



第 3 図

