

平成17年(行ケ)第10027号 審決取消請求事件(平成17年12月12日口頭弁論終結)

原告	被告	判決
レイテッド		アドバンスト・マイクロ・ディバイシズ・インコーポ
訴訟代理人弁理士		鈴木正剛
同		佐野良太
同		村松義人
被告		特許庁長官 中嶋誠
指定代理人		佐藤伸夫
同		山本穂積
同		須原宏光
同		宮下正之
同		小池正彦

主文
原告の請求を棄却する。
訴訟費用は原告の負担とする。
この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事実及び理由

第1 請求

特許庁が不服2002-15733事件について平成16年6月16日にした審決を取り消す。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は、1991年(平成3年)3月13日(以下「本件優先日」という。)にアメリカ合衆国においてした特許出願に基づく優先権を主張して、平成4年3月12日、発明の名称を「フラッシュEEPROMセルのプログラム方法」とする発明について特許出願(以下「本件出願」という。)をしたが、平成14年5月21日付けで拒絶査定を受けたので、同年8月16日に拒絶査定不服の審判を請求した。特許庁は、これを不服2002-15733号事件として審理した結果、平成16年6月16日に「本件審判の請求は、成り立たない。」との審決をし、同月29日にその謄本を原告に送達した。

2 平成14年4月4日付け手続補正書(甲5)によって補正された明細書(以下「本件明細書」という。)の特許請求の範囲の請求項6に係る発明(以下「本願発明」という。)の要旨

少なくとも1つのVss線と、複数のビット線と、複数のワード線とを含むフラッシュEEPROMセルを含むアレイにおいて使用するための方法であって、前記アレイは複数のそれぞれのページに構成され、各それぞれのページは複数のセルを含み、当該複数のセルは、それぞれのVss線に結合されたソースと、前記複数のワード線のうちのそれぞれのワード線に結合されるゲートと、前記複数のビット線のうちのそれぞれのビット線に結合されるドレインとを含み、熱電子注入を用いて少なくとも1つのそれぞれのページのセルをプログラムする第1のステップと、

少なくとも1つのそれぞれのページのセルを消去するステップと、前記消去するステップの過程において、少なくとも1つの他のそれぞれのページにおけるVss線とワード線の少なくとも1つとに結合されるセルを除くセルの消去を禁止するステップと、熱電子注入を用いて前記少なくとも1つのページの個々のセルを選択的にプログラムするステップとを含む、方法。

3 審決の理由

審決は、別添審決謄本写し記載のとおり、本願発明が、特開平2-23597号公報(平成2年1月25日出願公開、以下「引用例1」という。)に記載された発明(以下「引用発明1」という。)及び周知の技術事項から当業者が容易に想到し得たものであるから、特許法29条2項の規定により特許を受けることができないとした。

第3 原告主張の審決取消事由

審決は、本願発明と引用発明1との相違点1、2についての認定判断を誤り

（取消事由1及び2），相違点全体についての判断を誤り（取消事由3），本願発明の顕著な作用効果を看過した（取消事由4）ものであるから，違法として取り消されるべきである。

なお，審決が，本願発明と引用発明1とを対比し，「両者の発明は共に，『少なくとも1つのVss線と，複数のビット線と，複数のワード線とを含むフラッシュEEPROMセルを含むアレイにおいて使用するための方法であって，前記アレイは複数のそれぞれのセル群に構成され，各それぞれのセル群は複数のセルを含み，当該複数のセルは，それぞれのVss線に結合されたソースと，前記複数のワード線のうちのそれぞれのワード線に結合されるゲートと，前記複数のビット線のうちのそれぞれのビット線に結合されるドレインとを含み，少なくとも1つのそれぞれのセル群のセルを消去するステップと，前記消去するステップの過程において，少なくとも1つの他のそれぞれのセル群におけるVss線とワード線の少なくとも1つに結合されるセルを除くセルの消去を禁止するステップと，熱電子注入を用いて前記少なくとも1つのセル群の個々のセルを選択的にプログラムするステップとを含む，方法。』である点で一致し，以下の点で相違しているものと認められる。〔相違点1〕本願発明では，セル群が『ページ』を形成しているのに対して，引用例1記載発明（注，引用発明1）では，セル群が，『ブロック』を形成している点。〔相違点2〕本願発明では，『消去するステップ』の前に『熱電子注入』を用いて『ページ』の『セル』を『プログラム』する『第1のステップ』を設けているのに対して，引用例1記載発明では，このような書き込みを行う第1のステップを設けていない点。」（審決謄本5頁最終段落～6頁第2段落）と認定した点は，認める。

1 取消事由1（相違点1についての認定判断の誤り）

(1) 審決は，相違点1について，「フラッシュEEPROMにおいて，ページ単位で消去を行うことは従来周知の技術事項であるから（もし，必要ならば，特開平1-296496号公報あるいは特開平2-23595号公報を参照されたい。），引用例1記載発明のブロック単位の消去をページ単位で行うようにして，本願発明のように構成することは当業者が容易に想到し得る程度のものと認められる。よって，相違点1を格別なものとすることはできない。」（審決謄本6頁第4，第5段落）と説示したが，この認定判断は，誤りである。

(2) 特開平1-296496号公報（甲9，以下「甲9公報」という。）に，ページ単位で消去できる不揮発性半導体記憶装置の制御方式についての記載があることは認める。しかし，特開平2-23595号公報（甲10，以下「甲10公報」という。）には，不揮発性半導体記憶装置についてのページ単位の書き込み方式の記載はあるが，ページ単位の消去についての記載はない。

すなわち，本願発明の「セルを消去するステップ」は，ページを構成するセル群の各セルの浮遊ゲートから電子を除去する操作であるところ，甲10公報において，ページ単位の内部書き込み操作として記載されている「消去サイクル」は，浮遊ゲートに電子を注入する操作であって，本願発明の「セルを消去するステップ」とは全く異なっているものである。

したがって，甲9公報のみによって，本件優先日当時，フラッシュEEPROMにおいてページ単位で消去を行うことは周知の技術事項であったとする審決の認定は誤りである。

(3) 本願発明は，本件明細書（甲4）の【関連技術の説明】欄に，「フラッシュEEPROMを使用するメモリアレイはしばしば『チップモード』プログラムサイクルを採用する。まず，アレイ内のすべてのセルがプログラムされる（論理オフ状態）。次に，アレイ内のすべてのセルが消去される（論理オン状態）。最後に，アレイ内の個々のセルが選択的にプログラムされ，かつ他のセルは消去された状態のままである。『過消去』を避けるために，メモリアレイ内のすべてのセルが消去される前にまずプログラムされる点に留意されたい。過消去されたセルに関しては，非選択のセルがリーキー（leaky）になることが可能で，ひいては同じビットライン上の選択されたビットを誤って検知することになり，かつそのビットを再びプログラムすることが難しくなる。チップモードプログラミングは，単一のセル（データビット）をプログラムする必要があるときは常にチップ全体が上記のサイクルを行わなければならないという不利益を有する。したがって，すべてのセルが少なくとも1回のプログラムと消去のサイクルを経なければならない。結果として，不必要にサイクルされる，すなわちプログラムされかつ消去されるセルがあり，これが不必要なかつ早過ぎる消耗につながる。その上，平均プログラミング時

間が不必要に長くなり得る。これらの点に鑑み、フラッシュEEPROMセルの選択的な消去に関し改善された方法を提供することはこの発明の総括的な目的である。」（段落【0012】～【0014】）と記載されているとおり、対象をページ単位としてプレライト、消去、プログラムすることにより、フラッシュEEPROMにおける、過消去を避けるという課題及びチップ全体に対してプレライト、消去、プログラムを行うために生じるセルの消耗と平均プログラム時間が長くなることを避けるという課題を同時に解決するものである。そのために、本願発明は、特許請求の範囲の記載から明らかなとおり、フラッシュEEPROMにおいて、ページ単位で、①過消去を防止するために、消去前に、ホットエレクトロン注入を用いて書き込みをするステップと、②当該ページのセルを消去するステップと、③当該ページの外のページのセルの消去を禁止するステップと、④ホットエレクトロン注入を用いて、当該ページ中の特定のセルを選択的にプログラムするステップ、の一連の操作を行うことを不可欠の構成とするものである。

ところが、審決は、上記(1)のとおり、「フラッシュEEPROMにおいて、ページ単位で消去を行うことは従来周知の技術事項である」としているのみであって、少なくとも、ステップ①及び②をページ単位で行うことが、本件優先日当時、周知の技術事項であったことの検討をしていないから、仮に、甲9公報及び甲10公報から審決が認定した周知の技術事項を、引用発明1に組み合わせても、本願発明の構成には至るものではない。

(4) そもそも、甲9公報及び甲10公報は、審査、審判の過程において、全く出願人に示されていなかったものである。審決の記載によると、これらは、本願発明を拒絶するために必要不可欠な先行技術であることがうかがわれるから、審判官は、特許法159条2項において準用する同法50条の趣旨に従って出願人に意見を述べる機会を与えるべき義務があったのに、これを怠ったまま、上記各公報に記載された事柄を、本件優先日当時、周知の技術事項であったとして進歩性否定の資料とすることは、不意打ちであって、違法として許されない。

(5) 以上のとおりであるから、相違点1についての審決の認定判断は誤りである。

2 取消事由2（相違点2についての認定判断の誤り）

(1) 審決は、特開平1-273296号公報（平成元年11月1日出願公開、以下「引用例2」という。）には、「フラッシュ型EEPROMのメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」（審決謄本5頁第1段落、以下「引用発明2」という。）が記載されているとした上、相違点2について、「フラッシュ型EEPROMのメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うことは、上記引用例2あるいは特開平1-273296（注、被告は平成17年1月18日付け釈明書において、「特開平1-113997号公報」（乙1）に訂正した。以下「乙1公報」という。）に記載されているように従来周知の技術事項であるから、引用例1記載発明に、このようなホットエレクトロン注入によってプレライトを行う手段を設けて本願発明のように構成することは当業者が容易に想到し得る程度のものと認められる。よって、相違点2を格別なものとすることはできない。」（同6頁下から第4、第3段落）と判断したが、上記認定判断は誤りである。

(2) 引用例2（甲2）の「これによって、書き込み動作はEEPROM自体の電流容量などとの関係でバイト単位またはワード単位でしか行うことができないようにされている」（2頁左下欄最終段落～右下欄第1段落）との記載は、単に、従来の技術事項として、ホットエレクトロン注入によっては全ビット又はブロック単位での書き込みが不可能であることを述べているにすぎず、バイト単位又はワード単位であればプレライトを行うことができるということを示唆しているのではない。引用例2は、その発明の目的からして、あくまでも全ビット又はブロック単位でプレライトが行われるものでなければならぬのであり、それ以外の単位、例えば、バイト単位、ワード単位、あるいは、本願発明の場合のようなページ単位でプレライトを行ってはいけぬのである。引用発明2にいう「プレライト」は、全ビット又はブロック単位の一括消去に先立って行われる全ビット又はブロック単位の一括書き込みであるから、ページ単位でホットエレクトロン注入による書き込みを行ったとしても、その後の「消去」が全ビット又はブロック単位で行われたのであれば、消去特性を各メモリセル間でそろえることは不可能であって、そもそも、引用

発明2の発明者の頭の中には、ホットエレクトロン注入によるプレライトは念頭にない。このように、引用発明2にいう「プレライト」は、全ビット又はブロック単位の一括消去に先立って行われる全ビット又はブロック単位の一括書き込みであるところ、ホットエレクトロン注入では、全ビット又はブロック単位のプレライトを実行することができないので、トンネル電流によって軽い書き込みを行うことにしているものである。

したがって、引用例2に、「フラッシュ型EEPROMのメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」が記載されているとする審決の認定は誤りであって、引用例2においては、ホットエレクトロン注入による「プレライト」の技術を開示しているといえないのである。

(3) 被告は、引用例2に「ホットエレクトロン注入によるプレライトをページ単位で行うこと」までが記載されていないことを認めつつ、「ページ単位で一括消去を行おうとする場合にホットエレクトロン注入によるプレライトを採用する」とこの困難性が電源の電流容量の問題にすぎないとして、適切な回避手段を講じれば、当業者が当該問題を容易に回避することが可能であった旨主張する。

しかし、被告主張の、ホットエレクトロン注入によるプレライトに必要な電流を供給しうる電源を用意するとの回避手段は、そもそも、そのようなことが可能であるならば、ブロック単位でホットエレクトロンによるプレライトが可能な電源を用意できるはずであり、引用例2(甲2)の「書き込み動作はEEPROM自体の電流容量などとの関係でバイト単位又はワード単位でしか行うことができないようにされている」との記載に反するものである。

また、被告主張の、用意できる電源の電流容量に応じて、ホットエレクトロン注入によるプレライトが可能な範囲に1ページのビット数を抑えよとの回避手段は、技術的に本末転倒の議論であり、プレライト可能な範囲によって、1ページのビット数が決まるわけではなく、引用例や先行技術のどこにもそのような記載はない。また、それが技術常識であった証拠もない。

さらに、プレライトは必ずしも一度で行わなければならないものではないから、何度かにわけてプレライトを行うとの回避手段は、ページが書き込みの単位なのであって、ページ内の全セルに一度で書き込めなければいけない以上、技術的常識に反するものである。

(4) 乙1公報には、「全ビット又は1ブロックに軽い書き込みを行ない低しきい電圧状態にあるビットのしきい電圧を少なくとも1V以上シフトさせ」(特許請求の範囲第1項)との記載があるが、1Vのしきい電圧を2Vにシフトさせること(2頁左下欄下から第2段落)では、過消去の問題を解決できないから、本願発明が解決しようとする過消去の問題を開示しているとはいえない。したがって、たとえチップ全体又はブロック単位で「軽い書き込み」を行うことが周知であったとしても、ホットエレクトロン注入によってページのセルをプログラムすることが当業者に容易であったとはいえない。

(5) そもそも、被告は、本件訴訟の審理に入ってから、先行技術調査を行い、その結果、乙1公報を発見して、証拠として提出してきたものであり、乙1公報のみでは、相違点2に係る技術事項が周知技術であるとはいえない。審判官は、何らの根拠もなく周知の技術事項であると認定したのであり、このような認定は、「現在」の技術水準に明るい審判官の勝手な思い込みであるといわざるを得ない。

また、乙1公報は、審査、審判の過程において、全く出願人に示されていなかったものであるから、これを周知の技術事項であるとして進歩性否定の資料とすることは、上記1(4)と同様、不意打ちであって、違法として許されない。

3 取消事由3(相違点全体についての判断の誤り)

(1) 本願発明は、上記1(3)のとおり、フラッシュEEPROMにおいて、ページ単位で、①過消去を防止するために、消去前に、熱電子注入を用いて書き込みをするステップと、②当該ページのセルを消去するステップと、③当該ページの外のページのセルの消去を禁止するステップと、④ホットエレクトロン注入を用いて、当該ページ中の特定のセルを選択的にプログラムするステップ、の一連の操作を行うことを不可欠の構成とするものであり、簡潔にいうと、ページ単位でプレライト、消去、プログラムを実行することが一つの目的の下に有機的に一体化している構成となっているのである。審決は、このような一体化している本願発明の構成要件を相違点1及び2として細分化した上で、相違点についての判断において、相違点1及び2に係る本願発明の構成が周知の技術事項であるとし、進歩性を否定して

いるのである。どのような発明でも、構成要件を細分化していけば、最後には公知技術あるいは周知技術となってしまうのであり、このような審決の判断の手法は、誤っていることが明らかである。

(2) 一般に、方法の発明は、一定の目的に向けられた系列的に関連のある数個の行為又は現象によって成立するもので、経時的な要素を包含するものであって、数個の行為を結びつけて、ある方法を構成するためには一定の目的、つまり、課題の解決が必要不可欠であり、公知技術との相違点の克服につながる動機付けとしての技術的課題が開示、示唆されていることが必要である。本件についてみると、本願発明は、上記1(3)のとおり、対象をページ単位としてプレライト、消去、プログラムすることにより、フラッシュEEPROMにおける、過消去を避けるという課題及びチップ全体に対してプレライト、消去、プログラムを行うために生じるセルの消耗と平均プログラム時間が長くなることを避けるという課題を同時に解決するものであり、本願発明のこのような技術課題は、引用例1、2、審決が指摘する周知文献(甲9公報、甲10公報)、被告が本件審理で提出した周知文献である乙1公報及び特開平1-302597号公報(乙2、以下「乙2公報」という。)に全く開示、示唆されていないから、引用発明1、2及び周知の技術事項を組み合わせることで本願発明の構成に想到するための動機付けがあるとはいえない。

(3) 一般に、先行技術に周知技術を組み合わせることによって有利な効果を奏することになる場合には、進歩性があるというべきである。本件において、仮に、相違点に係る本願発明の構成が周知の技術事項であったとしても、引用発明1に組み合わせることによって有利な効果を奏することとなるのであるから、直ちに、相違点の克服が容易であるとすることはできない。

(4) したがって、「本願発明は引用例1記載発明及び従来周知の技術事項から当業者が容易に想到し得たものと認められる」(審決謄本6頁最終段落)とした審決の判断は誤りである。

4 取消事由4(本願発明の顕著な作用効果の看過)

本願発明は、上記3(2)の二つの課題を解決した結果、効率的なセルごとのプログラミングが可能となり、不必要なセルの消耗が低減されるという顕著な作用効果を奏するものとなったのであり、このような顕著な作用効果は、当業者において、容易に予測し得なかったものである。

したがって、「本願発明の奏し得る作用・効果は引用例1記載発明及び従来周知の技術事項から当業者が容易に予測し得る程度のものと認められる。」(審決謄本6頁下から第2段落)とした審決の判断は、誤りである。

第4 被告の反論

審決の認定判断に誤りはなく、原告主張の取消事由はいずれも理由がない。

1 取消事由1(相違点1についての認定判断の誤り)について

(1) 原告は、甲10公報にはページ単位の消去についての記載がない旨主張するが、失当である。すなわち、甲10公報に開示されている技術は、浮遊ゲートへの電子の注入による消去であり、本願発明の、浮遊ゲートからの電子の除去による消去とは、技術内容に差があるが、ページ単位の消去の技術であることには変わりがない。甲9公報及び乙2公報に照らせば、ページ単位の消去が周知であったということが出来る。

なお、そもそも、ページ単位の消去が本件優先日当時周知の技術事項であったかどうかを論ずるまでもなく、引用発明1は、本願発明と同様に、フラッシュメモリの選択的消去を可能としたものであるところ、その選択的消去の単位は、当業者が適宜定め得る設計事項にすぎないのであって、ブロック単位のことをページ単位に設計変更できない理由はない。

(2) 原告は、審決が、少なくとも、原告主張のステップ①及び②をページ単位で行うことが、本件優先日当時、周知の技術事項であったことの検討をしていないから、甲9公報及び甲10公報から審決が認定した周知の技術事項を、引用発明1に組み合わせても、本願発明の構成には至るものではない旨主張する。

しかし、原告主張のステップ①及び②の両方をページ単位で行うことが周知技術であるかどうかは、相違点1の克服が困難であったこととは関係がないから、原告の上記主張は、失当である。

(3) 原告は、甲9公報及び甲10公報は、審査、審判の過程において、全く出願人に示されていないことを論難し、周知の技術事項であるとして進歩性否定の資料としたことが違法である旨主張する。しかし、審決は、甲9公報及び甲10公報を、本件優先日当時、周知であった技術の例として示したものであって、特許

法 159 条 2 項において準用する同法 50 条の趣旨に反するものではない。

2 取消事由 2（相違点 2 についての認定判断の誤り）について

(1) 原告は、引用発明 2 にいう「プレライト」は、全ビット又はブロック単位の一括消去に先立って行われる一括書き込みであるから、「バイト単位またはワード単位なら『プレライト』を行なうことができること」を示唆するものではない旨主張する。

確かに、引用例 2 には、「電流容量の関係から、全ビットまたはブロック単位で一括してのホットエレクトロン注入によるプレライトはできない」旨の記載がある。引用例 2 にも記載されているように、全ビット又はブロック単位のように一括して書き込むべき（プレライトすべき）ビット数が多い場合には、電源の電流容量の関係から、ホットエレクトロン注入による一括のプレライトが困難な場合はあり得る。しかし、そのことは、ページ単位で一括消去を行おうとする場合にホットエレクトロン注入によるプレライトを採用できない理由にはならない。なぜならば、当業者は、ページ単位で一括消去を行おうとする場合に上記電流容量の問題を回避する手段に容易に想到し得るからである。例えば、①ホットエレクトロン注入によるプレライトに必要な電流を供給し得る電源を用意する、②1 ページのビット数をどのように定めるかは、当業者が任意に決定し得ることであるから、用意できる電源の電流容量に応じて、ホットエレクトロン注入によるプレライトが可能な範囲に 1 ページのビット数を抑える、③プレライトは、必ずしも一度で行わなければならないものではない（本願発明においても、プレライトに関しては、「熱電子注入を用いて少なくとも 1 つのそれぞれのページのセルをプログラムする第 1 のステップ」と規定されているだけであり、一度の書き込みでそれが実現されるべきものであることまでは規定されていない。）ので、何度かに分けてプレライトを行うことなどが考えられる。

もし、上記電流容量の問題を回避する手段が容易に想到し得るものでなく、本願発明がその回避手段を見つけた点に価値を有するのであれば、その回避手段が特許請求の範囲に記載されていてしかるべきであるが、本願発明の特許請求の範囲には、その回避手段については、何らの記載もない。

(2) また、引用例 2 には、「書き込み動作は EEPROM 自体の電流容量などとの関係でバイト単位又はワード単位でしか行うことができないようにされている。このため・・・プレライトを一括して行うことができないため、消去効率が著しく低下し、」と記載されているのであり、この記載は、文理上、「効率の問題を別にすれば、バイト単位またはワード単位で『プレライト』を行なうことができる」ことを示唆していることが明らかである。

このことは、乙 1 公報に、「全ビットまたはブロック単位の一括消去に先立って行なわれる書き込みであっても、一度のプレライトはバイト単位またはワード単位とし、それを対象セル（アドレス）を変更しながら複数回繰り返すことで消去範囲全体についてのプレライトを実現するということも可能であること」を示す記載があることから裏付けられる。

なお、原告は、この点に関し、「ページ単位でホットエレクトロン注入による書き込みを行ったとしても、その後の『消去』が全ビットまたはブロック単位で行われたのでは、『消去特性を各メモリ間でそろえる』ことは不可能である。」とも主張するが、根拠のない主張であって、失当である。

(3) 原告は、乙 1 公報は、審査、審判の過程において、全く出願人に示されていないことを論難し、周知の技術事項であるとして進歩性否定の資料としたことが違法である旨主張する。しかし、乙 1 公報は、本件優先日当時、周知であった技術を示すものであるから、特許法 159 条 2 項において準用する同法 50 条の趣旨に反するとはいえない。

また、原告は、乙 1 公報のみでは、相違点 2 に係る技術事項が周知であるとはいえない旨主張する。しかし、相違点 2 に係る技術事項は、そもそも、引用発明 2 からだけでも審決の相違点 2 の想到容易性は肯定されるべきものであるから、周知技術かどうかは論ずる必要のないことであり、仮に、周知技術の問題を論ずるとしても、乙 1 公報に、引用例 2 の存在をも勘案すれば、優に周知技術であったことを認定することができるものである。

原告の主張は、いずれにせよ失当である。

3 取消事由 3（相違点全体についての判断の誤り）について

(1) 原告は、審決が、本願発明と引用発明 1 の相違点を一体として評価せず、に、相違点 1、2 において個別的に相違点に対する判断をしたことが誤りである旨

主張する。

しかし、過消去を防止するために、消去の前に書き込みを行なうプレライト自体は、引用例2に示されており、周知の技術事項であるところ、プレライトを行うに当たって、プレライトの範囲を消去の範囲と一致させるべきことは、プレライトの目的から自明であり、消去をページ単位とした場合に、プレライトの範囲を消去の範囲と一致させることができない理由はないのである。

要するに、相違点1及び2に係る本願発明の構成、すなわち、ページ単位でプレライトをするという構成は、当業者において容易に想到し得たものというべきである。

(2) 原告は、仮に、相違点に係る本願発明の構成が周知技術であったとしても、引用発明1に組み合わせることによって有利な効果を奏することとなるのであるから、直ちに、相違点の克服が容易であるとすることはできないと主張する。

しかし、一般に、先行技術を改良した発明は、その改良が当業者にとって容易であったか否かにかかわらず、先行技術に対しては何らかの有利な効果を有するのが普通であるから、単に先行技術に対して有利な効果を奏するというだけでは、その構成に進歩性があるということとはできない。

4 取消事由4（本願発明の顕著な作用効果の看過）について

原告は、本願発明が、原告主張の二つの課題を解決した結果、効率的なセルごとのプログラミングが可能となり、不必要なセルの消耗が低減されるという顕著な作用効果を奏するものとなったのであり、このような顕著な作用効果は、当業者において、容易に予測し得なかったものである旨主張する。

しかし、原告主張の課題は、引用発明1において既に解決済みであり、そうでないとしても、引用例1から容易に想到し得たものによって当然に解決される課題にすぎないから、その課題解決に基づく作用効果は、当業者において、容易に想到し得たものというべきである。

第5 当裁判所の判断

1 取消事由1（相違点1についての認定判断の誤り）について

(1) 審決は、本願発明と引用発明1との相違点1として認定した、「本願発明では、セル群が『ページ』を形成しているのに対して、引用例1記載発明（注、引用発明1）では、セル群が、『ブロック』を形成している点。」について、一括消去型EEPROMにおいて、ページ単位で消去を行うという技術は周知であったことを前提として、「引用例1記載発明のブロック単位の消去をページ単位で行うようにして、本願発明のように構成することは当業者が容易に想到し得る程度のものと認められる。」（審決謄本6頁第4段落）と判断し、原告は、この判断が誤りである旨主張するので、まず、「ページ」の一般的な意味について検討する。

甲9公報には、「上記ワード線のページ単位の消去を一括して行ない」（3頁左上欄第2段落）、「本実施例においては、1ページごとの消去ができるとしたが、第2図に示すようにソース線10を2本のワード線11a、11b、すなわち2ページ分のメモリトランジスタ21で共有し、2ページごとの消去ができるようにしてもよい。」（同頁右上欄下から第2段落）、「ページ単位（ワード線ごと）の消去が可能になり」（同頁左下欄第2段落）との記載がある。

また、本件出願後に公表されたものであるが、ウェブサイトの「ページモードフラッシュメモリの特徴」のウェブページ（甲11、Spansion Japan Limited作成）には、「ページとは、内部からメモリへ、一つずつではなくパラレルにアクセスされるメモリワードの小グループです。このグループの最初のワードに到達するまでの時間を『イニシャルアクセスタイム』といい、これはスタンダード構造のフラッシュメモリにおけるアクセスタイムと同じようなものですが、グループ内のすべてのワードがイニシャルアクセスタイムに従って内部バッファに格納されるため、グループ内の他のワードは、最初のワードよりもずっと短いアクセスタイムで読み出すことができるのです。フラッシュメモリ内のページはすべて同じサイズですが、ページのサイズは個々のフラッシュメモリによって異なります。Spansion™ページモードフラッシュメモリの例ではページサイズは、A3からA19の上位アドレスビットにより選ばれた適切なページモードで、8ワードもしくは16バイトです。A0からA2（ワードモード）とA-1からA2（バイトモード）のLSBビットは、ページ内の特定のワード/バイトを選択します。従って、ページは常に8ワードのアドレスバウンダリで整列されることになります。」（1枚目最終段落）との記載がある。

上記記載によれば、一般に、「ページ」は、本願発明のような技術分野におい

て、ワード線を最小単位とするメモリセルの小区分を意味するものとして使用されており、アクセス時において、グループ内のすべてのワードを一括して処理できるようにされているものであることが認められ、これを左右するに足る証拠はない。

(2) 次に、本願発明の特許請求の範囲に、「少なくとも1つのV_{ss}線と、複数のビット線と、複数のワード線とを含むフラッシュEEPROMセルを含むアレイにおいて使用するための方法であって、前記アレイは複数のそれぞれのページに構成され、各それぞれのページは複数のセルを含み、当該複数のセルは、それぞれのV_{ss}線に結合されたソースと、前記複数のワード線のうちのそれぞれのワード線に結合されるゲートと、前記複数のビット線のうちのそれぞれのビット線に結合されるドレインとを含み、」との記載があることは、上記第2の2のとおりである。

また、本件明細書（甲4）の発明の詳細な説明には、「ページ」に関し、次の記載がある。

「本件発明のページモードプログラム法は、チップモードプログラミングで 사용되는フルアレイ消去とは違い、セルの選択消去を採用しており、結果としてより高いプログラミング効率、より早いプログラム時間、かつセルのより長い耐久時間がもたらされる。」（段落【0018】）

「第1図は本件発明を実施するためのフラッシュEEPROMセルのn×nメモリアレイ10の部分を示す。典型的セル12はワードライン(WL0)に接続されたコントロール／フローティングゲート14と、ビットライン(BL0)に取付けられたドレイン16と、V_{ss}線に接続されたソース18とを備える。アレイ内のセルは『ページ』に配列される。ページは、ソース端子が共通のV_{ss}線に結合されかつコントロールゲートが共通のワードラインに結合された一連のセルとして規定される。たとえば、コントロールゲートがWL0に接続されかつソースが共通のV_{ss}線に接続されるセルは1ページ分のメモリセルを含んでおり、その内の2つ（セル12および20）が第1図に示される。好ましい実施例においては、このような8つのセルが1バイトのメモリを含む。ページ内の各セルはそのドレインに接続された異なるビットライン(BL0-BL_n)を有している。」（段落【0019】）

上記記載によると、本願発明の「ページ」も、また、ほぼ一般的な意味のものとして使用されており、より具体的には、複数のメモリセルを含む単位であり、メモリアレイ内に配列されており、ソース端子が共通のV_{ss}線に結合され、かつ、コントロールゲートが共通のワードラインに結合された一連のセルを「ページ」と称しているから、少なくとも共通のワード線に結合されたセル群を1単位としているものであり、アレイ全体に対する処理時間よりかなり短くなるというのであるから、処理の便宜等のための比較的小さい集合であると認められる。

(3) 一方、引用例1（甲1）には、「メモリアレイM-ARYにおいて、同じ行に配置された記憶素子Q1～Q3（Q4～Q6）のコントロールゲートは、それぞれ対応するワード線W1（W2）に接続され、同じ列に配置された記憶素子Q1、Q4～Q3、Q6のドレインは、それぞれ対応するデータ線D1～D_nに接続されている。上記記憶素子のソースは、ソース線CS1ないしCS_nに結合される。すなわち、この実施例では、1つのメモリアレイM-ARYにおいて、部分的な消去を可能にするために、マトリックス配置される記憶素子が縦方向にnブロックに分割されて各ブロック毎に上記代表として例示的に示されているソース線CS1、CS_nが設けられる。」（3頁左下欄第2段落）、「書き込みが行われるワード線は、その電圧が上記高電圧V_{pp}になる。そして、フローティングゲートに電子を注入すべき記憶素子が結合されたデータ線は、上記同様な高電圧V_{pp}にされる。これにより、記憶素子にチャンネル飽和電流が流れ、データ線に結合されたドレイン近傍のピンチオフ領域では高電界により加速された電子がイオン化を起し、高エネルギーを持つ電子、いわゆるホットエレクトロンが発生する。」（5頁左下欄）、「上記のように消去モードのときには、全ワード線が接地電位のような非選択レベルであり、上記アドレス信号a_xの指定により、ソース線CS1ないしCS_nのいずれか少なくとも1つに消去のための高電圧V_{pp}を供給すると、コントロールゲートからソースに向かう高電界が作用し、記憶素子Q1等のフローティングゲートに蓄積された電子がトンネル現象によってソース線側に引き抜かれることによって消去動作が行われる。上記のような消去モードのとき、MOSFETQ18、Q20をオン状態にしてソース線CS1～CS_nに接地電位を与えると、上記のような

高電界が作用しないから、上記のようなトンネル現象が生じない。これにより、メモリアレイMEM-ARYの分割されたメモリブロックのうち、ソース線に高電圧 V_{pp} が与えられたもののみが部分的に消去されることになる。」（6頁右上欄第2段落～左下欄第1段落）との記載がある。

上記記載によれば、1つのメモリアレイMEM-ARYにおいて、マトリックス配置される記憶素子を縦方向に偶数個に分割し、その一つ一つを「ブロック」と称していること、「ブロック」ごとに複数のソース線 CS_1 、 CS_n が設けられ、消去モードのとき、ソース線に高電圧 V_{pp} を与えて、記憶素子のフローティングゲートに蓄積された電子をトンネル現象によってソース線側に引き抜くが、その際、ソース線 $CS_1 \sim CS_n$ に接地電位を与え、トンネル現象が生じないようにして、当該「ブロック」の消去を妨げ、このようにして、メモリアレイを部分的に消去することが認められる。

(4) 以上によると、審決が「本願発明の『ページ』と引用例1記載発明の『ブロック』とは、それぞれ複数のセルからなるセル群からなっている点で共通している」（審決謄本5頁第3段落）と説示しているとおり、本願発明と引用発明1は、セル群の集合ごとに、メモリアレイを部分的に消去するという点で技術的に共通しているのであって、単に、セル群の集合を「ページ」とするか「ブロック」とするかで相違しているにすぎないところ、「ページ」は、一括処理等の便宜のための比較的小さい集合であるのに対し、「ブロック」は、一括処理等の便宜を考慮せず、記憶素子を物理的に偶数個に分割した、比較的大きな集合であり、セル群の集合の相対的な大小において相違しているものというべきである。

要するに、「ページ」と「ブロック」の差は、量的な差にすぎないから、引用発明1のブロック単位の消去をページ単位で行うようにして、相違点1に係る本願発明の構成とすることは、単なる設計変更にすぎない程度のものであり、当業者において容易に想到し得ることが明らかであるが、審決は、ページ単位で消去を行うことが周知の技術事項であったかどうかについて検討しているので、念のため、この点についても考察する。

ア 甲9公報に、上記(1)のとおり、ページ単位で消去できる不揮発性半導体記憶装置の制御方式についての記載があることは、原告も認めるところである。

イ 甲10公報には、次の記載がある。

(7) 「従来の技術」欄に「このような電氣的に消去、プログラムが可能な不揮発性半導体記憶装置(EEPROM)はEPROMの如く消去に紫外線等を用いる必要がなく、ボードに実装したままの電氣的消去が可能であり、またメモリセルを1個のトランジスタで構成出来るためチップ面積の縮小化が図れる等利点がある。」（2頁右下欄第3段落）

(4) 「発明が解決しようとする課題」欄に「ところで上述した如き従来方法にあっては消去動作は全メモリセルについて一括して行なわれることとなるため、ページ単位の書換えが出来ないという問題があった。本発明（注、甲10公報に係る発明）はかかる事情に鑑みなされたものであって、その目的とするところはページ単位の書換え、所謂ページモード書込みが行える不揮発性半導体装置の書込み方法を提供するにある。」（2頁右下欄最終段落～3頁左上欄第2段落）

(ウ) 「実施例」欄に「消去サイクルでは先ずプログラムを行う1ページ分についてのメモリセルを全て消去、即ち論理“1”を書き込み、次にプログラムサイクルでラッチのデータに応じてプログラム、即ち論理“0”を書込む。」（3頁右下欄第2段落）、「（消去動作）ページモード書込みを行うべきページに対応する選択されたワード線3に高電圧 V_{pp} を、また非選択のワード線4に0Vを、全ビット線1、2に0Vを夫々与え、ソース線5、6はフローティングにすることにより行う。これによってワード線3に夫々制御ゲートが繋がるメモリトランジスタ Q_1 、 Q_3 における制御ゲートとドレイン領域との間には高電圧が印加され、浮遊ゲートとドレイン領域とに高電界が生じ、ドレイン領域から浮遊ゲートに向けて第2図に示す薄い酸化膜14aを経てトンネル現象により電子が注入され、浮遊ゲートは電子が蓄積された状態となる。この状態では制御ゲートよりみてメモリトランジスタ Q_1 、 Q_3 の閾値電圧は消去動作前よりも高くなり、消去、即ち論理“1”が書込まれた状態となる。」（3頁右下欄最終段落～4頁左上欄下から第2段落）、「（プログラム動作）・・・メモリトランジスタ Q_3 の制御ゲートには0V、ドレイン領域に高電圧 V_{pp} が印加され、浮遊ゲートとドレイン領域との間に高電界が生じ、浮遊ゲートから薄い酸化膜14aを通してドレイン領域にトンネル現象により電子が抜き取られ、浮遊ゲートは電子の空乏状態となる。この状態では制御ゲートからみる

とメモリトランジスタQ₃の閾値電圧はプログラム動作前より低くなり、プログラムの状態、即ち論理“0”が書込まれた状態となる。」（4頁右上欄第2段落～左下欄第1段落）

（エ）〔発明の効果〕欄に「以上の如く本発明方法にあっては、ページモード書込みが容易に可能となる優れた効果を奏するものである。」（4頁左下欄最終段落～右下欄第1段落）

甲10公報（平成2年1月25日出願公開）の上記記載によれば、消去サイクルにおいては、ドレイン領域から浮遊ゲートに向けてトンネル現象により電子が注入されて、電子が浮遊ゲートに蓄積された状態となり、これにより1ページ分のメモリセルをすべて消去し、次に、プログラムサイクルにおいては、ラッチのデータに応じて、浮遊ゲートからドレイン領域に向けてトンネル現象により電子が抜き取られ、浮遊ゲートは電子の空乏状態となることが開示されている。

ウ 以上のとおり、引用例1には、一括消去型EEPROMにおいて、「ブロック」単位ではあるが、チップに対して部分的に消去を行うという技術が記載されており、甲9公報（平成元年11月29日出願公開）には、ページ単位で消去できる不揮発性半導体記憶装置の制御方式についての記載があり、これに上記イ認定の事実をも併せ考えれば、本件優先日当時、一括消去型EEPROMにおいて、ページ単位で消去を行うという技術は周知であったものというべきである。

（5） 進んで、原告の主張について検討する。

ア 原告は、甲10公報には、ページ単位の書込み方式の記載はあるが、ページ単位の消去についての記載はない旨主張する。

しかしながら、上記（4）イ（ウ）のとおり、甲10公報に開示された技術は、1ページ分のメモリトランジスタの浮遊ゲートに電子を蓄積した状態にして、これを「消去サイクル」と称して、1ページ分のメモリセルをすべて消去し、他方、浮遊ゲートから電子を抜き取った状態にして、これを「プログラムサイクル」と称し、メモリセルにデータを書き込むという方式であるから、「消去サイクル」はページ単位の消去であることに変わりはない。浮遊ゲートに電子を蓄積した状態にして、メモリセルを消去するという方式と、浮遊ゲートから電子を抜き取ることにより、メモリセルを消去するという方式とは、浮遊ゲートに電子を蓄積した状態を「消去」と呼ぶか、浮遊ゲートから電子を抜き取った状態を「消去」と呼ぶかという設計的な問題にすぎないものである。

したがって、原告の上記主張は、失当である。

イ 原告は、甲9公報及び甲10公報は、審査、審判の過程において、全く出願人に示されていなかったものであり、これらは本願発明を拒絶するために必要不可欠な先行技術であることがうかがわれるので、当然に、出願人に新たな引用文献に対する意見を述べる機会を与えるべきであったとして、審決には、特許法159条2項において準用する同法50条違反の違法がある旨主張する。

しかしながら、甲9公報及び甲10公報が、本願発明を拒絶するために必要不可欠の先行技術を示すものでないことは、上記（4）等で判示したとおりである。また、審決は、「フラッシュEEPROMにおいて、ページ単位で消去を行うことは従来周知の技術事項であるから（もし、必要ならば、特開平1-296496号公報あるいは特開平2-23595号公報を参照されたい。）」と説示しているとおり、「フラッシュEEPROMにおいて、ページ単位で消去を行うこと」が周知の技術事項であることを裏付ける証拠として、念のために甲9公報及び甲10公報を列挙しているものであって、上記（4）ウのとおり、一括消去型EEPROMにおいて、ページ単位で消去を行うという技術は、周知であったのである。

周知の技術事項、すなわち、当業者が当然の前提として熟知しているべき事柄は、審判段階において文献を例示するまでもなく、当然の前提となっていたのであるから、原告がそれについて意見陳述の機会を与えられなかったからといって、審決が原告主張のように違法となるものではない。

ウ 原告は、審決が、少なくとも、原告主張のステップ①及び②をページ単位で行うことが、本件優先日当時、周知の技術事項であったことの検討をしていないから、甲9公報及び甲10公報から審決が認定した周知の技術事項を、引用発明1に組み合わせても、本願発明の構成に至るものではない旨主張する。

しかしながら、審決は、「フラッシュEEPROMにおいて、ページ単位で消去を行うこと」が、本件優先日当時、周知の技術事項であると認定しているのであり、原告主張のステップ①、②、③の一連の操作の対象がページ単位で行われることを認定しているわけではない。

原告の主張は、取消事由1の主張に沿って、本願発明と引用発明1との相違点を、ページ単位でプレライト、消去、プログラムを実行する構成ととらえ、その視点から、原告主張のステップ①、②、③の一連の操作の対象がページ単位で行われることまで周知の技術事項でなければならないとしているものとも考えられるが、独自の主張であって、採用の限りでない。

(6) 以上によれば、一括消去型EEPROMにおいて、ページ単位で消去を行うという技術は周知であったことを前提として、「引用例1記載発明のブロック単位の消去をページ単位で行うようにして、本願発明のように構成することは当業者が容易に想到し得る程度のものと認められる。」(審決謄本6頁第4段落)とした審決の判断に誤りはない。したがって、原告の取消事由1の主張は採用することができない。

2 取消事由2(相違点2についての認定判断の誤り)について

(1) 引用発明2について

ア 原告は、引用例2は、その発明の目的からして、あくまでも全ビット又はブロック単位で「プレライト」が行われるものでなければならないとの前提の下に、引用例2には、ホットエレクトロン注入による「プレライト」の技術が開示されていない旨主張する。

イ そこで、検討すると、引用例2(甲2)には、次の記載がある。

(7) 「1. トンネルさせ得る膜厚を有するゲート絶縁膜の上にフローティングゲート電極とコントロールゲート電極を備え、そのフローティングゲート電極への電子を注入する第1書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリセルを含んで成る半導体記憶装置において、全てのメモリセル又は所定一群のメモリセルのチャネル領域から電子をフローティングゲート電極にトンネルさせる第2書き込み動作モードを備えて成るものであることを特徴とする半導体記憶装置。」(特許請求の範囲請求項1)

(4) 「〔産業上の利用分野〕本発明(注、引用例2の特許請求の範囲に係る発明)は、電氣的に書き込み消去可能な不揮発性半導体記憶装置に関し、例えばメモリセルがフローティングゲート電極とコントロールゲート電極を有するMOSFETによって構成される1素子1メモリセル型のEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)に適用して有効な技術に関する。」(1頁右下欄最終段落～2頁左上欄第1段落)

(ウ) 「〔従来技術〕フローティングゲート電極とコントロールゲート電極を有するMOSFETで構成されたEEPROMのメモリセルであるFLOTOX(フローティング・ゲート・トンネル・オキサイド)構造のメモリセル・・・このようなメモリセル構造は、EPROMのFAMOS(フローティング・ゲート・アバランシェ・インジェクション・MOS)に比べて大きくなり、高集積大容量化の要請を満足することができない。そこで、メモリセルサイズを小さくするため、フローティングゲート電極とコントロールゲート電極を有し、フローティングゲート電極への電子の注入(書き込み)を、ドレイン領域の端部で発生するホットエレクトロンで行い、フローティングゲート電極からの電子の放出(消去)をソース領域のトンネルで行うようにした、1素子型のメモリセル構造が提案されている。尚、このような1素子型メモリセルを含むEEPROMについて記載された文献の例としては特願昭61-117231号がある。」(2頁左上欄第2段落～右上欄第2段落)

(エ) 「〔発明が解決しようとする課題〕ところで、上記した1素子型メモリセルに対する消去動作はトンネル現象を利用しているため消去電流が極めて小さく、これによって、電氣的に全ビットもしくはブロック単位で一括消去可能なフラッシュ型EEPROMが実現可能とされる。」(同頁右上欄最終段落～左下欄第1段落)

(オ) 「本発明者らは斯るフラッシュ型EEPROMの一括消去について検討したところ、一括消去されるメモリセルの中には書き込みされているメモリセルとそうでないメモリセルとが混在し、これらが一括消去されると、書き込みされていないメモリセルは相対的に過消去となり、消去後における個々のメモリセルの特性、特にそのしきい値電圧が不揃いになり、その後の書き込み不良などを生じて、選択トランジスタを持たない1素子型メモリセルを実質的に実現することができない事態を引き起こすことが明らかにされた。そのため、消去前に予め対象メモリセルに軽く書き込みを施すというプレライトの必要性を見出した。しかしながら、上

述のメモリセル構造において書き込みを行うには、ドレイン電流を流しながらそのドレイン領域端部でホットエレクトロンを発生させなければならないため、比較的大きな電流を必要とし、これによって、書き込み動作はEEPROM自体の電流容量などとの関係でバイト単位又はワード単位でしか行うことができないようにされている。このため、トンネル現象を利用して一括消去可能であっても、それ以前に消去特性を揃えるために必要なプレライトを一括して行うことができないため、消去効率が著しく低下し、さらには電力消費量も増大するという問題点が明らかにされた。」（同頁左下欄第2段落～右下欄第1段落）

（カ）「本発明の目的は、フローティングゲート電極とコントロールゲート電極を有する不揮発性メモリセルの一括消去前に消去特性を揃えるために行う書き込み動作時間の短縮と低消費電力化とを達成することができる半導体記憶装置を提供することにある。また、本発明の別の目的は、そのようなメモリセルに対する一括書き込みを可能とする半導体記憶装置を提供することにある。」（同頁右下欄第2段落）

（キ）「〔課題を解決するための手段〕本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、フローティングゲート電極への電子の注入をドレイン領域端部で発生するホットエレクトロンで行うと共に、フローティングゲート電極からの電子の放出をソース領域のトンネルで行うメモリセルに対し、それらメモリセルのコントロールゲート電極を高電圧にすると共に、それらのソース、ドレイン領域を回路の接地電位に制御するような電圧条件を与えてチャンネル領域から電子をフローティングゲート電極にトンネルさせて書き込みを行う動作モードを備えるようにするものである。」（3頁左上欄第1段落）

ウ 上記記載によれば、引用例2には、①フローティングゲート電極とコントロールゲート電極を有するMOSFETで構成されたEEPROMのメモリセルにおいて、フローティングゲート電極への電子の注入（書き込み）を、ドレイン領域の端部で発生するホットエレクトロンで行い、フローティングゲート電極からの電子の放出（消去）をソース領域のトンネルで行うようにした1素子型のメモリセル構造が提案されていること、②電氣的に全ビットもしくはブロック単位で一括消去可能なフラッシュ型EEPROMの場合には、一括消去の前に、あらかじめ、対象となるメモリセルに軽く書き込みを施すというプレライトが必要であること、③そのプレライトの際、メモリセルに書き込みを行うためには、ドレイン電流を流しながらそのドレイン領域端部でホットエレクトロンを発生させなければならないので、比較的大きな電流を必要とし、そのため、メモリセルへの書き込み動作は、EEPROM自体の電流容量などとの関係で、バイト単位又はワード単位でしか行うことができず、書き込みを一括して行うことができないという問題があったこと、④そこで、メモリセルのコントロールゲート電極とソース、ドレイン領域の電圧条件を整えて、チャンネル領域からフローティングゲート電極に電子をトンネルさせて書き込みを行わせることによって、プレライトにおける書き込み問題を解決したこと、が記載されているといえることができる。

エ 上記ウによれば、引用例2には、フラッシュ型EEPROMにおいて、メモリセルの消去を行う前に、対象メモリセルに軽く書き込みを施すというプレライトが必要であるところ、バイト単位又はワード単位であれば、ホットエレクトロンを注入することによる書き込みが可能であるが、全ビットもしくはブロック単位で一括消去する場合には、ホットエレクトロンの注入では大電流を必要とするので困難であるとの技術が開示されているといえることができる。

したがって、引用例2には、「バイト単位又はワード単位」よりも大きく「全ビットもしくはブロック単位」より小さい単位のメモリセルを消去する場合については、必ずしも明示されているとはいえない。しかし、全ビットもしくはブロック単位で一括消去する場合にホットエレクトロンの注入が困難であるとする理由が、大電流を必要とするということからすれば、「バイト単位又はワード単位でしか行うことができないようにされている」とは、1バイトあるいは1ワードでなければならないというのではなく、バイト又はワードという小さい単位を前提とした比較的小さい集合を意味しているものと解され、メモリセルの集合の大小と、消去に必要とする電流の多少との兼ね合いで、「バイト単位又はワード単位」より大きく、「全ビットもしくはブロック単位」より小さい範囲内で、適宜、選択し得るものであるといえることができ、当業者においても、「全ビットもしくはブロック単位」よりある程度小さい単位のメモリセルの消去であれば、ホットエレクトロンの注入に

よるプレライトが可能であろうと認識するのが通常であると認めるのが相当である。

審決は、引用例 2 に、「フラッシュ型 E E P R O M のメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」（審決謄本 5 頁第 1 段落、引用発明 2）が記載されていると認定しているが、この認定は、全ビットもしくはブロック単位で一括消去する場合を除いて妥当するものということができる。

本願発明では、上記 1 の取消事由 1 において判示したとおり、フラッシュ型 E E P R O M において、ブロック単位より小さなページという単位での消去を問題としているのであるから、全ビットもしくはブロック単位で一括消去する場合のことは関係がないのであり、審決の上記認定が必ずしも誤りであるとはいえない。

オ 結局、原告の主張は、「全ビットもしくはブロック単位で一括消去する」との観点のみから引用例 2 をみて、全ビット又はブロック単位で「プレライト」が行われるものでなければならないとの誤った前提の下に、引用例 2 に、ホットエレクトロン注入による「プレライト」の技術が開示されていないとしているものであって、失当というほかない。

(2) 相違点 2 の容易想到性

引用発明 1 において、「フラッシュ型 E E P R O M のメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」と、すなわち、引用発明 2 を組み合わせれば、相違点 2 に係る本願発明の構成になることは、明らかである。

そして、対象となるメモリセルの単位は、「全ビットもしくはブロック単位」よりも小さく、「バイト単位又はワード単位」及びそれよりも大きいものであり、この範囲に「ページ」が含まれることは、上記 1 に判示したところに照らし、明らかである。

引用発明 1 と引用発明 2 とは、技術分野を共通にし、かつ、いずれも、フラッシュ型 E E P R O M のメモリセルの消去と書き込みに関する事項を問題とし、作用、機能において共通点を有するものであるから、当業者が、これらを組み合わせる相違点 2 に係る本願発明の構成にしてみようとの発想を得ることに格別の困難性があるとはいえない。

審決は、相違点 2 について、「フラッシュ型 E E P R O M のメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」は、上記引用例 2 あるいは特開平 1-273296（注、被告は平成 17 年 1 月 18 日付け釈明書において、乙 1 公報に訂正した。）に記載されているように従来周知の技術事項である」と認定しているが、上記のとおり、相違点 2 についての判断は、引用発明 1 に引用発明 2 を合わせて相違点 2 に係る構成に想到することが容易かどうかであり、それに尽きるから、プレライトを行うことが周知の技術事項であるかは、論ずるまでもない事柄である。

したがって、乙 1 公報をめぐる原告の上記第 3 の 2 (5) の主張は、すべて採用の限りでない。

(3) 以上のとおり、「引用例 1 記載発明に、このようなホットエレクトロン注入によってプレライトを行う手段を設けて本願発明のように構成することは当業者が容易に想到し得る程度のものと認められる。よって、相違点 2 を格別なものとすることはできない。」（審決謄本 6 頁下から第 4、第 3 段落）とした審決の判断に誤りはない。したがって、原告の取消事由 2 の主張は採用することができない。

3 取消事由 3（相違点全体についての判断の誤り）について

(1) 原告は、本願発明が、ページ単位でプレライト、消去、プログラムを実行することが一つの目的の下に有機的に一体化しているものであるのに、審決が、相違点を二つに分けた上で、いずれも周知の技術事項を組み合わせただけで、違法である旨主張する。

そこで、検討すると、発明が特許として保護を受けられるためには、新規性及び進歩性を具備することを要するのであり、特許を受けようとする発明を特定すべき事項は、そのすべてが特許請求の範囲に記載されているはずであって、特許請求の範囲は、一般に、発明を特定すべき複数の事項（構成要素）の組合せから成り立つ

ているのであるから、進歩性の有無を判断するに当たっては、同一又は近接する技術分野における従来技術中に、当該発明の構成要素に係る技術が存在するかどうかを検討し、当該発明の構成要素が複数の技術として存在する場合には、当業者が、上記複数の技術を組み合わせることで当該発明の構成に容易に想到し得るかどうかを検討するのが、審判、特許異議申立てや審決・取消決定取消訴訟事件において行われる通常の判断手法であり、かつ、合理性の認められるところである。本件において、審決が、上記手法によって本願発明の進歩性を検討し、上記結論を導いていることは、その説示自体から明らかであり、これを不合理であるとする格別の事情を見いだすこともできない。原告の主張は、独自の見解に基づくものであって、採用の限りでない。

(2) 進んで、当業者が、引用発明 1 に、相違点 1 及び 2 に係る周知あるいは公知の技術事項を組み合わせることで、相違点 1 及び 2 に係る本願発明の構成に容易に想到し得るかどうかについて検討する。

上記 2 (2) アのとおり、引用発明 1 において、「フラッシュ型 EEP ROM のメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」、すなわち、引用発明 2 を組み合わせれば、相違点 2 に係る本願発明の構成になることは、明らかであり、また、対象となるメモリセルの単位は、「全ビットもしくはブロック単位」よりも小さく、「バイト単位又はワード単位」及びそれよりも大きいものであり、この範囲に「ページ」が含まれることも明らかである。

「フラッシュ EEP ROM において、ページ単位で消去を行うこと」は、本件優先日当時、周知の技術事項であったと認められるのであるから、消去前のプレライトについて、当業者であれば、「ページ単位」で行ってみようとの発想を得ることは容易であり、また、本件全証拠によっても、それを妨げる格別の事情も見当たらない。

審決には、当業者が、引用発明 1 に、相違点 1 及び 2 に係る周知あるいは公知の技術事項を組み合わせることで、相違点 1 及び 2 に係る本願発明の構成に容易に想到し得るかどうかについて、必ずしも明らかではない。

しかしながら、相違点 2 についての判断では、引用発明 2 は、「全ビットもしくはブロック単位」のプレライトと一括消去と「バイト単位又はワード単位」のプレライトと消去が問題となっており、審決が、「本願発明は引用例 1 記載発明及び従来周知の技術事項から当業者が容易に想到し得たものと認められる」（審決謄本 6 頁最終段落）と全体的な容易想到性についての結論を出している以上、明示はしていないが、相違点 2 についての容易想到性の判断の過程で、「ページ単位」に係る相違点 1 の問題を取り扱っていたと評価することができる。

(3) 原告は、数個の行為を結びつけて、ある方法を構成するためには一定の目的、つまり、課題の解決が必要不可欠であるところ、引用発明 1、2 等には、相違点の克服に結び付く動機付けとしての技術的課題が全く開示、示唆されていないから、これらを組み合わせることが容易に想到し得たとはいえない旨主張する。

しかしながら、原告主張の「過消去」の課題は、「フラッシュ型 EEP ROM のメモリセルを消去する際に、過消去状態になるのを防止するために、メモリセルの消去前にホットエレクトロン注入によってメモリセルに軽い書き込み、即ち、プレライトを行うこと」との引用発明 2 により開示されている。また、不必要なセルの消耗を低減させるという課題は、引用例 1 (甲 1) の「発明が解決しようとする課題」欄に、「上記のフローティングゲート型不揮発性記憶装置では、ソース線が全ビット共通であるために、消去モードとしては一括消去の単一モードであり部分的な消去ができない。・・・この発明の目的は、メモリアレイの部分的な消去を可能にした不揮発性半導体記憶装置を提供することにある。」(2 頁右上欄第 2、第 3 段落)と記載されているとおり、不必要なセルの消去をしないようにするとの技術的思想が開示されている。しかも、これらの技術的課題は、いずれもフラッシュ型 EEP ROM のメモリセルに内在する課題である。

したがって、当業者が、引用発明 1、2 及び周知の技術事項に接したならば、当然に、これらを組み合わせようとする程度の容易想到なものであるというべきであり、原告の主張は失当である。

(4) 以上によれば、原告の取消事由 4 の主張は採用することができない。

4 取消事由 4 (本願発明の顕著な作用効果の看過) について

原告は、本願発明が、「過消去」の問題と効率的なセルごとのプレライトの

問題とを同時に解決したもので、顕著な作用効果を奏するものである旨主張する。
しかし、上記のとおり、本願発明は、当業者が、引用発明 1、2 及び周知の技術事項に基づき、容易に想到し得たものであるところ、「過消去」の問題及び効率的なセルごとのプレライトの問題の解決は、引用発明 1、2 等の構成から、当業者が容易に予想し得る範囲のものであり、これが格別の顕著な作用効果であるとする原告の主張は、失当である。

以上によれば、原告の取消事由 4 の主張も採用することができない。

5 結論

以上のとおり、原告主張の取消事由はいずれも理由がなく、他に審決を取り消すべき瑕疵は見当たらない。

よって、原告の請求は理由がないから棄却することとし、主文のとおり判決する。

知的財産高等裁判所第 1 部

裁判長裁判官	篠	原	勝	美
裁判官	穴	戸		充
裁判官	柴	田	義	明