

平成12年（行ケ）第221号特許取消決定取消請求事件（平成13年10月23日口頭弁論終結）

原告 訴訟代理人弁理士 同 同 被告 指定代理人 同	株式会社 平和 萼宮 崎 經 夫 小野塚 嘉 薫 特許庁長官 川 耕 造 吉藤 村 俊 山 口 由 木 平 瀬 博 二 茂 木 代
--	--

特許庁が平成11年異議第71194号事件について平成12年5月8日にした決定を取り消す。

訴訟費用は被告の負担とする。

事実及び理由

第1 原告の求めた裁判 主文と同旨の判決

第2 事案の概要

1 特許庁における手続の経緯

原告は、昭和63年2月8日にした特許出願（昭和63年特許願第27259号）を原出願とし、これに基づく分割出願として、平成9年4月25日、名称を「パチンコ機の制御装置」とする発明につき特許出願をした。この出願は、平成10年5月27日付けで特許査定を受け、同年7月24日、特許第2805295号として登録された。その後、平成11年3月30日に異議の申立てがあり、平成11年6月7日付けで取消理由通知があったので、原告は、平成11年8月11日付けで特許異議意見書を提出するとともに訂正請求をしたが、訂正拒絶理由通知がなされ、平成12年5月8日付けで「特許第2805295号の特許を取り消す。」旨の決定があり、その謄本は同年5月27日に原告に送達された。

2 特許請求の範囲

(1) 登録時の特許請求の範囲

「初期化用のリセット端子を備えると共に、予め定められたパチンコ機の制御手順を順次実行する演算処理手段を設けているパチンコ機の制御装置において、前記制御手段が正常に実行されない場合、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段と、前記パチンコ機への電源投入時に、前記リセット信号を前記リセット端子に入力するパワーオンリセット回路とを設けていることを特徴とするパチンコ機の制御装置。」

(2) 前記訂正請求に係る特許請求の範囲（注、訂正部分に下線を付した。）

「初期化用のリセット端子を備えると共に、予め定められたパチンコ機の制御手順を順次実行する演算処理手段を設けているパチンコ機の制御装置において、前記制御手段が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段と、前記パチンコ機への電源投入時に、前記リセット信号を前記リセット端子に入力するパワーオンリセット回路とを設けていることを特徴とするパチンコ機の制御装置。」

3 決定の理由の要点

決定は、別紙異議の決定の理由写しのとおり、(1)「前記制御手順が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段」の構成は、特許明細書又は図面に記載されておらず、かつこれらから、直接的かつ一義的に導き出せる事項ともいえないから、訂正は、願書に添付した明細書又は図面に記載した事項の範囲内においてされたものではなく、特許法120条の4第3項で準用する同法126条2項の規定に適合しないので、認められない、(2)本件発明は、特開昭63-11185号公報（刊行物1）及び特開昭62-14878号公報（刊行物

2) に記載された発明に基づいて当業者が容易に発明をすることができたものであるから、特許法29条2項に規定により特許を受けることができず、本件発明の特許は拒絶の査定をしなければならない特許出願に対してされたものと認める、と判断した。

第3 原告主張の取消事由

決定は、原告が平成11年8月11日付け訂正請求書で請求した訂正（以下「本件訂正」という。）が新規事項を含むと誤って判断し（取消事由1）、本件訂正を認めないことにより、本件発明の要旨の認定を誤り、仮に本件訂正が認められないとしても、本件発明と刊行物1に記載された発明（以下「刊行物発明1」という。）との相違点の判断を誤った（取消事由2）ものであるから、違法として取り消されるべきである。

1 取消事由1（新規事項についての判断の誤り）

決定は、「『前記制御手段が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段』の構成は、特許明細書又は図面に記載されておらず、かつこれらから、直接的かつ一義的に導き出せる事項ともいえないから、訂正は、願書に添付した明細書又は図面に記載した事項の範囲内においてされたものではない」と判断したが、誤りである。

本件特許明細書（以下単に「特許明細書」という。甲第10号証）には、「アドレスデコーダ8はアドレスポートから正しいアドレスデータが出力されたときに、演算処理が正しいことを表わす正否信号を発生させて演算監視手段4に入力する」（段落【0016】）、「・・・制御手順（制御プログラム）が正常に実行されなかった場合には演算監視手段4によって、リセット信号が演算処理手段2に入力され、これにより演算処理手段2は初期化される。」（段落【0012】）、「・・・アドレスデコーダ8は演算監視手段4に前記正否信号を入力するので、演算監視手段4は演算処理手段2の演算処理を正常と判定し、リセット信号を発生させない。」（段落【0024】）、「演算監視手段4は前記正否信号が10msより長い時間入力されないときのみ、演算処理手段2を初期化させるリセット信号を演算処理手段2のリセット端子11に入力するものである。」（段落【0017】）、「及び、他方、演算監視手段4は前記正否信号が10msより長い時間入力されないときに、演算処理手段2の演算処理を異常と判断し、リセット信号をリセット端子11に入力する。」（段落【0025】）と記載されている。

これらの記載から分かるように、演算処理が正常のときと、異常のときがあり、演算監視手段4に一定時間以内に信号が入力されるときはリセット信号が発生されず、一定時間以内に信号が入力されないときにリセット信号が発生するので、アドレスデコーダ8が発生する信号を受ける演算監視手段4は、2通りの信号があるものと認識する。したがって、演算監視手段4でリセット信号を発生させない場合の入力信号（正常のとき）を「正信号」、リセット信号を発生させる場合の入力信号（異常のとき）を「否信号」として、両者を使い分けていることは明らかである。

すなわち、特許明細書では、正信号と否信号を、パルス信号の有無という二つの状態によって使い分けており、その信号の状態によって演算監視手段4は、演算処理が正常であるか、異常であるかの判定を行っている。

そして、「正否信号」は、二つの状態を表す「正信号」と「否信号」の両者をまとめて表現しただけであるから、「正否信号」を「正信号」と「否信号」とに分け、制御手段と否信号との関係を「前記制御手段が実行されない場合の否信号に基づき、」と訂正して限定することは、特許明細書に記載されていた事項の範囲内における訂正である。

2 取消事由2（相違点についての判断の誤り）

決定は、刊行物1には「前記制御手段が正常に実行されない場合、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段」の構成が記載されていないと認定し、これを相違点としたうえで、刊行物2には上記相違点に関する構成（演算監視手段）が記載されており、刊行物1及び同2に記載された発明を寄せ集めて本件発明の構成に至ることに格別の困難性はないと判断したが、誤りである。

(1) 決定は、「刊行物２・・・には、『暴走防止回路１１４からは暴走防止信号が与えられる。暴走防止回路１１４は、マイクロコンピュータ９６の制御の暴走を、ハード面から防止するための回路である。パワーオンリセット回路１１６からは電源投入時のパワーオンリセット信号が与えられる。暴走リセット回路１１８からは暴走リセット信号が与えられる。』と記載され、これらの記載からみて、この暴走防止回路１１４は、『マイクロコンピュータ、つまり、演算処理手段に対する初期化命令を実行させるためのリセット信号を演算処理手段のリセット端子に入力する演算監視手段』であると認められる」（決定書３頁２９行から３８行）と認定したが、誤りである。

本件発明の演算監視手段は、アドレスデコーダの信号が正常か否かを判定するものである。これに対し、刊行物２に記載された発明（以下、「刊行物発明２」という。）では、暴走防止回路１１４とアドレスデコード回路１１２が設置されているものの、両者は無関係に設けられているから、暴走防止回路１１４は本件発明の「演算監視手段」に当たるものではない。

(2) 被告は、刊行物発明２の「暴走防止回路１１４」は「所定のサイクルで、前記記憶手段に記憶された制御データの異常を検出する手段、前記検出手段の検出結果に基づいて、前記制御データを強制的に初期化する異常制御防止手段」（刊行物２の特許請求の範囲）であると主張する。しかし、「暴走防止回路１１４」に関して、刊行物２には、「暴走防止回路１１４からは暴走防止信号が与えられる。暴走防止回路は、マイクロコンピュータ９６の制御の暴走を、ハード面から防止する回路である。」（５頁右上欄７行から１０行）という説明及び第４図の図示があるのみである。他方、「異常制御防止手段」は、マイクロコンピュータの中でソフトウェアにより行われる手段であるから、「暴走防止回路１１４」とは無関係である。

(3) 以上に加えて、被告が主張する「異常制御防止手段」も本件発明の「演算監視手段」とは異なる。

刊行物２の「記憶手段に記憶された制御データの異常を検出する手段」の「制御データ」とは、RAM１００に記憶された制御データであり、プログラムの記憶されるROM９８に記憶されたデータではない。したがって、刊行物発明２において、制御プログラムが記憶されているROM９８の暴走防止（すなわち、プログラムの暴走チェック）は行われていないから、本件発明でいう制御手段が正常に実行されない場合を検出しているのではない。

刊行物発明２は、RAM上の誤データの書き込みチェックを行う場合であり、本件発明はこの欠点を課題として記憶手段に記憶された制御データとは無関係に異常検出を行う発明としたものであって、刊行物２とは発明の課題が相違する。

さらに、刊行物発明２の「異常制御防止手段」は「リセット信号」をリセット端子に入力するものではないから、この点においても、本件発明の「マイクロコンピュータ、つまり、演算処理手段に対する初期化命令を実行させるためのリセット信号を演算処理手段のリセット端子に入力する演算監視手段」（決定書３頁３６行から３８行）とは異なるものである。

(4) なお、被告は、「刊行物発明１及び刊行物発明２は、パチンコ機の制御装置の技術分野において、リセット信号を制御装置に入力することによって該制御装置の暴走を防止しようとする共通の課題を有する発明である」と主張するが、刊行物発明１は暴走が起きても起きなくてもリセット信号が発生してリセット信号端子に入力するように構成されており、その趣旨は、暴走の予防であるから、暴走発生後の事後処理対策である本件発明とは、リセット信号の果たす役割が異なる。被告の主張は失当である。

(5) 以上のことから、「刊行物２には、前記相違点の構成を備えた発明が記載されているものと認められ、かつ、刊行物１および刊行物２に記載された発明は、パチンコ機の制御装置の技術分野で共通する発明であることから、刊行物１と刊行物２に記載された発明を寄せ集めて、本件発明を構成することは、当業者であれば格別な困難性はないものと認める。」とした決定の判断は誤りである。

第４ 被告の反論の要点

１ 取消事由１について

原告が摘示した特許明細書の記載（段落【００１２】、【００１６】、【００１７】、【００２４】、【００２５】）によれば、特許明細書には、演算処理が正常の時と異常のときとがあり、アドレスデコーダ８から演算処理が正しいことを表す

正否信号が演算監視手段4に入力され、演算監視手段4は、正否信号が10ms以内に入力されるときは、演算処理手段2の演算処理を正常と判定し、10ms以内に入力されないときは、演算処理手段2の演算処理を異常と判定し、リセット信号をリセット端子11に入力することが記載されている。

すなわち、特許明細書においては、「正否信号」という1種類（単一）の信号が演算監視手段4に入力され、演算監視手段4は、その正否信号が一定時間以内に入力されている状態か、一定時間以内に入力されていない状態かという、単一信号における2つの状態によって、演算処理が正常であるか異常であるかを判定しているものであり、演算監視手段に演算処理が正常であることを示す「正信号」と演算処理が異常であることを示す「否信号」という2種類の信号が入力されているわけではない。

他方、訂正明細書においては、「正否信号」を、演算処理が正常に実行されている状態を示す「正信号」と、演算処理が正常に実行されていない状態を示す「否信号」の2種類に分けて記載したことにより、訂正後の発明は、例えば、高電圧の「正信号」と低電圧の「否信号」のような2種類の信号を用いるものをも含むこととなる。しかし、このような態様は、特許明細書には何ら記載されていない。

以上のとおり、「正否信号」を「正信号」と「否信号」との2種類の信号に分けることは、特許明細書又は図面に記載されておらず、かつ、これらから直接的かつ一義的に導き出される事項ともいえないから、「『前記制御手順が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段』の構成は、特許明細書又は図面に記載されておらず、かつこれらから直接的かつ一義的に導き出される事項ともいえない。」（決定書2頁26行から30行）とした決定の判断に誤りはない。

2 取消事由2について

(1) 刊行物2には、「暴走防止回路114からは暴走防止信号が与えられる。暴走防止回路114は、マイクロコンピュータ96の制御の暴走を、ハード面から防止するための回路である。パワーオンリセット回路116からは電源投入時のパワーオンリセット信号が与えられる。暴走リセット回路118からは暴走リセット信号が与えられる。」（5頁右上欄7行から14行）という記載、「(1) 電氣的に制御される弾球遊技機であって、制御データが記憶された記憶手段、前記記憶手段に記憶された前記制御データに基づいて、前記弾球遊技機を制御する制御手段、所定のサイクルで、前記記憶手段に記憶された制御データの異常を検出する手段、前記検出手段の検出結果に基づいて、前記制御データを強制的に初期化する異常制御防止手段を含む、弾球遊技機。・・・(4)前記異常検出手段は、所定のサイクルで、前記制御手段から暴走による異常出力があるか否かを検出する手段である、特許請求の範囲第1項記載の弾球遊技機。」（特許請求の範囲）という記載があり、「暴走防止回路114」と「異常制御防止手段」とは同一の手段である。

そして、「マイクロコンピュータ96の制御の暴走」とは、マイクロコンピュータ96の制御手順が正常に実行されない状態ということが出来るから、制御手順が正常に実行されない場合を検出するという点では本件発明との構成の差異があるとは認められない。

したがって、「刊行物2において、制御プログラムが記憶されているROM98の暴走防止（すなわち、プログラムの暴走チェック）は行われていないから、本件発明という制御手順が正常に実行されない場合を検出しているのではない」という原告の主張は理由がなく、刊行物2に、「制御手順が正常に実行されない場合、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段」が記載されているということが出来る。

(2) また、原告は、本件発明と刊行物発明1ではリセット信号の果たす役割が異なっていると主張するが、刊行物発明1において、CPUは定期的リセットされるものではあるが、このリセットは、仮にCPUが正常に実行されなかった場合に、その異常が持続あるいは拡大すること、すなわち、CPUが暴走する異常を防止するためのものであり、刊行物発明1と刊行物発明2は、リセット信号を制御装置に入力することによって、制御装置の暴走を防止しようとする共通の課題を有するものであるから、刊行物発明1に刊行物発明2を適用することが格別困難であるということとはできない。

(3) したがって、本件発明は、刊行物1及び刊行物2に記載された発明に基づ

いて当業者が容易に発明をすることができたものであるとした決定の判断に誤りはない。

第5 当裁判所の判断

1 取消事由1（新規事項についての判断の誤り）について

(1) 甲第10号証によると、特許明細書には、「正しいアドレスデータが出力されたときに、演算処理が正しいことを表す正否信号を発生させて演算監視手段4に入力する。」（段落【0016】）、及び「演算監視手段4は前記正否信号が10msより長い時間入力されないときのみ、演算処理手段2を初期化させるリセット信号を演算処理手段2のリセット端子11に入力する」（段落【0017】）という記載があることが認められる。この「正否信号」は、「正しいアドレスデータが出力されたとき」に発生される信号であるから、訂正明細書（甲第13号証の2）の段落【0016】に「正しいアドレスデータが出力されたときに、演算処理が正しいことを表す正信号を発生させて演算監視手段に入力する。」と記載された「正信号」に相当する信号であると認められる。そして、特許明細書の前記箇所に記載された「正否信号が10msより長い時間入力されないときのみ」リセット信号をリセット端子に入力するということは、「正否信号」のない状態、すなわち無信号状態が10msより長い時間持続することがリセット信号発生の要件とされていることを意味する。

(2) 他方、甲第13号証の2によれば、訂正明細書の特許請求の範囲には、「制御手順が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段」と記載されており、この構成においては「否信号」に基づくことがリセット信号発生の要件とされていると認められる。この場合の「否信号」は、訂正明細書中にその意義を明らかにした記載がなく、「誤ったアドレスデータが出力されたときは否信号を演算監視手段に入力する。」（段落【0016】）との記載及び「制御手順が正常に実行されない場合の否信号に基づき、・・・」（特許請求の範囲）という記載があるのみであるところから、「制御手段が正常に実行されないことを表す信号」一般を意味すると解釈せざるを得ない。そうすると、「否信号」に基づくことをリセット信号発生の要件として記載した訂正明細書の特許請求の範囲は、「正否信号のない状態が一定時間持続した場合」だけでなく、正否信号とは異なる「否信号」が演算監視手段に入力された場合にリセット信号を発生させるものをも包含することになる。後者の場合、演算監視手段は、「10msより長い時間」といった時間間隔と無信号状態との関係処理する必要がない。

(3) そうすると、本件訂正に係る構成は、無信号状態とは異なる「否信号」を演算処理手段に入力し、演算処理手段が否信号を受信することのみによってリセット信号を発生するものを包含する点において、特許明細書に記載された事項の範囲を超えるものと認められる。

したがって、「前記制御手段が正常に実行されない場合の否信号に基づき、前記演算処理手段に対する初期化命令を実行させるためのリセット信号を前記リセット端子に入力する演算監視手段」の構成を新規事項であるとして本件訂正を認めなかった審決の判断に誤りはない。

(4) 原告は、ある時間間隔において演算監視手段4に入力される信号に2種類の状態があり、その信号の状態によって演算監視手段4は演算処理が正常であるか異常であるかの判定を行っているのであるから、その2つの状態を「正信号」と「否信号」に分けて呼ぶことは特許明細書に記載された事項の範囲内であると主張する。しかし、原告の上記主張は、訂正明細書の特許請求の範囲に記載された「否信号」とは「演算監視手段に一定時間信号が入力されない状態」を意味するという解釈を前提にして初めて成り立つものであるところ、訂正明細書を検討しても、その特許請求の範囲に記載された「否信号」を上記のような限定された意味に解釈すべき理由は見出すことができない。したがって、原告の上記主張は、その前提を欠くものであって、採ることができない。

(5) 以上のとおりであるから、原告主張の取消事由1は理由がない。

2 取消事由2（相違点の判断の誤り）について

決定は、刊行物2の暴走防止回路114は本件発明の「マイクロコンピュータ、つまり、演算処理手段に対する初期化命令を実行させるためのリセット信号を演算処理手段のリセット端子に入力する演算監視手段」とであると認定し、これを前提と

して、刊行物発明１と刊行物発明２を寄せ集めて本件発明の構成とすることは容易であると判断しているので、刊行物２の暴走防止回路１１４と本件発明の「・・・リセット信号を演算処理手段のリセット端子に入力する演算監視手段」との関係を検討する。

(１) 甲第１１号証の２によれば、刊行物２について、以下の事項が認められる。

ア 刊行物２の第４図には、「暴走防止回路１１４」からマイクロコンピュータに向けて、暴走防止信号が入力されること、「割込みクロック回路」からマイクロコンピュータに向けて、割込みクロック信号が入力されること、並びに「暴走Reset回路１１８」及び「Power on Reset 回路１１６」からマイクロコンピュータに向けて、それぞれ暴走Reset 信号及びPower on Reset 信号が入力されることが示されている。この暴走Reset 信号及びPower on Reset 信号が入力される位置は、リセット端子と称し得るものといえる。

イ 刊行物２には、特許請求の範囲に「所定のサイクルで、前記記憶手段に記憶された制御データの異常を検出する手段、前記検出手段の検出結果に基づいて、前記制御データを強制的に初期化する異常制御防止手段」との記載があり、発明の詳細な説明には、①「マイクロコンピュータ９６は、・・・リードオンリメモリ（ROM）９８と・・・ランダムアクセスメモリ（RAM）１００とを含む。」（４頁左下欄３行から６行）、②「制御回路に電源が投入されることにより、マイクロコンピュータ９６は、ROM９８に書込まれた制御プログラムに基づいて動作を開始する」（５頁右下欄１０行から１３行）、及び③「４msごとに与えられる割込みクロック信号に基づいて、・・・RAM１００に設定されたデータに異常がないかどうか判定される。そして、異常が発見された時点で、RAM１００に設定されたすべてのデータを書換えるための初期設定ルーチンへジャンプするようにされている。」（７頁左上欄４行から１１行）との記載がある。

上記③の記載における「RAM１００に設定されたデータに異常がないかどうかの判定」が「制御データの異常を検出する手段」（特許請求の範囲）に当たり、「異常が発見された時点で、RAM１００に設定されたすべてのデータを書換えるための初期設定ルーチンへジャンプするようにされている」ことが「前記制御データを強制的に初期化する異常制御防止手段」（特許請求の範囲）に当たることは明らかである。

(２) 以上のとおり、刊行物２における「制御データの異常」とは、マイクロコンピュータ９６がROM９８に書き込まれた制御プログラムに基づいて動作を開始した後、RAM１００に書き込まれたデータに異常があることであるから、本件発明における「制御手順が正常に実行されない場合」に相当すると認められる。

そうすると、刊行物発明２の「異常制御防止手段」は、その信号が第４図のリセット端子（暴走Reset 信号及びPower on Reset信号が入力される位置）に入力されるものでない点を除いては、本件発明の「演算監視手段」と異なるものと認められる。

(３) しかし、刊行物発明２の「異常制御防止手段」は、前記認定のとおり、「RAM１００に設定されたデータに異常がないかどうかの判定」に基づいて動作するものであるから、ROM９８に書き込まれた制御プログラムの一環としてマイクロコンピュータ９６の内部に設けられた手段と解するべきであり、この点から「マイクロコンピュータ９６」の外部の「暴走防止回路１１４」は、「異常制御防止手段」と認めることができない。「暴走防止回路１１４」が「異常制御防止手段」と異なるものであることは、第４図で、暴走防止回路１１４からマイクロコンピュータ９６に向けた矢線は示されているものの、その逆の矢線が示されておらず、したがって、暴走防止回路１１４においてRAM１００のデータを検出し得ないことから明らかである。

なお、刊行物発明２の「暴走防止回路１１４」については、決定に摘示された「暴走防止回路１１４からは暴走防止信号が与えられる。暴走防止回路１１４は、マイクロコンピュータ９６の制御の暴走を、ハード面から防止するための回路である。」との記載しかなく、「ハード面から防止するための回路」であること以外はその詳細が不明である。

いずれにしても、刊行物２発明においては、本件発明の「演算監視手段」と同一の機能を有すると認められる「異常制御防止手段」が別途設けられているのであるから、「暴走防止回路１１４」を本件発明の「演算監視手段」に相当するものとみる余地はない。

(4) 以上によれば、「暴走防止回路 1 1 4 は、『マイクロコンピュータ、つまり、演算処理手段に対する初期化命令を実行させるためのリセット信号を演算処理手段のリセット端子に入力する演算監視手段』であると認められる」との決定の認定は誤りであり、これに基づく「刊行物 1 および刊行物 2 に記載された発明は、パチンコ機の制御装置の技術分野で共通する発明であることから、刊行物 1 と刊行物 2 に記載された発明を寄せ集めて、本件発明を構成することは、当業者であれば格別な困難性がないものと認める。」という決定の判断も誤りである可能性があると いわざるを得ない。

よって、取消事由 2 には理由がある。

(5) なお、以上検討したところによれば、刊行物発明 2 の「異常制御防止手段」と本件発明の「演算監視手段」との間には、リセット端子に入力するか否かの点を除いて相違がないから、刊行物発明 1 に刊行物発明 2 を組み合わせ、その際に「異常制御防止手段」からの信号をリセット端子に入力することにより本件発明の構成に至る可能性はあるが、そのことが当業者に想到容易であるか否かは特許庁において判断されていない事項であるから、改めて審判において審理することが相当である。

第 6 結論

以上のとおり、取消事由 2 は理由があり、決定は本件発明と刊行物発明 1 との相違点についての判断の前提となる認定を誤ったものというべきである。この誤りは、決定の結論に影響を及ぼし得るものであるから、決定を取り消すこととし、主文のとおり判決する。

東京高等裁判所第 1 8 民事部

裁判長裁判官	永	井	紀	昭
--------	---	---	---	---

裁判官	塩	月	秀	平
-----	---	---	---	---

裁判官	古	城	春	実
-----	---	---	---	---