

平成11年（行ケ）第24号 審決取消請求事件（平成12年9月13日口頭弁論  
終結）

原告	被告	判決
代表者代表取締役		三菱電機株式会社
訴訟代理人弁理士		A
同		B
同		C
同		D
被告		特許庁長官 E
指定代理人		F
同		G
同		H
	主文	文

特許庁が平成9年審判第1847号事件について平成10年12月11  
日にした審決を取り消す。  
訴訟費用は被告の負担とする。

事実及び理由

第1 当事者の求めた裁判

1 原告  
主文と同旨

2 被告  
原告の請求を棄却する。  
訴訟費用は原告の負担とする。

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は、昭和62年9月26日、名称を「半導体記憶装置」とする発明につ  
き特許出願をし（特願昭62-241057号）、平成8年11月29日、拒絶査  
定がされた。原告は、平成9年2月13日、これに対する審判を請求し、特許庁  
は、この請求を平成9年審判第1847号事件として審理した結果、平成10年1  
2月11日、「本件審判の請求は、成り立たない。」との審決をし、その謄本は、  
同月24日、原告に送達された。

2 上記特許出願の願書に添付された明細書（以下「本願明細書」という。）の  
特許請求の範囲(6)に記載された発明（以下「本願発明」という。）の要旨

「複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを  
有するメインメモリを備え、前記メインメモリは、複数のメモリセルが複数列単位  
の複数のブロックに分割されており、

複数の記憶素子を有し、前記メインメモリから読み出された情報を記憶する  
キャッシュメモリをさらに備え、前記キャッシュメモリは前記メインメモリからブ  
ロック単位で読み出された情報をブロック単位で記憶し、

前記メインメモリと前記キャッシュメモリとの間に接続され、キャッシュヒ  
ットまたはキャッシュミスを示すキャッシュ制御信号及び書き込みあるいは読み出  
し動作を示す書き込み及び読み出し制御信号に従い、前記メインメモリから読み出  
された情報を前記キャッシュメモリに転送するための転送手段をさらに備え、

前記転送手段は、前記メインメモリの各ブロックにそれぞれが対応した複数  
の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュ制  
御信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャ  
ッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに  
対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複  
数のトランスファゲートが非導通状態とされる、

半導体記憶装置」

3 審決の理由

審決の理由は、別添審決書写し記載のとおり、本願発明が、特開昭56-6  
1082号公報（以下「刊行物1」という。）記載の発明に基づいて当業者が容易  
に発明をすることができたものであり、特許法29条2項により特許を受けること  
ができないとした。

第3 原告主張の審決取消事由

審決は、刊行物1記載の発明の認定を誤り（取消事由）、ひいては、本願発  
明が刊行物1記載の発明に基づいて当業者が容易に発明をすることができたかどう

かの判断を誤ったものであるから、取り消されるべきである。

1 審決は、刊行物1記載の発明について、「コントロール線31」から書き込み及び読み出し制御信号が得られる（審決書4頁20行目～5頁3行目）と認定するが、刊行物1には、上記の「書き込み及び読み出し制御信号」は記載されておらず、上記認定は誤りである。

刊行物1におけるコントロール線31の信号は、「主メモリ11とキャッシュメモリ13、14間でデータ転送を行うときにビットパススイッチ46（41は誤記と認める。）をオンさせ、キャッシュメモリ13、14と入出力端子17間でデータ転送を行うときにビットパススイッチ46（41は誤記と認める。）をオフさせる」という制御を行うための信号であり半導体メモリ集積装置の読み出し動作あるいは書き込み動作を示す信号とは、明らかに異なる。これに対し、本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」は、本願明細書第5図の「書き込み信号WE」を指していることは明らかである。したがって、刊行物1の「コントロール線31の信号」が本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」に相当するとした審決の認定は誤りである。

2 審決は、上記認定に続けて、刊行物1記載の発明は書き込み時か否かで制御内容を変更することができる（審決書5頁20行目～6頁1行目）と認定するが、この認定は、刊行物1における「コントロール線31の信号」が本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」に相当するとした上記認定に基づいて初めて導き出されるものであり、誤りである。

3 審決は、本願発明と刊行物1記載の発明が「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従い、前記メインメモリから読み出された情報を前記キャッシュメモリに転送するための転送手段をさらに備え」の点で一致する（審決書8頁10行目～9頁末行）と認定しているが、この認定は刊行物1記載の発明に係る上記事実誤認に基づいたものであって、誤りである。

4 審決は、この両発明の一致点に係る誤った認定に基づいて、本願発明は、刊行物1記載の発明において、メインメモリとキャッシュメモリの間に設けられた転送手段を、2個のトランスファゲートで形成する代わりに、1個で形成することにより、発明をすることができた（審決書10頁6行目～11行目）と認定するが、上記一致点の認定は誤りであるから、刊行物1記載の発明の転送手段に上記の変更を加えただけでは、本願発明とはならない。刊行物1に記載された発明から本願発明をするためには、書き込み時か否かで制御内容を変更するという目的に着目することと、この目的を達成するために、転送手段を書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従わせるという新規な構成を採用することが必要である。

5 審決は、審決認定に係る上記の相違点のみを考慮して本願発明の容易想到性を判断しており、原告主張に係る相違点は何ら考慮していない。本願発明は、書き込み時か否かで制御内容を変更するという目的に着目し、この目的を達成するために、書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従って転送手段を制御するという格別の構成を採用することにより、初めて発明されたものである。そして、上記構成を採用することにより、書き込み時か否かで制御内容を変更することができ、より細やかな制御を行うことができるという、格別顕著な作用効果を得ているものである。このような本願発明の目的、構成、作用効果は、刊行物1により開示されるものではないから、当業者が刊行物1記載の発明に基づいて容易に本願発明をすることができたということとはできない。

#### 第4 被告の反論

1 審決中、刊行物1記載の発明の認定に次の誤りがあることを認める。

審決の「キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号」が「選択線33、35」から得られ、「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」が「コントロール線31」から得られるとの認定は、「キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号」が「コントロール線31」から得られ、「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」が「選択線33、35」から得られるとの認定の誤りである。

2 しかし、審決が認定した刊行物1記載の発明の内容に誤りはないから、上記の誤りは、審決の他の部分に何ら影響しないものである。

「コントロール線 3 1」から得られる信号は、「ビットパススイッチ 4 6」をオン、オフ制御する。「ビットパススイッチ 4 6」は、「主メモリ 1 1」と「キャッシュメモリ 1 3、1 4」の間のデータの移動時にオンとなり、その他の時にオフとなる。キャッシュヒット時には、所望のデータはキャッシュメモリ 1 3に存在するので、主メモリ 1 1からデータを読み出す必要がなく、したがって、ビットパススイッチ 4 6はオフである。キャッシュミス時には、所望のデータはキャッシュメモリ 1 3、1 4のいずれにも存在しないので、主メモリ 1 1からデータを読み出し、かつ、キャッシュメモリ 1 3、1 4に書き込む必要があり、したがって、ビットパススイッチ 4 6はオンである。以上のように、ビットパススイッチ 4 6は、キャッシュヒット時にオフとなり、キャッシュミス時にオンとなるように制御される。したがって、「コントロール線 3 1」から得られる信号は、本願発明の「キャッシュ制御信号」を要素としている。

「選択線 3 3、3 5」から得られる信号は、「キャッシュメモリ 1 3、1 4」の「トランジスタ 5 5、6 0」をオン、オフ制御して、「キャッシュメモリ 1 3、1 4」の一方を選択する。したがって、「選択線 3 3、3 5」から得られる信号は、少なくとも、本願発明の「ブロック選択制御信号」を要素としている。そして、この「ブロック選択制御信号」は、本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」に含まれる。したがって、「選択線 3 3、3 5」から得られる信号は、本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」を要素としている。

結局、「コントロール線 3 1」から得られる信号は「キャッシュ制御信号」を要素とし、「選択線 3 3、3 5」から得られる信号は「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」を要素としていることは刊行物 1 の記載から明らかである。

#### 第 5 当裁判所の判断

1 刊行物 1（甲第 2 号証）記載の発明は、以下の構成を有する。

複数行及び複数列に配列され、各々が情報を記憶する複数の「主メモリセル 3 0」を有する「主メモリ 1 1」を備え、前記「主メモリ 1 1」は、複数の「主メモリセル 3 0」が複数列単位の複数（2 つ）のブロックに分割されており、複数の記憶素子「キャッシュメモリセル 3 6」を有し、前記「主メモリ 1 1」から読み出された情報を記憶するキャッシュメモリをさらに備え、前記キャッシュメモリは前記「主メモリ 1 1」からブロック単位で読み出された情報をブロック単位で記憶し、

前記「主メモリ 1 1」から読み出された情報を前記キャッシュメモリに転送するための「ビットパススイッチ 4 6」と「トランジスタ 5 5、6 0」から成る転送手段をさらに備え、

前記転送手段は、前記「主メモリ 1 1」の各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数の「トランジスタ 5 5、6 0」を有し、前記「主メモリ 1 1」からブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出される「主メモリ 1 1」のブロックに対応した転送部の複数の「トランジスタ 5 5、6 0」が導通状態とされ、残りの転送部の複数の「トランジスタ 5 5、6 0」が非導通状態とされる、

「半導体メモリ集積装置」。

2 審決は、刊行物 1 記載の発明について、さらに「前記「主メモリ 1 1」と前記キャッシュメモリとの間に接続され、（「選択線 3 3、3 5」から得られる）キャッシュヒットまたはキャッシュミスを示すキャッシュ制御信号及び（「コントロール線 3 1」から得られる）書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号に従い、前記「主メモリ 1 1」から読み出された情報を前記キャッシュメモリに転送するための・・・転送手段をさらに備え」との構成を有すると認定している。この点について、原告は、「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」が「コントロール線 3 1」から得られるとの審決の認定は誤りであると主張し、被告もこれを認めている。

3 そうすると、「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」が「コントロール線 3 1」から得られるとの審決の認定が誤りであると、上記制御信号が入力される方法が認定できないこととなるから、刊行物 1 記載の発明は書き込み時か否かで制御内容を変更することができるとする審決の認定は誤りである。したがって、本願発明と刊行物 1 記載の発明が「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」に従い、前記メインメモリから読

み出された情報を前記キャッシュメモリに転送するための転送手段をさらに備え」という点で一致するとする審決の認定も、上記の誤った事実認定に基づいたもので誤りである。

4 なお、被告は、審決の上記認定の誤りは、審決認定の発明が刊行物1に記載されているという点で審決の結論に影響を及ぼすものではないと主張するので、この点について付言することとする。被告は、刊行物1記載の発明の「ブロック選択制御信号」が本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」に含まれ、したがって、「選択線33、35」から得られる信号は、少なくとも本願発明の「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」を要素としていると主張する。

しかしながら、刊行物1（甲第2号証）には、「主メモリ11の読み出しは次のように行う。・・・ビット線42と43のデータは選択線33または35の一方により選択されたキャッシュメモリセグメント13または14に書き込まれ、選択されなかったセグメントのメモリのデータは変更しない。・・・主メモリへの書き込みは次のように行う。選択線33と35により一方のセグメント13または14を選らび・・・メモリセル30に書き込まれる。」（457頁左下欄末行～458頁左上欄3行目）との記載がある。これによれば、選択線33、35上の信号は、読み出し及び書き込みに関係するとしても、選択線33上の信号は、メモリセグメント13が選択されていない場合には書き込みあるいは読み出し動作を示すものではなく、同様に、選択線35上の信号は、メモリセグメント14が選択されていない場合には書き込みあるいは読み出し動作を示すものではなく、選択線33上の信号、選択線35上の信号のいずれの信号も、メモリセグメント13、14を選択するものであって、「書き込みあるいは読み出し動作を示す書き込み及び読み出し制御信号」ということはできない。

5 以上のとおり、原告の主張する取消事由には理由があり、この誤りが審決の結論に影響を及ぼすことは明らかであるから、審決は取消しを免れない。

よって、原告の請求は理由があるからこれを認容し、訴訟費用の負担につき行政事件訴訟法7条、民事訴訟法61条を適用して、主文のとおり判決する。

東京高等裁判所第13民事部

裁判長裁判官	篠	原	勝	美
裁判官	石	原	直	樹
裁判官	長	沢	幸	男