

平成13年(行ケ)第471号 審決取消請求事件
口頭弁論終結日 平成16年8月24日

原告	被告	決
原告	被告	富士通株式会社
原告ら訴訟代理人弁護士		富士通ウィエルエスアイ株式会社
原告ら訴訟代理人弁理士		小岩井雅行
同		恩田博宣
同		恩田誠
同		藤田元子
被告	告	特許庁長官 小川洋
指定代理人		山本穂積
同		小林信雄
同		涌井幸一
同		高橋泰史
同		宮下正之

- 主 文
- 1 原告らの請求を棄却する。
 - 2 訴訟費用は原告らの負担とする。
- 事実及び理由

第1 当事者の求めた裁判

- 1 原告ら
(1) 特許庁が不服2000-451号事件について平成13年9月3日にした審決を取り消す。
(2) 訴訟費用は被告の負担とする。

2 被告
主文と同旨

第2 当事者間に争いのない事実等

- 1 特許庁における手続の経緯
原告らは、平成3年2月14日、発明の名称を「半導体記憶装置」とする発明(請求項の数は1である。)について、特許出願(平成3年特許願第21189号、以下「本件出願」という。)をし、平成11年12月3日付けで拒絶査定(以下「本件査定」という。)を受けたため、平成12年1月13日、これに対する不服の審判を請求した。

特許庁は、これを不服2000-451号として審理した。原告らは、この審理の過程で、平成12年1月13日付け及び同13年4月27日付手続補正書により、本件出願の願書に添付された明細書につき、補正をした(以下、この補正後のものを「本件明細書」という。)。特許庁は、審理の結果、平成13年9月3日、「本件審判の請求は、成り立たない。」との審決をし、その謄本を、同月18日、原告らに送達した。

2 特許請求の範囲(別紙1, 2参照)

それぞれが共通の内部電源線に接続された複数のインバータで構成されたリングオシレータと、外部電源線と前記内部電源線の間設けられ、前記外部電源線の電圧変動に関わらず一定電圧の内部電源を前記内部電源線に供給する電源回路とを有し、前記リングオシレータの発振周波数に基づく周期で記憶セルのリフレッシュを行う半導体記憶装置。

3 審決の理由

別紙審決書の写しのとおりである。要するに、本願発明は、特開昭60-47295号公報(以下、審決と同じく「引用例1」といい、これに記載された発明を「引用発明」という。)及び特開昭57-101731号公報(以下、審決と同じく「引用例2」という。)に基づいて、当業者が容易に発明をすることができたものであるから、特許法29条2項により、特許を受けることができない、とするものである。

4 審決が認定した、引用発明の内容、本願発明と引用発明との一致点・相違点

(1) 引用発明の内容(別紙3参照)

「・・・引用例1には、疑似(判決注・「疑似」の誤記と認める。以下、審決の引用部分について同じ。)スタティックメモリの内部リフレッシュモードにおいて、複数のインバータからなる発振部の発振周波数に基づく一定周期でリフレッシュを行う発明が記載されている」(審決書2頁)

(2) 本願発明と引用発明との一致点
「複数のインバータで構成されたリングオシレータの発振周波数に基づく周期で記憶セルのリフレッシュを行う半導体記憶装置。」(審決書3頁)

(3) 本願発明と引用発明との相違点
「前者(判決注・本願発明)は、リングオシレータがそれぞれが共通の内部電源線に接続され、外部電源線と前記内部電源線の間に設けられ、前記外部電源線の電圧変動に関わらず一定電圧の内部電源を前記内部電源線に供給する電源回路とを有するのに対し、

後者(判決注・引用発明)は、そのように構成されていない点で相違している。」(審決書3頁)

第3 原告らの主張の要点

審決は、引用発明の認定及び一致点の認定を誤り(取消事由1)、相違点についての判断を誤る(取消事由2)とともに、顕著な作用効果も看過している(取消事由3)ものであって、違法として取り消されるべきである。

1 取消事由1(引用発明の認定・一致点の認定の誤り)

(1) 審決は、第2の4(1)のとおり、引用発明を認定した上で、
「後者(判決注・引用発明)の「複数のインバータからなる発振部」は、その第1図の回路構成からみてリングオシレータであるから、前者(判決注・本願発明)の「複数のインバータで構成されたリングオシレータ」に対応する」(審決書3頁)

として、第2の4(2)のとおり、一致点の認定を行っている。しかし、この一致点の認定は誤りである。

(2) 本願発明の「複数のインバータで構成されたリングオシレータ」はリフレッシュ動作の周期設定回路に、その基礎となる発振周波数を提供するものである。

他方、引用発明の、「複数のインバータからなる発振部」(審決の認定では、引用例1の第1図の回路構成のものである。)(以下、「引用例1発振部」という。)は、複数のインバータで構成されたリングオシレータではあるものの、基板電圧発生回路のためのリングオシレータであって、リフレッシュ動作の周期設定のためのリングオシレータではない。

基板電圧発生回路は、トランジスタの安定動作を目的として半導体基板に電圧を与える電圧発生回路であり、これに対し、リフレッシュ回路はリフレッシュ動作を目的として動作制御信号を出力する周期設定回路である。これらは全く異なる。このことは、甲第5号証(鈴木八十二編著「半導体MOSメモリとその使い方」)に、基板電位発生回路とリフレッシュ回路とが区別して記載されていることから明らかである(35頁の図3・1)。

したがって、引用例1発振部は、本願発明の「複数のインバータで構成されたリングオシレータ」に相当しない。

(3) 被告は、乙第1号証(特開昭59-162690号公報)に記載された周知事項を参酌すれば、引用例1発振部に、セルフリフレッシュタイマが接続されていることは明らかである、と主張する。

しかし、乙第1号証に記載されている、一つのリングオシレータに、基板電圧発生回路と自動リフレッシュタイマとの両方を共通に接続する構成(以下「共通接続構成」ともいう。別紙4, 5参照)は、一般的な構成であるとまではいえず、引用発明が、この共通接続構成を備えているとはいえない。理由は、以下のとおりである。

ア 基板電圧発生回路では、基板電圧が所定レベルに達しない場合にだけ、そのオシレータを動作させ(間欠動作)、消費電力の低減を図ることが広く行なわれている。他方、セルフリフレッシュ動作は定期的に行わねばならず、そのためのオシレータの動作は、一時的にでも、止めることができない。

両者は、動作態様が異なるから、一つのリングオシレータに兼ねさせることはできない。

イ 基板電圧発生回路は、基板電流の吸収能力を調整して設定された基板電位を安定させるために、複数種のオシレータ(さらにはポンプと基板電位検出回路)を備えなければならない。他方、リフレッシュタイマは、100万個以上もあるメモリセルのそれぞれの特性に応じて発振周波数を微調整する必要がある。

両者は周波数の調整機能が異なるので、それぞれ、専用のオシレータを設けた方が、設計上簡易である。

ウ 甲第7号証(特開平2-312095号公報)には、その第3図に、セ

セルフリフレッシュモードを有するDRAMについて、基板バイアス電圧発生回路41とセルフリフレッシュ用タイマ93とを、別々に設けることが記載されている。また、第4図に、基板バイアス電圧発生回路41がリングオシレータ411を備えること（リングオシレータ411の構成は第6図に示されている。）が、第7図に、セルフリフレッシュ用タイマ93がリングオシレータ93-1を備えることが、それぞれ記載されている。

すなわち、甲第7号証には、従来の構成として、基板電圧発生回路用リングオシレータ411とセルフリフレッシュタイマ用リングオシレータ93-1とを、別々に設ける構成が開示されている（別紙6参照）。

エ 以上のとおり、乙第1号証に記載されている共通接続構成は、一般的に採用されているものとはいえないから、引用例1発振部に、セルフリフレッシュタイマが接続されている、と解釈することは困難である。

2 取消事由2（相違点についての判断の誤り）

(1) 審決は、相違点について、

「上記引用例2には、電源電圧の変動を除去するために、リングオシレータ一回路1に定電圧回路5を介して電源を供給するようにして、一定の発振周波数を得ることが記載されている。

上記引用例2には、リングオシレータ一回路の電源電圧が変動するとその発振周波数が変動することが示唆されている。そうすると、後者（判決注・引用発明）のリングオシレータも電源電圧の変動によりその発振周波数が変動することは明らかである。そして、後者は、一定周期でリフレッシュを行う半導体記憶装置に関する発明であるから、上記引用例2の技術思想を適用して、電源電圧が変動しても、リングオシレータの発振周波数を一定とするために、リングオシレータを構成する複数のインバータが共通の内部電源線に接続され、外部電源線と内部電源線との間に定電圧回路を設けるようにすることは当業者が容易に推考し得ることである。」（審決書3頁）

と判断している。しかし、この判断は、誤っている。

(2) 引用例1、引用例2及び乙第1号証のいずれにも、本願発明の重要な技術思想は、全く開示されていない。

ア 本願発明の技術思想

DRAMは、外部電源電圧 V_{cc} が高ければ高いほど記憶セルのデータ保持能力が向上するため、リフレッシュ動作周波数は低くても（リフレッシュの間隔が長くても）よくなり、逆に、外部電源電圧 V_{cc} が低ければ低いほどリフレッシュ動作周波数を高くする（リフレッシュの間隔を短くする）必要がある（別紙7の図1の太線）。

しかし、複数のインバータで構成されたリングオシレータは、外部電源電圧 V_{cc} が上昇すると、その発振周波数上がるので（別紙7の図1の破線、本件明細書図5）、リングオシレータの発振パルス信号を計数して決定するリフレッシュ動作周波数も上昇する（リフレッシュ周期は短くなる。）。すなわち、外部電源電圧 V_{cc} が上昇した場合、必要とするリフレッシュ動作周波数は低くてもよいにもかかわらず、逆に高くなるという関係がある（以下、「本件相関関係」ともいう。別紙7の図1の V_1 から V_2 まで）。すなわち、外部電源電圧 V_{cc} が上昇すると、無駄な電力を消費することになるのである。

本願発明は、本件相関関係に着目し、定電圧回路を採用してリングオシレータの動作電源電圧を一定にすることにより、リフレッシュ動作周波数を一定とし、大幅な省電力化を達成したものである（別紙7の図2の細線）。

イ 引用発明は、1で述べたとおり、基板電圧発生回路に関する発明である。引用例1には、リフレッシュ動作に関する記載はあるものの、あくまでも基板電圧発生回路に関する発明の背景技術として、その動作の原理を説明したものに過ぎず、それは、本件明細書に記載された従来技術と何ら相違するものではない。そのため、本件相関関係に関する記載も全く存在しない。引用例1には、本願発明における、定電圧回路を設ける動機が、全く存在しない。

ウ 引用例2には、リングオシレータに定電圧電源を用いることが記載されている（別紙8参照）。しかし、これは、温度検出器において、電源電圧が変動しても正確な温度を検出できるようにするためであり、DRAMとは無関係なものである。引用例2にも、本件相関関係の開示も示唆もされていない。引用例2記載の定電圧回路を引用例1記載のDRAMのリフレッシュ動作に適用しようとする動機が全く存在しない。

エ 乙第1号証にも、上記の本願発明の技術思想は開示されていない。

乙第1号証の

「DRAMの最小動作周期は、たとえば270nsであり、このときの基板電流は数10 μ Aと大きいので基板電圧発生回路はこの基板電流を吸収できる能力をもたせる必要がある。ところがATRFモードではリフレッシュ周期は15.625 μ s又はそれ以上であるため、基板電流は1 μ A以下になるので基板電圧発生回路の能力を下げることで、基板電圧発生回路で消費される電力を大幅に下げることが可能になる」(2頁左下欄)

との記載によれば、乙第1号証に開示されている周知技術は、動作周期が短い(動作周波数が高い)ため通常動作時は基板電流が大きく、基板電圧発生回路は大きな基板電流吸収能力を必要とするので、オシレータの発振周波数を高く設定する一方、ATRFモード時は基板電流が少なく、基板電圧発生回路は大きな吸収能力を必要としないので、オシレータの発振周波数を低く設定するものである。

すなわち、乙第1号証は、通常動作時とリフレッシュ動作時とでオシレータの発振周波数を異ならせる、との考えを開示するにとどまり、外部電源電圧の変動により、セルフリフレッシュの周期が変動することを防止することにまで言及するものではない。

オ 被告は、乙第3号証(特開昭63-69314号公報)、第4号証(特開昭63-189010号公報)及び第5号証(特開平2-220265号公報)によれば、インバータの伝播遅延時間が電源電圧の増加に伴い単調減少すること、複数のインバータからなるオシレータの発振周波数が、同伝播遅延時間に依存して電源電圧の増加に伴い高くなることは当業者にとって明らかであるから、引用例1発振部の発振周波数は電源電圧の増加に対して高くなり一定にならないことは当然であり、発振部の電源電圧が変動すれば一定周期でリフレッシュを行うことができなくなることも明らかである、と主張する。

インバータ伝播遅延時間が電源電圧の増加に伴い単調減少すること、複数のインバータからなるオシレータの発振周波数が電源電圧の増加に伴い高くなることについては、争わない。しかし、前記のとおり、本願発明のポイントは本件相関関係に着目した点にあり、この相関関係に着目したからこそ、一定周期にしてもリフレッシュ動作に支障を来すことはないと分かるのである。リングオシレータの発振周波数特性だけを見ていたのでは、リングオシレータの発振周波数を一定にしようとする動機は生じない。

(3) 引用例1発振部に、セルフリフレッシュタイマが接続されていると解釈することができないことは、前記のとおりである。そもそも引用例1発振部にセルフリフレッシュタイマが接続されていることが明確でない以上、引用発明に、引用例2の定電圧回路を組み合わせる前提がない。

(4) 仮に、引用例1発振部にセルフリフレッシュタイマが接続されていると解釈することができるとしても、引用発明に、定電圧回路を設けることは技術的に困難である。理由は次のとおりである。

ア 甲第9号証の1(特開平9-55084号公報)、2(特開平7-193196号公報)、3(特開平8-203270号公報)、4(特開平11-4576号公報)及び5(特開平6-113530号公報)によれば、外部電源電圧が高くなるほど、基板電流が増大することがわかる。基板電流が増大すると、基板電圧発生回路の基板電流吸収能力も大きくしなければならず、そのためにはオシレータの発振周波数を高くしなければならぬことが明らかである。

しかし、基板電圧発生回路用オシレータに、定電圧回路から電源を供給し、外部電源電圧の変動にかかわらずその発振周波数を一定にする構成では、外部電源電圧が高くなった時に増大する基板電流を吸収することができない。

したがって、基板電圧発生回路用(を兼ねる)オシレータに、外部電源電圧の変動を除去する定電圧回路を付加することはできない。

イ 被告は、乙第1号証において、オシレータの発振周波数が基板電圧発生回路に直接影響を及ぼさないように工夫することは、当業者が当然考えるべきことであると主張し、そのための構成の一例として、乙第2号証(特開平1-149295号公報)を提出している。

確かに、乙第2号証には、オシレータの発振周波数が基板電圧発生回路に直接影響を及ぼさないようにする工夫(基板電位検出回路4でスイッチ6を制御することにより、基板バイアス電圧発生回路1がオシレータ2の発振周波数に同期しないようにすること)が開示されている(第1図、別紙9参照)。

しかし、乙第2号証の構成（基板電位検出回路4）は、予め定めた一定の基板電圧値を維持するために、基板電圧の変動分に相当する基板電流を吸収するものに過ぎない。外部電源電圧の上昇時に増大する基板電流を吸収するためにオシレータの発振周波数を高くするものではない。

したがって、乙第1号証に、オシレータの発振周波数が基板電圧発生器に直接影響を及ぼさない、乙第2号証の構成を加えたとしても、共通接続構成における吸収能力の問題点（外部電源電圧上昇時に増大する基板電流を吸収することができないとの問題点）が解決されるものではない。

この問題を解決するには、前記のとおり、オシレータの発振周波数を高める必要があるところ、そうすると、記憶装置の待機時の消費電力を大幅に増やしてしまうという問題が生じ、電力の消費を抑えることが困難になる。

ウ 以上のとおりであるから、乙第1号証を参照して、引用発明が、複数のインバータからなる発振部に、基板電圧発生回路とセルフリフレッシュモードのタイマ回路とが接続された共通接続構成を有すると仮定し、さらに、乙第2号証記載の発明を考慮に入れても、依然として、被告のいう共通接続構成では、定電圧回路を付加することはできないのである。

(5) したがって、引用発明及び引用例2に基づいて、本願発明を当業者が容易に推考することができたとする審決の判断は、誤りである。

3 取消事由3（顕著な作用効果の看過）

(1) 審決は、「また、本願発明の効果についてみても、上記構成の採用に伴って当然に予測される程度のものにすぎず、格別顕著なものがあるとは認められない。」（審決書3頁）、としている。

しかし、審決は、本願発明の、外部電源電圧が変動してもセルフリフレッシュ時の消費電流が変化することはない、という顕著な作用効果を看過している。

(2) 前記のとおり、DRAMのセルフリフレッシュ動作時において、外部電源電圧が高くなると、無駄な電流が消費されることになる（甲第6号証）。しかし、本願発明では、リングオシレータが外部電源電圧の変動によらず一定値の内部電源電圧を供給されるから、外部電源電圧が変動しても、セルフリフレッシュのための消費電流が変化することはない（甲第6号証の図5）。

昨今、コンピュータの省電力管理は重要な課題であり、本願発明はそれに大きく寄与するもので、技術的に価値の高いものである。現実には、市場に出回っているほとんどのDRAM製品は定電圧回路を用いている（甲第8号証）。

この効果は、引用例1と引用例2の寄せ集めでは得られない、顕著な作用効果である。

(3) 被告は、引用例1には、リフレッシュ周期が長いほどリフレッシュに要する電流は少なくなることが記載されているから、外部電源電圧が高くなったとしてもリフレッシュ周期を一定にすればリフレッシュに要する電流が変動しないことは明らかであって、原告ら主張の効果は当業者が予測し得る効果に過ぎないと主張する。

被告が引用する、引用例1の「セルフリフレッシュ時のタイマ周期はメモリセルのリフレッシュ周期よりも短くする必要があるが、それでもリフレッシュ周期は長いのでリフレッシュに要する電流は少なくなる。」（甲第3号証1頁右欄）との記載は、リフレッシュ動作時の消費電流が、最小動作サイクル時の消費電流よりも少なくなることを意味するだけであり、リフレッシュ周期が長いほどリフレッシュに要する電流が少なくなることの意味するものではない。

第4 被告の反論の要点

1 取消事由1（引用発明の認定・一致点の認定の誤り）に対して

原告らは、引用発明において、基板電圧発生回路用オシレータ（引用例1発振部）に、セルフリフレッシュ用の周期設定回路は接続されていない（兼ねていない）、と主張する。

乙第1号証には、基板電圧発生回路と自動リフレッシュタイマーとを共に、リングオシレータに接続することが開示されており、この構成は周知の事項である。したがって、引用例1発振部にも、セルフリフレッシュモードのタイマ回路が接続されている。

審決の、引用発明と本願発明との一致点の認定に、誤りはない。

2 取消事由2（相違点についての判断の誤り）に対して

(1) 原告らは、引用例1、引用例2及び乙第1号証には、本件相関関係は開示も示唆もされていないとして、引用例1に定電圧回路を設ける動機が存在せず、引

用例 2 は温度検出器に関するものであり、DRAM の特性、ひいてはリフレッシュ周波数特性の変動に着目することはあり得ないから、これを DRAM のリフレッシュ周期設定回路に適用しようとする動機も存在しない、などとして、引用例 1 と引用例 2 とを組み合わせることは容易に推考できるものではない、と主張する。

(2) 乙第 3 号証ないし第 5 号証には、インバータが、電源電圧の増加に対応して伝搬遅延時間が単調減少するという特性を有することが開示されている。そして、複数のインバータからなるリングオシレータの発振周波数は、インバータの伝搬遅延時間により決定されるから、電源電圧の増加に応じてその周波数が高くなることは当然である。

このことから、引用例 1 発振部の電源電圧が変動すれば、発振周波数が高くなり、引用発明において、一定周期でリフレッシュを行うことができなくなることも明らかである。

そして、リフレッシュ周期が短いほど、消費電流が大きくなることも、周知の技術である（特開昭 63-133392 号公報・乙第 6 号証）。

(3) 引用例 2 は、温度検出器に関するものであるものの、リングオシレータに、定電圧回路を介して一定の電源電圧を供給すると、リングオシレータの周波数も一定となり、電源電圧の変動の影響を除去できることが記載されている。

しかも、引用例 1 と引用例 2 は、リングオシレータに関する点で、共通の技術分野に関するものである。

(4) そうすると、引用例 1 において、セルフリフレッシュのための消費電力が増加するのを防止するため、リングオシレータの発振周波数が変わらないようにし、そのために、引用例 2 のリングオシレータの電源電圧を定電圧回路を介して供給するという技術思想を、引用発明に適用することは、動機付けもあり、当業者が容易に推考し得ることである。

(5) 原告らは、引用発明が、乙第 1 号証のような共通接続構成を備えると仮定しても、同共通接続構成に定電圧回路を接続すると、外部電源電圧が高くなった時でも発振周波数は一定となり基板電圧発生回路は増大する基板電流を吸収することができないから、基板電圧発生回路用オシレータに定電圧回路を付加することはできない、と主張する。

乙第 2 号証には、共通接続構成において、リングオシレータの発振周波数が基板電圧発生回路の出力に直接影響を及ぼさないような構成（乙第 2 号証の場合はスイッチ回路 6）が開示されている。基板電圧発生回路の出力を考慮せずに、リングオシレータの発振周波数を、セルフリフレッシュのためのタイマ回路として最適な周波数に設定する程度のこととは、当業者が当然に工夫することである。

したがって、引用発明に定電圧回路を付加することができない、とはいえない。

3 取消事由 3（顕著な作用効果の看過）に対して

原告らは、審決が、本願発明の、外部電源電圧が変動してもセルフリフレッシュ時の消費電流が変化することはないとの効果を看過している、と主張する。

引用例 1 の「セルフリフレッシュ時のタイマ周期はメモリセルのリフレッシュ周期よりも短くする必要があるが、それでもリフレッシュ周期は長いのでリフレッシュに要する電流は少なくなる。」（1 頁右下欄）との記載、及び、乙第 6 号証（特開昭 63-133392 号公報）の「一般に、自動リフレッシュ時の半導体メモリの消費電流はリフレッシュ動作の頻度、即ちタイマー周期によって決定され、タイマー周期が短い程消費電流が大きい。」（2 頁左上欄）との記載によれば、セルフリフレッシュ時の消費電流は、リフレッシュ動作周期が短いほど大きく、長いほど小さくなることは、周知技術であったと認められる。

リフレッシュ動作周期を一定にすれば消費電流が変動しないことは当業者にとって明らかなことであって、原告らが主張する作用効果は、引用例 1 の記載及び周知事項に基づいて、当業者が容易に予測し得る程度のものに過ぎない。

第 5 当裁判所の判断

1 取消事由 1（引用発明の認定・一致点の認定の誤り）について

(1) 審決の引用発明の認定は、「上記引用例 1 には、疑似スタティックメモリの内部リフレッシュモードにおいて、複数のインバータからなる発振部の発振周波数に基づく一定周期でリフレッシュを行う発明が記載されている。」（審決書 2 頁）というものである。

(2) 引用例 1 には、以下の記載がある。

ア「ダイナミックメモリでは・・・スタンバイ時にもメモリセルの内容を

リフレッシュしなければならず・・・この欠点を改善するため、内部リフレッシュ回路を内蔵し、スタンバイ時には自動的にリフレッシュを行なう擬似スタティックメモリの開発が行なわれるようになってきた。」（甲第3号証1頁左下欄～右下欄）

イ「擬似スタティックメモリの内部リフレッシュモードには、・・・パルスリフレッシュモードと、RFSHをロウレベルに保ってタイマ回路で決められる一定周期で自動的にリフレッシュを行なうセルフリフレッシュモードがある。セルフリフレッシュ時のタイマ周期はメモリセルのリフレッシュ周期よりも短くする必要があるが、それでもリフレッシュ周期は長いのでリフレッシュに要する電流は少なくなる。」（1頁右下欄）

ウ「ところが基板電圧発生回路を内蔵した擬似スタティックメモリでは、基板電圧発生回路は最小動作サイクル時に発生する基板電流を吸収できる能力が必要のため、セルフリフレッシュモード時に、基板電圧発生回路で消費される電流は減少せず、全電流に占める割合が大きくなる欠点がある。」（1頁右下欄～2頁左上欄）

エ「基板電圧発生回路の発振周期は、擬似スタティックメモリが最小動作サイクル時に発生する基板電流を吸収できるよう短かく設定することが必要である。その結果、セルフリフレッシュ時には、タイマ周期が長くなり、リフレッシュに要する電流が少なくなっても、基板電圧発生回路で消費される電流は、その発振周期は短いままなので少なくなることはない。」（2頁左上欄～右上欄）

オ「本発明の目的は、上記の欠点を除去することにより、セルフリフレッシュ時の消費電流を少くしたところの基板電圧発生回路を有する擬似スタティックメモリを提供することにある。」（2頁右上欄）

カ「本発明の擬似スタティックメモリは、・・・基板電圧発生回路の駆動を通常動作時には内部クロックでリフレッシュ時には外部クロックで行うよう制御する制御回路を有する」（2頁右上欄）

キ「第1図は従来の擬似スタティックメモリの一例に用いられる基板電圧発生回路の一例の回路図である。トランジスタQ₁～Q₆からなるインバータ3段の発振部と、トランジスタQ₇、Q₈と容量C₁からなるチャージポンプ部から構成されている。」（2頁左上欄）

ク「実施例に用いられる基板電圧発生回路は、第1図の従来の基板電圧発生回路に入力バッファ部とスイッチ部からなる制御回路11を付加し」（2頁左下欄）

ケ「通常動作時には内部クロックφ₂がロウレベルとなり、スイッチングトランジスタQ₁₁、Q₁₂がオンし、発振部出力でチャージポンプ部を駆動する。セルフリフレッシュ時には内部クロックφ₂がハイレベルとなり、スイッチングトランジスタQ₁₃、Q₁₄がオンし、外部クロックφ₁でチャージポンプ部を駆動する。セルフリフレッシュ時には、タイマ周期が長くなり、基板電流が少なくなるので外部クロックφ₁の周期を長くすることができ、基板電圧発生回路で消費される電流を減少させることができる。」（2頁左下欄～右下欄）

(3) 以上の記載から、引用例1には、実施例として、内部リフレッシュ回路及び基板電圧発生回路を内蔵した擬似スタティックメモリにおいて、発振部（3段のインバータ）とチャージポンプ部とからなる基板電圧発生回路を、通常動作時には発振部の出力で、セルフ（内部）リフレッシュ時には外部クロックでそれぞれ駆動することが記載されている。

しかし、引用例1には、内部リフレッシュ回路の具体的構成やその周期の設定方法について記載はなく、引用例1発振部と内部リフレッシュ回路との接続関係についての記載はない。

したがって、引用例1発振部が、セルフリフレッシュのための周期設定回路を兼用しているとまでは認められない。

(4) 被告は、乙第1号証を挙げ、周知技術（共通接続構成）を参照すれば、引用例1発振部に、セルフリフレッシュの周期設定回路（タイマ回路）が接続されていることは明らかである、と主張する。

確かに、乙第1号証には、基板電圧発生回路のオシレータと自動リフレッシュタイマのオシレータとを共用することが記載されている（第1図参照）。

他方、甲第7号証には、次の記載がある。

ア「例えば山田等が、電子通信学会論文誌、1983年1月、第J66-C

巻、第1号、第62頁ないし第69頁に掲載された論文”Auto/Self Refresh 機能内蔵 64Kbit MOSダイナミックRAM”で解説しているように、リフレッシュ用のアドレスを発生するアドレスカウンタと各行のリフレッシュのタイミングを与えるタイマ回路とを内蔵し、自動的にリフレッシュ動作を実行するセルフリフレッシュモードを有するDRAMが考案され実用化されている。

このセルフリフレッシュ動作については上述の文献に詳しく解説されているが、以下、図面を参照して簡単に説明する。

第3図はセルフリフレッシュモードを有する従来の64KビットDRAMの構成の一例を示すブロック図である。」（甲第7号証2頁左下欄～右下欄）

イ「タイマ93はリフレッシュ制御回路92からのリフレッシュ指示信号 ϕ_r に応答して予め定められた間隔でリフレッシュ要求信号 ϕ_R を出力する。リフレッシュアドレスカウンタ94はこのタイマ93からのリフレッシュ要求信号 ϕ_R に응答してそのカウント値が増分され、そのカウント値に対応するリフレッシュアドレスQ0～Q6をアドレス切替回路95に与える。」（同3頁右上欄）

ウ「第4図は従来のセルフリフレッシュモードを有するDRAMの基板バイアス電圧発生回路の一例を示す図である。第4図において、基板バイアス電圧発生回路41は所定の周波数の発振信号 ϕ_{CP} を出力するリングオシレータ411と、リングオシレータ411からの発振信号を受けるチャージポンプ用キャパシタCと、ノードN_Bと接地電位との間に設けられ、・・・」（同4頁右上欄）

エ「第6図は第4図の基板バイアス発生回路41におけるリングオシレータ411の一例を示す図である。・・・」

第7図は第3図に示されるタイマ93の構成の一例を示す図である。図において、タイマ93はリフレッシュ制御回路92からの信号 ϕ_r に응答して活性化されて発振動作を行なうリングオシレータ93-1と、・・・とを備える。」（同4頁右下欄～5頁左上欄）

以上の記載（なお、上記論文は、乙第2号証の2頁においても、従来技術を開示するものとして引用されている。）によれば、セルフリフレッシュタイマの周期設定用の発振器（リングオシレータ）を、基板電圧発生回路とは別に設ける構成も存在し、周知であったと認めることができる。

引用例1の出願時、基板電圧発生回路とタイマ回路がオシレータ（発振器）を共用する構成（共通接続構成）も、それぞれが専用のオシレータを有する構成も、共に存在しており、共通接続構成が唯一の構成であるとか、一般的に広く用いられていた構成であるとはいえないのであるから、それが引用発明において採用されていたと認めることはできない。

(5) しかし、(4)において引用した甲第7号証の記載からは、引用例1の出願時において、擬似スタティックメモリのセルフリフレッシュの周期設定用の回路として、リングオシレータを使用することは、周知の技術であったと認めることができる。

そうすると、引用例1発振部が、セルフリフレッシュの周期設定回路を兼ねることが記載されていない以上、それとは別個に、リングオシレータが設けられていると理解することがより自然である。このことは、(2)エにおいて認定したとおり、引用例1において、基板電圧発生回路の発振周期と、セルフリフレッシュ時のタイマ周期が異なる（後者が長い）ことが開示されていることから、根拠付けることができる。

(6) 審決は、引用発明の認定に先立ち、まず、

「「[発明の属する技術分野]

本発明は擬似スタティックメモリに関する。

「[従来技術]・・・擬似スタティックメモリの内部リフレッシュモードには、・・・RFSHバーをロウレベルに保ってタイマ回路で決められる一定周期で自動的にリフレッシュを行なうセルフリフレッシュモードがある。」（1頁左下欄第11行～右下欄第14行）」

と、引用例1の記載を引用して、引用発明が一般的な擬似スタティックメモリであることを指摘している。(5)で認定したとおり、擬似スタティックメモリであることから、引用発明はセルフリフレッシュの周期設定の回路としてリングオシレータを備えていると認められるから、「擬似スタティックメモリの内部リフレッシュモードにおいて、複数のインバータからなる発振部の発振周波数に基づく一定周期でリフレッシュを行う発明」との引用発明の認定に誤りがないことは明らかである。そして、引用発明が備えていると認められる内部リフレッシュのためのリング

オシレータが、本願発明のリングオシレータに対応することは当然であるから、本願発明と引用発明との一致点の認定にも誤りはないことになるのである。

(7) 引用例 1 発振部は、基板電圧発生回路に接続されていることは明らかであるものの、リフレッシュ動作の周期設定のための回路であるかどうかは不明であるから、審決が、「後者（判決注・引用発明）の「複数のインバータからなる発振部」は、その第 1 図の回路構成からみてリングオシレータであるから、前者（判決注・本願発明）の「複数のインバータで構成されたリングオシレータ」に対応する・・・」（審決書 3 頁）としているのは、適切な表現ではない。しかし、上記のとおり本願発明と引用発明との一致点の認定の結論自体に誤りはないから、審決の結論に影響を及ぼすものではない。

(8) 以上のとおりであるから、取消事由 1 には理由がない。

2 取消事由 2（相違点についての判断の誤り）について

(1) 下記のとおり、本件証拠中には、次の記載がある。

ア 乙第 3 号証

「このような CMOS インバータを多段接続して成る可変遅延回路は、電源電圧の変化に応じて第 4 図に示すように遅延時間が変化する特性を有している。このような特性は、CMOS インバータのオン・オフ出力の立上りや立下りに生ずる時定数曲線が電源電圧の変化に応じて変化する、即ち容量負荷の電圧が次段の CMOS インバータのスレッシュホールドレベルに達するまでの時間が電源電圧に応じて変化することにより生じるものである。」（2 頁右上欄）。

イ 乙第 4 号証

「第 4 図に一般的な高速型 CMOS 論理素子の「伝播遅延時間－電源電圧依存性」を、第 5 図に同 CMOS 論理素子の「伝播遅延時間－温度依存性」を示す。

高速型 CMOS 論理素子は動作電源電圧範囲が例えば 2 V～6 V と広く、かつその範囲で図示の如く電源電圧の増加に対し伝播遅延時間が単調減少するという特性を持つ。また、その変化量も大きい。」（2 頁左下欄）。

「第 1 図に示す回路においては、可変電圧源 104 によってインバータ 103 の電源電圧を変化することによって、負帰還ループ内の遅延量を容易に変えることができ、したがって、発振周波数を容易に変えることができる。」（3 頁左上欄）

ウ 乙第 5 号証

「現在使用されている C-MOS や TTL 等で構成されたインバータは、第 2 図に示すように、電源電圧を変化させることにより、その通過時間（群遅延時間）が変化するようにになっている。」（3 頁左下欄）

エ 乙第 6 号証

「一般に、自動リフレッシュ時の半導体メモリの消費電流はリフレッシュ動作の頻度、即ちタイマー周期によって決定され、タイマー周期が短い程消費電流が大きい。」（2 頁左上欄）

(2) 以上からは、本件出願時において、外部電源電圧が上昇すると、リングオシレータの発振周波数が高くなること、セルフリフレッシュの頻度が高く（リフレッシュ動作の周期が短く）なると、消費電流が増加することは、周知の技術であったと認めることができる（なお、1 (2) イ及びエで認定した引用例 1 の記載からも、リフレッシュ周期が長いと、リフレッシュに要する電流が少なくなることを、当業者が読み取ることは十分可能である、と認められる。）。

半導体回路において、性能との兼ね合いはあるものの、消費電力を少なくすることは、当業者が当然心がけているものであることはいうまでもない。そのために、セルフリフレッシュの周期を短くしないこと、すなわち、セルフリフレッシュ動作の周期設定のためのリングオシレータの電源電圧を、高くしないこと（一定に保つこと）は、擬似スタティックメモリのセルフリフレッシュの消費電力を増やさないための、本件出願時における当業者の周知技術であった、と認めることができる。

引用例 2（甲第 4 号証）には、複数のインバータからなるリングオシレータの発振周波数の電源電圧の変動による変動をなくして、発振周波数を一定とする手段として、定電源電圧回路を挿入することが記載されている。

そして、引用例 1 及び引用例 2 のいずれも、リングオシレータの分野で共通するものであるから、引用例 2 の定電源電圧回路を引用例 1 の内部リフレッシュ回路に適用することは、当業者が容易に推考することであると認められる。

(3) 前記のとおり、引用発明は、基板電圧発生回路とリフレッシュの周期設定回路において、リングオシレータを兼用する構成を持つものではないと理解されるから、その兼用する構成では、定電圧回路を設けることには技術的な困難があるとする原告らの主張は、その当否を検討するまでもなく、採用できない。

(4) 原告らは、本願発明の定電圧回路は、本件相関関係に着目したものであり、電源電圧の変動により発振周波数が変動するという単なるオシレータの特性から理解できるものではない、と主張し、また、引用例2記載のリングオシレータの定電圧電源は、温度検出器において電源変動によらず正確な温度を検出するためであり、DRAMとは無関係であるから、本件相関関係に着目することはあり得ず、引用例2記載の定電圧回路を引用例1記載のDRAMのリフレッシュ動作に適用しようとする動機が全く存在しない、と主張する。

引用例1及び引用例2のいずれにも、本件相関関係につき明確な記載はないことは、原告らの指摘するとおりである。しかし、そのような記載がなくても、前記のとおり、本願発明の構成を推考することができる以上、原告らが主張するような動機はなくてもよい。

3 取消事由3（顕著な作用効果の看過）について

前記のとおり、（セルフ）リフレッシュ時の消費電流は、リフレッシュの周期に依存することが認められるから、原告ら主張の消費電流が変化しない効果は、リフレッシュの周期を一定にすることによる当然の効果にすぎない。しかも、そのことは、前記の乙第6号証等の記載から容易に読み取れることである。

したがって、原告らが主張する作用効果は、容易に推考できる本願発明の構成に当然伴われるものであり、かつ、当業者が容易に予測し得るものにすぎず、特許を付与するか否かの判断に影響を与える程度のものではない。

4 結論

以上のとおりであるから、原告ら主張の取消事由は、いずれも理由がなく、その他、審決には、取消しの事由となるべき誤りは認められない。

よって、原告らの本訴請求を棄却することとし、訴訟費用の負担について、行政事件訴訟法7条、民事訴訟法61条、65条1項本文を適用して、主文のとおり判決する。

東京高等裁判所知的財産第3部

裁判長裁判官	佐藤久夫
裁判官	設楽隆一
裁判官	高瀬順久

(別紙)

別紙1 別紙2 別紙3 別紙4 別紙5 別紙6 別紙7 別紙8 別紙9