

平成 20 年 2 月 27 日判決言渡 同日原本領収 裁判所書記官

平成 18 年(行ケ)第 10429 号 審決取消請求事件

平成 20 年 2 月 4 日口頭弁論終結

判 決

原告 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ

訴訟代理人弁理士 伊東忠彦，湯原忠男，大貫進介，伊東忠重

同復代理人弁理士 杉山公一

被告 特許庁長官 肥塚雅博

指定代理人 河合章，橋本武，小池正彦，森山啓

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理の申立てのための付加期間を 30 日と定める。

事 実 及 び 理 由

第 1 請求

特許庁が不服 2004 - 14041 号事件について平成 18 年 5 月 10 日にした審決を取り消す。

第 2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は，発明の名称を「集積回路の製造方法と，この方法により製造された集積回路」とする発明につき，平成 5 年 10 月 7 日（パリ条約による優先権主張 1992 年 10 月 7 日，オランダ），特許を出願（以下「本件出願」という。）したが，平成 16 年 4 月 6 日付けの拒絶査定を受けたため，同年 7 月 7 日，審判請求をし，同年 8 月 6 日付け手続補正書を提出して，手続補正（以下「本件補正」という。）をした。

特許庁は、上記審判請求を不服2004-14041号事件として審理した結果、平成18年5月10日、「本件審判の請求は、成り立たない。」との審決をし、同月25日、審決の謄本が原告に送達された。

2 特許請求の範囲

本件補正後の本件出願の請求項1（請求項は全部で12項である。）は、次のとおりである。

「半導体基体を有する集積回路の製造方法であって、

前記半導体基体が、該半導体基体の表面に、絶縁されたゲート電極を持つ電界効果トランジスタと、前記半導体基体内に位置し該半導体基体のソースゾーンとドレインゾーンとの間に延在するチャネル領域と制御電極との間に位置するフローティングゲートを持つ不揮発性メモリ素子とを備え、

前記製造方法により、前記表面に隣接する第1の導電型式の第1及び第2の活性領域が、前記トランジスタ及び前記メモリ素子それぞれに対して前記半導体基体内に規定され、

前記表面が、少なくとも前記第1及び第2の活性領域の部分において、ゲート誘電体を形成する絶縁層で覆われ、該絶縁層上にシリコン層が備えられ、該シリコン層から、前記トランジスタのゲート電極と、前記メモリ素子の少なくとも前記フローティングゲートとが形成される集積回路の製造方法であって、

一連のプロセス工程において、前記トランジスタの活性領域を前記シリコン層で覆ったままにする一方、前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し、その後、前記メモリ素子の第2の導電型式の前記ソース及びドレインゾーンを設け、その後、前記フローティングゲートは、該フローティングゲートの少なくとも側部に、酸化工程によりスペーサと呼ばれる酸化層を備え、

次の一連の工程において、前記トランジスタの前記絶縁されたゲート電極を、マスクエッチングにより前記他の活性領域の上の前記シリコン層から形成し、

前記トランジスタの前記第 2 の導電型式のソース及びドレインゾーンをドーピングにより前記半導体基体内に設けることを特徴とする集積回路の製造方法。」

（以下、審決と同様に請求項 1 に係る発明を「本願発明」といい、本件補正前の明細書（甲第 4 号証）を「当初明細書」といい、本件補正後の明細書（甲第 2 号証）を「本願明細書」という。）

3 審決の理由

別紙審決書の写しのとおりである。要するに、本願発明は、米国特許第 5 1 2 0 6 7 0 号明細書（甲第 1 号証。以下審決と同様に「刊行物 1」という。）記載の発明（以下、審決と同様に「刊行物発明」という。）、特開昭 6 3 - 2 3 9 9 8 6 号公報（甲第 5 号証。以下、審決と同様に「刊行物 2」という。）記載の事項及び周知技術に基づいて、当業者が容易に発明をすることができたものであるから、特許法 2 9 条 2 項の規定により特許を受けることができないとするものである。

審決は、上記結論を導くに当たり刊行物発明の内容並びに本願発明と刊行物発明との一致点及び相違点を次のとおり認定した。

(1) 刊行物発明の内容

「P 導電型のシリコン基板において、アレイ周辺部に形成される半導体素子と仮想接地 E P R O M セルとを製造する方法において、

- （a）前記シリコン基板上にゲート酸化物層を形成し、
- （b）前記ゲート酸化物層上に第一ポリシリコン層を形成し、
- （c）前記第一ポリシリコン層上に第一酸化物層を形成し、
- （d）前記第一酸化物層上に窒化物層を形成し、
- （e）前記窒化物層上に第二酸化物層を形成しその際に前記ゲート酸化物層上に酸化物 - 窒化物 - 酸化物（O N O 層）及び前記第一ポリシリコンの複合層を形成し、

(f) 前記 E P R O M セルが形成される部分に前記 O N O 層 / 第一ポリシリコン複合層の並列ラインを形成するためにマスク構成体を形成するとともに、前記アレイ周辺部は前記マスク構成体で被覆し、

(g) 前記アレイ周辺部は前記マスク構成体で被覆した状態で、前記 O N O 層 / 第一ポリシリコン複合層の露出部分をエッチングして O N O 層 / 第一ポリシリコン複合層の並列ラインを形成し、前記第一ポリシリコン層からなるフローティングゲートを形成し、

(h) 前記アレイ周辺部は前記マスク構成体で被覆した状態で、前記マスク構成体を所定位置に維持しながら、前記フローティングゲートを含む前記 O N O 層 / 第一ポリシリコン複合層の並列ラインをマスクとして、砒素イオンを注入することにより、前記 O N O 層 / 第一ポリシリコン複合層の並列ライン間の前記シリコン基板に、ソース領域及びドレイン領域としても作用する N 導電型のビットラインを形成し、

(i) 前記マスク構成体を除去し、

(j) 前記 N 導電型のビットライン上に二酸化シリコン層を形成すると同時に前記第二酸化物層の厚さを増加させるために差動的酸化を実施する、上記各ステップを有することを特徴とする方法。」

(2) 一致点

「半導体基体を有する集積回路の製造方法であって、

前記半導体基体が、該半導体基体の表面に、半導体素子と、前記半導体基体内に位置するフローティングゲートを持つ不揮発性メモリ素子とを備え、

前記表面が、少なくとも前記第 1 及び第 2 の活性領域の部分において、ゲート誘電体を形成する絶縁層で覆われ、該絶縁層上にシリコン層が備えられ、該シリコン層から、前記メモリ素子の少なくとも前記フローティングゲートが形成される集積回路の製造方法であって、

一連のプロセス工程において、前記トランジスタの活性領域を前記シリコ

ン層で覆ったままにする一方、前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し、その後、前記メモリ素子の第2の導電型式の前記ソース及びドレインゾーンを設けることを特徴とする集積回路の製造方法」である点

(3) 相違点

ア 相違点1

本願発明は、「前記半導体基体が、該半導体基体の表面に、絶縁されたゲート電極を持つ電界効果トランジスタと、前記半導体基体内に位置し該半導体基体のソースゾーンとドレインゾーンとの間に延在するチャネル領域と制御電極との間に位置するフローティングゲートを持つ不揮発性メモリ素子とを備え」とともに、「前記表面に隣接する第1の導電型式の第1及び第2の活性領域が、前記トランジスタ及び前記メモリ素子それぞれに対して前記半導体基体内に規定され」ているのに対して、

刊行物発明は、「P導電型のシリコン基板において、アレイ周辺部に形成される半導体素子と仮想接地EPROMセルとを」備えている点

イ 相違点2

本願発明は、

「前記表面が、少なくとも前記第1及び第2の活性領域の部分において、ゲート誘電体を形成する絶縁層で覆われ、該絶縁層上にシリコン層が備えられ、該シリコン層から、前記トランジスタのゲート電極と、前記メモリ素子の少なくとも前記フローティングゲートとが形成される集積回路の製造方法であって、一連のプロセス工程において、前記トランジスタの活性領域を前記シリコン層で覆ったままにする一方、前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し、その後、前記メモリ素子の第2の導電型式の前記ソース及びドレインゾーンを設け」ているのに対して、

刊行物発明は、

「(a) 前記シリコン基板上にゲート酸化物層を形成し、

(b) 前記ゲート酸化物層上に第一ポリシリコン層を形成し、

(c) 前記第一ポリシリコン層上に第一酸化物層を形成し、

(d) 前記第一酸化物層上に窒化物層を形成し、

(e) 前記窒化物層上に第二酸化物層を形成しその際に前記ゲート酸化物層上に酸化物 - 窒化物 - 酸化物 (ONO 層) 及び前記第一ポリシリコン層の複合層を形成し、

(f) 前記 EPROM セルが形成される部分に前記 ONO 層 / 第一ポリシリコン複合層の並列ラインを形成するためにマスク構成体を形成するとともに、前記アレイ周辺部は前記マスク構成体で被覆し、

(g) 前記アレイ周辺部は前記マスク構成体で被覆した状態で、前記 ONO 層 / 第一ポリシリコン複合層の露出部分をエッチングして ONO 層 / 第一ポリシリコン複合層の並列ラインを形成し、前記第一ポリシリコン層からなるフローティングゲートを形成し、

(h) 前記アレイ周辺部は前記マスク構成体で被覆した状態で、前記マスク構成体を所定位置に維持しながら、前記フローティングゲートを含む前記 ONO 層 / 第一ポリシリコン複合層の並列ラインをマスクとして、砒素イオンを注入することにより、前記 ONO 層 / 第一ポリシリコン複合層の並列ライン間の前記シリコン基板に、ソース領域及びドレイン領域としても作用する N 導電型のビットラインを形成」する「上記各ステップを有する」点

ウ 相違点 3

本願発明は、

「その後、前記フローティングゲートは、該フローティングゲートの少なくとも側部に、酸化工程によりスペーサと呼ばれる酸化層を備え」ているのに対して、

刊行物発明は、

「（i）前記マスク構成体を除去し、

（j）前記N導電型のビットライン上に二酸化シリコン層を形成すると同時に前記第二酸化物層の厚さを増加させるために差動的酸化を実施する、
上記各ステップを有する」点

エ 相違点4

本願発明は、「前記表面が、少なくとも前記第1及び第2の活性領域の部分において、ゲート誘電体を形成する絶縁層で覆われ、該絶縁層上にシリコン層が備えられ、該シリコン層から、前記トランジスタのゲート電極と、前記メモリ素子の少なくとも前記フローティングゲートとが形成される集積回路の製造方法」において、「次の一連の工程において、前記トランジスタの前記絶縁されたゲート電極を、マスクエッチングにより前記他の活性領域の上の前記シリコン層から形成し、前記トランジスタの前記第2の導電型式のソース及びドレインゾーンをドーピングにより前記半導体基体内に設けること」を備えるのに対して、

刊行物発明は、上記の構成を備えるか否か明らかでない点

第3 審決取消事由の要点

審決は、刊行物発明の認定を誤ったため、相違点1、2及び4についての判断を誤り（取消事由1）、相違点3についての判断も誤り（取消事由2）、本願発明の顕著な作用効果を看過したものである（取消事由3）ところ、これらの誤りがいずれも結論に影響を及ぼすことは明らかであるから、違法なものとして取り消されるべきである。

1 取消事由1（刊行物発明の認定の誤りによる相違点1、2及び4についての判断の誤り）

審決は、刊行物1の記載事項として、「（a）図6の右側のポリ1上にON₂O層及びホトレジストに被覆された部分は『アレイ周辺部』であることが記載

されており（第4欄第33～36行参照）、また、アレイ周辺部にも半導体素子が形成されることも明らかである。」と認定している。

しかし、刊行物発明のアレイ周辺部については、刊行物1の4欄33行～36行に、「Also, as shown in FIG. 6, an arsenic implant is avoided in the array periphery utilizing the poly 1 mask; this eliminates the need of the conventional N+ bit line mask.」と記載されているだけであり、メモリアレイ周辺部に関する具体的記述は全くなく、半導体素子が形成されることは記載されていない。したがって、刊行物1が刊行物発明のアレイ周辺部に半導体素子を有する集積回路を開示していると審決が認定したのは誤りであり、この刊行物発明の認定を前提にしてされた相違点1、2及び4についての次の各判断も誤りである。

- (1) 相違点1について、審決が「E P R O M等の不揮発性メモリに隣接して形成される素子として電界効果トランジスタを用いることは、・・・刊行物発明の『アレイ周辺部に形成される半導体素子』として、電界効果トランジスタを用いることは、当業者が必要に応じて適宜なし得たことである。」とした判断
- (2) 相違点2について、審決が「・・・本願発明の如く、『・・・前記トランジスタの活性領域を前記シリコン層で覆ったままにする一方、前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し、その後、前記メモリ素子の第2の導電型式の前記ソース及びドレインを設け』たものとすることは、刊行物1に記載された発明に基づいて当業者が容易になし得たものである。」とした判断
- (3) 相違点4について、審決が「刊行物発明は、『P導電型のシリコン基板において、アレイ周辺部に形成される半導体素子と・・・方法』であって、・・・刊行物発明は、『アレイ周辺部』にも『半導体素子』を備えることは明らかであり、・・・前記アレイ周辺部にM O Sトランジスタのゲートを形成

し、その後、・・・することは、当業者が容易になし得たものである。」とした上で、「刊行物 1 に記載された発明及び従来周知の技術に基づいて、本願発明の如く、『前記トランジスタの前記絶縁されたゲート電極を、マスクエッチングにより前記他の活性領域の上の前記シリコン層から形成し、前記トランジスタの前記第 2 の導電型式のソース及びドレインゾーンをドーピングにより前記半導体基体内に設けること』は、当業者が何ら困難性になし得たものである。」とした判断

2 取消事由 2（相違点 3 についての判断の誤り）

相違点 3 について、審決は「『スペーサ』の言葉の意味は、『あるものと他のものとを隔てるもの』を意味するに過ぎず、言い換えると、本願発明の『スペーサ』は、『フローティングゲート』が『酸化層』により『隔てられるもの』と『フローティングゲート』の間に介在されたものであって、本願発明の『スペーサと呼ばれる酸化層』は、酸化層を単に『スペーサ』と呼んでいるに過ぎない。」「よって、刊行物発明において、・・・従来周知の、フローティングゲートの側面にシリコン酸化膜を形成する技術を用いることにより、本願発明の如く、『フローティングゲートの少なくとも側部に、酸化工程により』『酸化層』を形成することは、当業者が何ら困難性になし得たものである。」と判断している。

しかし、審決の上記判断は誤りである。

- (1) 本願発明における「スペーサ」は、特許第 2 6 8 5 4 9 3 号公報（甲第 1 0 号証）、特許第 2 8 0 7 6 7 7 号公報（甲第 1 1 号証）、特許第 2 9 0 6 4 6 0 号公報（甲第 1 2 号証）、前田和夫『はじめての半導体プロセス』（工業調査会、2 0 0 0 年 1 2 月 2 0 日）1 9 6 ～ 1 9 9 頁（甲第 1 3 号証）に示されるように、M O S 型半導体素子分野に技術常識である「スペーサ」と同じものであり、「ゲート電極の側部に、その厚さを制御されて形成される絶縁層」であって、「溝を形成する（マスク）エッジを有し、チャネ

ル（ゲート電極直下）から分離されたコンタクト領域（ソース／ドレイン）をイオン打込みによって形成することが可能な形状」を意味する。これに対し、刊行物発明の「二酸化シリコン層」は、差動的酸化工程により形成されたものであり、隣接するメモリ素子のフローティングゲート（ポリ１）間を完全に充填する厚い（高い）平坦形状を有しており、「スペーサ」と呼ばれるものではない。

- (2) 審決が周知例として挙げたゲート側面のシリコン酸化膜は、あくまでもゲートの電極の「側部」に形成されたものであり、厚い（高い）平坦なシリコン酸化膜を形成することを目的とする刊行物発明の目的とは反するものである。もし、上記の周知技術を刊行物発明に適用しようとするれば、熱酸化を途中で止めなければならず、刊行物発明の目的に反することになるから、適用を阻害する要因がある。
- (3) このように、追加的充填平坦化工程を排除しつつ同時に表面平坦化を達成することこそが刊行物発明の目的なのであるから、刊行物発明にフローティングゲート側面でのシリコン酸化膜形成技術を適用することは、当業者にとって困難である。

3 取消事由３（顕著な作用効果の看過）

本願発明は、「電界効果トランジスタの活性領域をシリコン層で覆ったままでメモリ素子のソース及びドレインゾーンを設け、メモリ素子のフローティングゲートの少なくとも側部にスペーサと呼ばれる酸化層を設けることにより、電界効果トランジスタ特性に影響を及ぼすことなく、EPROMへのホットエレクトロン注入を向上させる」という作用効果を奏するものであり、この作用効果は、審決が引用したどの文献にも開示されていない。

本願発明の作用効果の顕著性は、甲第３号証の【図１】aの測定例に表われており、原告が行ったシミュレーション結果（甲第１４号証）によれば、刊行物発明にあるような厚い二酸化シリコン層では、本願発明のスペーサの効果は

得られない。

第4 被告の反論の骨子

審決の認定判断はいずれも正当であって、審決を取り消すべき理由はない。

1 取消事由1（刊行物発明の認定の誤りによる相違点1，2及び4についての判断の誤り）について

特開昭56-116670号公報（乙第1号証），特開昭58-52871号公報（乙第2号証），特開昭62-23149号公報（乙第3号証）及び鈴木八十二編著『半導体MOSメモリとその使い方』（1990年8月30日初版第1刷発行，日刊工業新聞社）69～88頁（乙第4号証）によれば，以下の事項がEPROM装置（不揮発性メモリ装置）における技術常識であると認められる。

- (1) EPROM装置は，半導体集積回路装置であって，メモリアレイ部と周辺回路部から構成されること。
- (2) EPROM装置を構成するメモリアレイ部と周辺回路部は，いずれも電界効果トランジスタで形成されること。
- (3) EPROM装置において，周辺回路部は，メモリアレイ部の周辺に形成されていること。
- (4) 半導体集積回路であるEPROM装置において，メモリアレイ部のフローティングゲート電極と周辺回路部の電界効果トランジスタのゲート電極との製造は，同一導電層（多結晶シリコン又はポリシリコン）のパターニングによって行われていること。

上記の技術常識を参酌すると，刊行物1記載の「EPROM装置」において，EPROMアレイとその周辺部に形成された周辺回路部（アレイ周辺部）は，いずれも電界効果トランジスタで形成されていたものと解され，電界効果トランジスタが「半導体素子」であることは明らかであるから，「アレイ周辺部にも半導体素子が形成されることも明らかである」との審決の認定に誤りはなく，

この認定を前提とした審決の相違点 1 , 2 及び 4 についての判断にも誤りはない。

2 取消事由 2 (相違点 3 についての判断の誤り) について

本願明細書の記載から明らかなように、本願発明のスペーサは、メモリセルを構成する不揮発性メモリのフローティングゲート (多結晶で構成) の酸化により形成されるものであり、この厚い酸化層により、ドレイン領域とフローティングゲート間を離間し、両者間の容量 (キャパシタンス) を小さくし、メモリセルの特性を改善するものである。

- (1) 甲第 10 ないし第 13 号証のスペーサは、本願発明のスペーサとは、機能も製法も異なるから、これらの文献の記載に基づく原告の主張は失当である。
- (2) 刊行物発明の「二酸化シリコン層」も、「 (フローティング) ゲート電極の側部に、その厚さを制御されて形成される酸化層」ということができる。
- (3) 酸化層の厚さをどの程度にするかは、当業者が適宜設定できる事項であり、原告が主張するような阻害要因はない。

3 取消事由 3 (顕著な作用効果の看過) について

刊行物発明も、「シリコン層で覆ったままにする」工程を備えているから、刊行物発明も本願発明と同様な作用効果を奏することは明らかである。

刊行物発明においても、差動酸化工程により、フローティングゲートとドレイン領域間の容量が減少することは明らかである。

刊行物発明は、本願発明のスペーサに実質的に対応する構成を備えているのであるから、本願発明と同様に「電界効果トランジスタ特性に影響を及ぼすことなく、E P R O M へのホットエレクトロン注入を向上させる」ことができることは、当業者が容易に予測することができる程度の作用効果にすぎない。

また、甲第 3 号証の【図 1】a には、不揮発性メモリのゲート側面の多結晶シリコンを酸化してスペーサを形成する場合に、酸化温度によりメモリに対するプログラミング時間が異なることが示されている。しかし、本件出願の請求

項 1 には、酸化温度等について何も記載されていないから、原告の主張は失当である。

甲第 1 4 号証におけるシミュレーションは、本願発明の前提となるフローティングゲートを備えていない条件で行われており、上記のとおり、本件出願の請求項 1 には、酸化時間や酸化膜の厚さについて何も記載されていないのであるから、甲第 1 4 号証の記載に基づく主張は失当である。

第 5 当裁判所の判断

1 取消事由 1（刊行物発明の認定の誤りによる相違点 1，2 及び 4 についての判断の誤り）について

(1) 刊行物 1 には、FIG.6とともに、次の記載がある。

「注意すべきことであるが、本発明により、ポリ 1 マスクからなるホトレジストを所定位置に維持したままで N + 砒素注入を行なう。このことは、砒素注入が O N O 内に入ることを回避している。この注入の後に、該ホトレジストを剥離する。図 6 に示した如く、ポリ 1 マスクを使用してアレイ周辺部において砒素注入は回避されている。このことは、従来の N + ビットラインマスクの必要性を取除いている。」（4 欄 3 1 行～3 8 行の訳文（審決 4 頁 1 4 行～1 9 行））

しかし、上記のアレイ周辺部の具体的な構成について、刊行物 1 には、上記の程度の記載があるだけで、それ以上の具体的な記載は見当たらない。

(2) 乙第 1 ないし第 4 号証

ア 特開昭 5 6 - 1 1 6 6 7 0 号公報（乙第 1 号証）

「一般に E P R O M 装置は一つの半導体基板主面に形成されたフローティングゲート電極およびそのゲート電極の上にコントロールゲート電極を有する複数の M I S（Metal Insulator Semiconductor）型メモリトランジスタから成るメモリアレイ部と、そのメモリアレイ部の周辺に形成された複数の M I S 型トランジスタ（以下、周辺トランジスタと称す。）から成る入・出力回路およびデコーダ回路等の周辺回路部とから成っている。」（2 頁左上欄 2 行～1 1 行）

「(f) ホトレジスト膜 20 を除去した後，メモリトランジスタのフローティングゲート電極，周辺トランジスタのゲート電極および必要な配線層を形成するために基板 10 上に厚さ 3500 の多結晶シリコン層 21 を CVD (Chemical Vapour Deposition) 法により形成する。この多結晶シリコン層 21 をホトレジスト膜 22 をマスクとして選択的にエッチング（パターンニング）し，周辺トランジスタのゲート電極 G1，G2，G3 および配線 L1 を形成する（第 8 図参照）。」（3 頁右上欄 7 行～16 行）

イ 特開昭 58 - 52871 号公報（乙第 2 号証）

「EPROM においては一般に，高速化及び高集積化を図るために N チャネル MOSFET（Metal Insulator Semiconductor Field Effect Transistor）によって記憶セル部及び周辺回路部を構成していた。」（1 頁左下欄 19 行～右下欄 3 行）

「次いで第 5 C 図のように，化学的気相成長技術（CVD 法）によって全面に成長させた 1 層目のポリシリコン膜をリン処理（リン不純物をポリシリコン中にドーピングする）し，その後フォトエッチング技術でパターンニングして，メモリセル部上の全面を覆うポリシリコン膜 43 と，周辺回路の高電圧印加回路の MOSFET の各ゲート電極 9，10，11 とを夫々残す。」（4 頁右上欄 19 行～同左下欄 6 行）

ウ 特開昭 62 - 23149 号公報（乙第 3 号証）

「まず第 4 図の如く，P 型シリコン基板 1 の一主面側に，公知の半導体製造技術に従って N 型ウエル 2，素子分離用のフィールド SiO₂ 膜 3 を所定パターンに形成する。図中の 4 はこのフィールド SiO₂ 膜を選択酸化技術で形成する際に用いる酸化マスク（窒化シリコン）である。フィールド SiO₂ 膜 3 によって，高耐圧化 MOSFET（第 3 図のトランジスタ Q_{HBD}）用の素子領域 A，メモリ用の素子領域 B，相補型 MOS 回路を構成する N チャネル MOSFET（第 2 図のトランジスタ Q_{HSP}）及び P チャネル MOSFET 用の素子領域 C 及び D が夫々分離さ

れる。領域 A , C 及び D の素子はメモリアレイ M - A R Y の周辺回路を構成する。」(4 頁左上欄 4 行 ~ 1 7 行)

「次いで第 7 図の如く , C V D により全面に形成し不純物 (リン) をドーピングして低抵抗としたポリシリコンをエッチングでパターニングし , 素子領域 A 及び B のゲート酸化膜 6 上に 1 層目のポリシリコンからなるゲート電極 9 , フローティングゲート層 1 0 を夫々形成する。」(4 頁右上欄 1 0 行 ~ 1 5 行)

エ 鈴木八十二編著「半導体 M O S メモリとその使い方」(1 9 9 0 年 8 月 3 0 日初版第 1 刷発行 , 日刊工業新聞社) 6 9 ~ 8 8 頁 (乙第 4 号証)

「 5 - 4 E P - R O M の周辺回路

E P - R O M の周辺には , 書き込むために必要なレベルシフター , 高電圧 / 低電圧切換回路および書き込み回路などがある。」(7 9 頁 7 行 ~ 8 行)

そして , 8 0 頁の図 5.8 , 8 1 頁の図 5.9 , 8 3 頁の図 5.12 には , 電界効果トランジスタを用いた周辺回路の具体的構成が示されている。また , 7 5 頁には , これらの周辺回路は , メモリセルアレイの周辺部に配置されることが示されている。

オ 上記の各記載によれば , E P R O M 装置において , 一般に , メモリアレイの周辺部には , M I S 型トランジスタ (電界効果トランジスタ) から成る周辺回路が形成されていること , メモリ素子を構成するトランジスタのフローティングゲート電極と周辺トランジスタのゲート電極とは , 同じ多結晶シリコン層 (ポリシリコン層) をパターニングして形成されることは , 本件出願前における E P R O M 装置に関する技術常識であったものと認められる。

したがって , E P R O M 装置のメモリアレイ部の周辺には , 電界効果トランジスタから構成される周辺回路が配置されること , メモリ素子のフローティングゲート電極と周辺回路部の電界効果トランジスタのゲート電極とは , 同じ多結晶シリコン層 (ポリシリコン層) のパターニングにより形成されることは , いずれも本件出願前における当業者の技術常識に属する事項であったといえることができる。

- (3) 刊行物 1 の前記(1)の記載及びFIG.6によれば、FIG.6の中央及び右側の P O L Y 1 (多結晶シリコン膜)で覆われた部分がメモリアレイ周辺部であり、左側の N + 砒素注入が行われている領域がメモリアレイ領域であることが認められる。

そして、上記(2)に認定した技術常識に照らせば、刊行物発明においても、メモリアレイ周辺部には、電界効果トランジスタから成る周辺回路が構成されるものと理解するのが自然かつ合理的である。したがって、審決が刊行物 1 の記載事項として、「(a) 図 6 の右側のポリ 1 上に O N O 層及びホトレジストに被覆された部分は「アレイ周辺部」であることが、記載されており(4 欄 3 3 行 ~ 3 6 行参照)、また、アレイ周辺部にも半導体素子が形成されることも明らかである。」と認定したことに誤りはない。

- (4) 原告は、刊行物 1 がメモリ周辺部に半導体素子を有する集積回路を開示しているとの認定は誤りであることを前提にして、相違点 1 , 2 及び 4 についての審決の判断も誤りであると主張するが、上記(3)のとおり、前提が成り立たない以上、原告の主張を採用することはできない。

2 取消事由 2 (相違点 3 についての判断の誤り) について

- (1) 特許請求の範囲の請求項 1 には、本願発明における「スペーサ」について、次の記載がある。

「一連のプロセス工程において、前記トランジスタの活性領域を前記シリコン層で覆ったままにする一方、前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し、その後、前記メモリ素子の第 2 の導電型式の前記ソース及びドレインゾーンを設け、その後、前記フローティングゲートは、該フローティングゲートの少なくとも側部に、酸化工程によりスペーサと呼ばれる酸化層を備え(る)」

本願発明における「スペーサ」は、上記の特許請求の範囲の記載によれば、メモリ素子のフローティングゲートの少なくとも側部に、酸化工程により形

成された酸化層であると規定されている。

- (2) 本願明細書及び図面（甲第3号証）には，本願発明及び「スペーサ」について，次の記載がある。

「【0004】

【発明の目的及び概要】本発明は，とりわけ，埋め込みの不揮発性メモリの製造方法を提供することを目的とする。これにより，回路の論理回路部分の品質を下げること無く，最小数のプロセス工程が付加された通常の論理回路プロセスを使用することにより，メモリの最適化が得られる。

【0005】本発明によれば，冒頭で述べたような種類の方法は，一連のプロセス工程において，前記トランジスタの活性領域を前記シリコン層で覆ったままにする一方，前記メモリ素子の前記フローティングゲートをマスクエッチングにより前記シリコン層から形成し，その後，前記メモリ素子の第2の導電型式の前記ソース及びドレインゾーンを設け，前記フローティングゲートは，該フローティングゲートの少なくとも側部に，酸化工程によりスペーサと呼ばれる酸化層を備え，次の一連の工程において，前記トランジスタの前記絶縁されたゲート電極を，マスクエッチングにより前記他の活性領域の上の前記シリコン層から形成し，前記トランジスタの前記第2の導電型式のソース及びドレインゾーンをドーピングにより前記半導体基体内に設けることを特徴とする。

【0006】本発明は，とりわけ，フローティングゲートの側部が絶縁層で覆われるやり方が不揮発性メモリに大きな影響を与えるという認識に基づく。この層は，例えば，電荷がフローティングゲートからリークするときの速度を決定し，それ故に，できるだけ長くすべきであるメモリの保持時間を決定する。しかしながら，フローティングゲート上のスペーサは，低電圧で迅速にメモリをプログラムすることを可能にするホットエレクトロン効果に強い影響を与えることもわかる。800 の酸化温度よりも900 の酸化温度で，より良好なプログラミング速度が得られることが実験からわかった。本発明に係る方法では，回路のEPROM

の部分に対するスペーサ酸化は論理回路部分では行われなため、メモリのホットチャージキャリア効果に関して、回路の残りの部分においてこの効果を強めることなくプロセスを最適化することが可能である。図の説明から明らかになるように、この最適化のために付加されるプロセス工程数は非常に少なく、2又は3程度の追加マスクが必要になるだけである。」

「【0008】本発明に係る他の実施例は、前記スペーサを、水蒸気を有する酸化環境下での熱酸化を通じて、前記フローティングゲートの端部に形成することを特徴とする。この酸化の方法は、水蒸気が存在しない場合よりも酸化レートが高いという、それ自体は既知の利点を有するだけでなく、水蒸気が存在しない酸化よりもフローティングゲート電極のかなり下まで酸化し、ホットチャージキャリアの発生に対し好適であるという利点を有する。加えて、フローティングゲートの下部における酸化は、フローティングゲートとドレインゾーン（またはソースゾーン）との間のキャパシタンスを効果的に減少する。EPROMセルのプログラミングの間、例えば6Vの電圧がドレインゾーンに印加され、一方、制御ゲートの電圧が例えば12Vであれば、同じビット線の非選択セルのドレインゾーンも6Vであろう。フローティングゲートとドレインゾーンとの間の容量結合により、非選択セルのフローティングゲートで電位が上昇するであろう。もしキャパシタンスが多きすぎると、非選択セルが導通状態になるかも知れず、この結果大きな漏れ電流がビット線に流れるであろう。上記のスペーサ酸化により、ドレインゾーンとフローティングゲート電極との間に厚い酸化が形成され、これにより、寄生容量の減少が生じる。

「【0009】フローティングゲートの端部の酸化は、少なくとも800の温度で実行されることが好ましい。約900の酸化温度で良好な結果が得られる。」

「【0016】

【実施例】本発明に基づく効果を明確にするため、図1aは、プログラミング速

度に関する，或る工程パラメータ，即ち酸化温度の影響を示す。図 1 b は，n 型ソースゾーン 2 及び n 型ドレインゾーン 3 が互いに或る距離離れて設けられた p 型半導体基体 1 を備えた，それ自体の構造は既知であるプログラム可能な不揮発性メモリセルの断面図である。・・・本発明の基本を形成する研究により，閾電圧はスペーサ 8 に大きく依存して変化する事が分かった。図 1 a において，閾電圧 V_{th} が縦軸にプロットされ，横軸にプログラミング時間 t がプロットされている。曲線 A 及び B は，メモリセルに対する閾電圧勾配を示し，このセルにおいて，スペーサ 8 は，800 及び 900 の温度のそれぞれで，水蒸気を含有する酸化環境下の熱処理により形成された。メモリセルを製造するときの他の全ての環境は，実質上同一である。グラフから明確なように，スペーサの酸化は，メモリセルのプログラミング特性に非常に大きく影響する。特に 900 の酸化は，より良い結果を導く。なぜならば，調査した実施例におけるプログラミングが，800 のときよりも，数桁速く行われるからである。この差の原因は正確には知られていない。ことによると，温度がソース及びドレインゾーンの拡散パターンに与える影響が原因かもしれない，あるいは他の影響も多かれ少なかれ重要かもしれない，結局，本発明は上記の点に限定されるべきではない。」

「【0018】さらに重要なパラメータは，メモリセルのドレインゾーンとフローティングゲートとの間の容量である。プログラミング中，例えば 6 V の比較的高い電圧がドレインゾーンに供給され，一方，例えば 12 V の電圧が制御ゲート 7 に供給される。ビット線を選択セルと共有する非選択セルも，この非選択セルのドレインゾーンは 6 V である。フローティングゲートとドレインゾーンとの間の容量のために，非選択セルにおけるフローティングゲートの電位が上昇するであろう。当該容量が十分に大きい場合，非選択セルは，ビット線にかなりの量の漏れ電流を発生させることが可能である伝導状態で駆動するかもしれない。寄生容量はスペーサ酸化によって減少させることができ，このためにフローティングゲートとドレインとの間の酸化物は厚くなる。しかしながら，EPROM を最適化する

ためのこのような手段は、論理回路においては必ずしも望ましくはない。」

「【００２６】この酸化は、前述の有利なメモリ特性が得られるようなやり方で実行される。水蒸気を含んだ酸化環境下において、約７分間、約９００の温度で酸化することにより、良好な結果が得られる。フローティングゲート１３の側面だけでなく制御ゲート１２の側面も覆うスペーサ１９の厚さは、ここでは約３０nm - ８０nmである。ここの例でのスペーサ１９は、フローティングゲートの側面全てを覆うのではなく、ソース及びドレインゾーンに隣接する側面のみを覆い、しかも、ワード線の下部に位置するフローティングゲートの端部は、より薄いオキシナイトライドで覆われることに注意されたい。酸化により、酸化物３３がソースゾーン及びドレインゾーン１５及び１６の上部に形成されても良い。この酸化物は、フローティングゲート１３の下部に延在しても良く、ホットチャージキャリアの発生に貢献し、そして如何なる場合においてもフローティングゲート電極の寄生容量の減少に貢献することができる。制御ゲート１２上面及び論理回路部分の結合した多結晶層２６，３０（図１０a参照）の上面は、酸化工程の間、オキシナイトライド層３１により酸化に対してマスクされ、この結果、全く又は少なくとも実質的に、ここには酸化物が形成されない。」

ア 上記の各記載によれば、次の事項が認められる。

本願発明は、メモリ素子の閾値及びプログラミング（書き込み）特性が、メモリ素子のフローティングゲートの側面に形成される酸化物（スペーサ）に大きく依存するという知見に基づくものである。

具体的には、水蒸気雰囲気中において、特に９００の熱酸化により酸化物を形成することで、良好な結果が得られた。

この酸化により、フローティングゲートとドレインとの間に厚い酸化膜が形成され、両者間の容量を減少させることができ、メモリ素子の最適化が可能である。

以上のような最適化手段は、論理回路を構成する電界効果トランジスタに

は必ずしも望ましくない。そこで、本願発明では、メモリ素子と論理回路を構成する電界効果トランジスタとで共通化することができる工程は可能な限り共通化しつつ、最適化が必要な工程は、メモリ素子部と論理回路部とで別工程とした。

イ さらに、【図１０】bと段落【００２６】の「酸化により、酸化物３３がソースゾーン及びドレインゾーン１５及び１６の上部に形成されても良い。この酸化物は、フローティングゲート１３の下部に延在しても良く、ホットチャージキャリアの発生に貢献し、そして如何なる場合においてもフローティングゲート電極の寄生容量の減少に貢献することができる。」との記載によれば、本願発明の「スペーサ」は、酸化の工程で、ソース領域及びドレイン領域１５及び１６の上部に形成されてもよいことが認められる。

ソース領域及びドレイン領域１５及び１６の上部の酸化物の形成は、フローティングゲートの側面の酸化層１９（スペーサ）の形成と同時に進行するから、【図１０】bからも明らかなように、酸化物３３と酸化層１９（スペーサ）はつながって形成される。したがって、本願発明について、次の事項も認められる。

酸化工程で、フローティングゲート側部の酸化層１９（スペーサ）と同時に、ソース領域及びドレイン領域１５及び１６の上部に酸化物３３が形成されてもよい。この酸化物３３は、酸化層１９（スペーサ）とつながっている。

ウ 以上によれば、本願発明における「スペーサ」とは、メモリ素子のフローティングゲートの少なくとも側部に形成された酸化層であって、フローティングゲートとドレインとの間を厚い酸化膜により隔離するためのものであり、その全体的な形状、横方向の厚さ、ソース領域及びドレイン領域上の酸化層の有無等は、本質的なものではないと認められる。

(3) 原告は、本願発明の「スペーサ」が甲第１０ないし第１３号証に示されるように、ＭＯＳ型半導体素子分野に技術常識である「スペーサ」と同じもの

であり、「ゲート電極の側部に、その厚さを制御されて形成される絶縁層」であって、「溝を形成する（マスク）エッジを有し、チャネル（ゲート電極直下）から分離されたコンタクト領域（ソース／ドレイン）をイオン打込みによって形成することが可能な形状」を意味するのに対し、刊行物発明の「二酸化シリコン層」は、差動的酸化工程により形成されたものであり、隣接するメモリ素子のフローティングゲート（ポリ１）間を完全に充填する厚い（高い）平坦形状を有しており、「スペーサ」と呼ばれるものではないと主張する。

ア 甲第１０ないし第１３号証には、次の記載がある。

甲第１０号証４欄４３行～５欄４行

「上記のようは無機反応ガスを用いてＣＶＤ法によって得られるＳｉＯ₂膜１１は、ＴＥＯＳなどの有機反応ガスから得られるＳｉＯ₂膜の熱収縮率が５～１０％（９００～１０００の熱処理後）と高いのに対し、その熱収縮率が約１％（（９００～１０００の熱処理後）と低いことから、熱処理による膜収縮が少ない。

次に、上記ＳｉＯ₂膜１１を、例えば反応性エッチング（ＲＩＥ）などの異方性エッチングで加工してゲート電極９の側壁にスペーサ１２を形成した後、ゲート電極９およびスペーサ１２をマスクに用いて基板１の表面にヒ素（Ａｓ）イオンなどを打ち込み、ゲート電極９の両側に高濃度拡散領域１３を形成する（第１図（ｄ））。」

甲第１１号証８欄５行～９行

「第１２図：例えばテトラエチル・オルト・ケイ酸塩の熱分解により酸化物層を全面析出させ、これを戻しエッチングすることによりゲート構造３５，３６ならびにエミッタとベースの接続端構造３７，３８に対してスペーサと呼ばれる側面絶縁分離層３９が作られる。」

甲第１２号証５欄２８行～３３行

「第３図（ａ）～（ｄ）は、本発明の一実施例の製造工程を説明するための半導

体装置の断面図である。

第3図(a)は、第2参考例の場合と同様の製造工程を経てゲート電極5a, 5bを形成した後に、半導体基板上全面にCVD法により膜厚2000Åの第3の酸化膜23を堆積した状態を示す図である」

甲第12号証5欄43行～49行

「続いて、異方性のRIEにより、エッチバックを行い、おおむね2000Åの酸化膜をエッチングする。その結果・・・第1のスペーサ6が形成され、・・・第2のスペーサ7が形成される。」

甲第13号証198頁の図6.20

上記図の(a)～(g)をみると、(c)の工程でCVDによりSiO₂層を全面に成長させ、次に、(d)の工程でエッチバックにより余分なSiO₂を除去してスペーサを形成している。

上記の各記載によれば、原告の挙げる上記の各文献においては、スペーサは、化学的気相成長法(CVD)や有機反応ガスによりゲート電極の外側に酸化層を堆積した後、異方性エッチングにより余分な酸化層を除去することにより形成されている。このように、「スペーサ」を酸化層の成長とその後の異方性エッチングにより形成しているのは、その後のイオン打込み工程のマスクとして用いるためであり、この場合には、ゲート電極の側壁を構成する「スペーサ」の厚さでイオン打込み領域が画定されるので、スペーサの厚さを精密に制御する必要があるからであると解される。

イ これに対し、本願明細書の発明の詳細な説明においては、本願発明のスペーサは、水蒸気雰囲気中での酸化処理により、フローティングゲートを構成する多結晶シリコン自体を酸化して形成するとしている(前記(2)段落【0008】)。刊行物発明でも、水蒸気雰囲気中での酸化処理により二酸化シリコン層を形成しており、本願発明の酸化層の形成方法と同じである。そして、本願発明においては、酸化処理の方法によるからこそ、フローティング

ゲートとドレインの間に厚い酸化膜が形成され、両者間の容量が低減するのであって、フローティングゲートの側部に形成される酸化層自体の厚さは、本願発明において本質的なものではない。また、原告も認めているとおり、本願発明の「スペーサ」は、イオン打込み工程のマスクとして用いられない。

ウ 以上のとおり、甲第10ないし第13号証の「スペーサ」は、いずれも、化学的気相成長法（CVD）や有機反応ガスによる酸化層の成長とその後の異方性エッチングにより形成されるものであり、本願発明の「スペーサ」と同じものではない。したがって、原告の上記主張を採用することはできない。

(4) 刊行物1には、次の記載がある。

「図7に示した如く、ホトレジストを剥離した後に、酸化ステップを実施して、窒化物の酸化を完了し且つ更に30 の二酸化シリコンを形成してONO層を完成する。900 の蒸気酸化により、ポリ1ライン間に差動的又は差分的酸化成長が発生する。この温度において、窒化物上に30 の二酸化シリコンを成長させるのに必要とされる時間では、P-シリコン基板上に1000 の厚さの二酸化シリコンが形成される。2/1差動的酸化比の場合、図7に示した如く、N+ビットライン上に2000 の厚さの二酸化シリコンが形成される。

この技術により、セルのワードライン（不図示）とN+ビットラインとの間の容量が最小とされる。本プロセスの爾後の積層型エッチ部分期間中のONO/ポリ1のエッチングは、N+ビットライン上で最大500 エッチングし、その場所に少なくとも1500 の二酸化シリコンを残存させ、従ってこのエッチングステップ期間中にN+ビットラインが断線（即ち、「食い込み」）が発生することを回避している。

従って、本発明プロセス即ち方法は、ポリ1ライン間の平坦化ステップを回避し、ONO又はポリ1内への砒素注入は良好に制御され、且つ熱酸化のみが関与するに過ぎない。」（4欄3行～55行の訳（審決4頁20行～36行））

上記の記載によれば、刊行物発明は、900 の水蒸気酸化により、ポリ

1（メモリ素子のフローティングゲートを構成する多結晶シリコン）を差動的に酸化して、N＋ビットライン（ソース領域、ドレイン領域）上に厚い二酸化シリコンを形成したものであり、これにより、セル（半導体メモリ）のワードライン（ゲート電極）とN＋ビットライン（ソース領域、ドレイン領域）との間の容量が最小となり、また、表面が平坦化されるため、平坦化のための余分な工程をなくすることができるものであることが認められる。

本願発明における「スペーサ」とは、前記2(1)のとおり、メモリ素子のフローティングゲートの少なくとも側部に形成された酸化層であって、フローティングゲートとドレインとの間を厚い酸化膜により隔離するためのものと理解することができ、その全体的な形状、横方向の厚さ、ソース領域及びドレイン領域上の酸化層の有無等は、本質的なものではない。そうすると、本願発明でいう「スペーサ」と刊行物発明の「厚い二酸化シリコン層」とを区別することはできない。

仮に、原告が主張するように、本願発明の「スペーサ」が刊行物1のFIG. 6とは異なり、メモリ素子間の谷間を埋めるような平坦で高く、かつ、厚い（横に長い）ものではないとしても、刊行物発明では、平坦化のための余分な工程をなくすることが目的の一つとされているものの、その前提として、900の水蒸気酸化によりメモリ素子のフローティングゲートの側部を酸化することにより、セル（半導体メモリ）のワードライン（ゲート電極）とN＋ビットライン（ソース領域、ドレイン領域）との間の容量を小さくすることができるという技術的知見を、上記刊行物1の記載から読み取ることができるから、結局、本願発明の「スペーサ」は、刊行物1に示唆されているといえることができる。

- (5) 原告は、追加的充填平坦化工程を排除しつつ表面平坦化を達成することこそが刊行物発明の目的なのであるから、刊行物発明にフローティングゲート側面でのシリコン酸化膜形成技術を適用することは、当業者にとって困難で

あると主張する。

しかし、二酸化シリコン層等の絶縁膜により、フローティングゲート間を充填平坦化することは、技術常識であり、いずれかの工程で平坦化を行う必要があることは明らかである。また、刊行物発明の「厚い二酸化シリコン層」、本願発明の「スペーサと呼ばれる酸化層」、のいずれについても、厚さは何ら規定されていない。したがって、当業者は、審決において提示された特開昭 60 - 250676 号公報（甲第 7 号証）、特開昭 54 - 71585 号公報（甲第 8 号証）及び特開昭 61 - 225871 号公報（甲第 9 号証）に記載されている「不揮発性メモリのフローティングゲート」の側面に熱酸化によりシリコン酸化膜を形成する周知技術を参酌することにより、刊行物発明の「二酸化シリコン層」をどの程度の厚さとするかを適宜設定することができるものと推認される。

- (6) 以上によれば、相違点 3 について審決のした判断に誤りはなく、本願発明の「スペーサ」が MOS 型半導体素子分野で技術常識の「スペーサ」と同じものであって、刊行物発明の「厚い二酸化シリコン層」とは異なるものであることを前提とする原告の主張（取消事由 2）は、理由がない。

3 取消事由 3（顕著な作用効果の看過）について

- (1) 原告は、審決が本願発明の「電界効果トランジスタの活性領域をシリコン層で覆ったままでメモリ素子のソース及びドレインゾーンを設け、メモリ素子のフローティングゲートの少なくとも側部にスペーサと呼ばれる酸化層を設けることにより、電界効果トランジスタ特性に影響を及ぼすことなく、EPROM へのホットエレクトロン注入を向上させる」という作用効果を看過していると主張する。

しかし、取消事由 2 について検討したように、本件出願の特許請求の範囲の請求項 1 には、スペーサの形状も形成条件も規定されておらず、本願明細書の発明の詳細な説明に照らしても、本願発明の「スペーサ」は、刊行物発

明の「厚い二酸化シリコン層」と区別がつかないから，原告の主張を採用することはできない。

- (2) また，原告は，本件出願の【図１】aの測定例を，本願発明の効果の根拠の一つとして主張する。

確かに，【図１】aには，スペーサの形成条件（水蒸気雰囲気の下での酸化温度）を変えることにより，メモリのプログラミング特性が大きく変化することが示されている。しかし，特許請求の範囲の請求項１には，前記２(1)のとおり，スペーサの形成条件について何も規定されていない。したがって，原告主張は，特許請求の範囲の記載に基づかないものであり，採用することはできない。

- (3) さらに，原告は，シミュレーション結果（甲第１４号証）を提出し，刊行物発明の「厚い二酸化シリコン層」では，本願発明のスペーサの効果は得られないと主張する。

確かに，甲第１４号証には，ゲート側面の多結晶シリコンの酸化時間によって，漏れ電流が変化すること（酸化時間が短い場合（I-V特性図の赤線）の方が，酸化時間が長い場合（I-V特性図の青線）よりも，ドレイン-ソース間の漏れ電流 I_{d-s} が小さいというシミュレーション結果）が示されている。しかし，甲第１４号証のシミュレーションの対象とされたトランジスタは，本願発明の前提となるフローティングゲートを備えていないし，ゲートの厚さも幅も，酸化温度も記載されていないから，上記結果をもって本願発明の奏する効果ということとはできない。また，本件出願の特許請求の範囲の請求項１には，スペーサの形成条件について何も規定されていないから，酸化時間をもって本願発明の進歩性を裏付ける資料とすることはできない。

4 結論

以上に検討したところによれば，審決取消事由はいずれも理由がなく，審決

を取り消すべきその他の誤りも認められない。

よって，原告の請求は理由がないから棄却することとし，主文のとおり判決する。

知的財産高等裁判所第 4 部

裁判長裁判官

田 中 信 義

裁判官

古 閑 裕 二

裁判官

杜 下 弘 記