

平成20年（行ケ）第10108号 審決取消請求事件

平成20年10月1日判決言渡，平成20年9月3日口頭弁論終結

判 決

原 告 アドバンス・マイクロ・ディバイシズ・インコーポレイテッド

訴訟代理人弁理士 深見久郎，森田俊雄，仲村義平，竹内耕三，堀井豊，野田久
登，酒井將行，荒川伸夫

被 告 特許庁長官 鈴木隆史

指定代理人 河合章，北島健次，岩崎伸二，森山啓

主 文

原告の請求を棄却する。

訴訟費用は原告の負担とする。

この判決に対する上告及び上告受理の申立てのための付加期間を30日と定める。

事実及び理由

第1 原告の求めた裁判

特許庁が不服2005 - 23445号事件について平成19年11月12日にした審決を取り消す。

第2 事案の概要

本件は，原告がした下記(1)の特許出願（以下「本件特許出願」という。）についての拒絶査定に対する不服審判請求を成り立たないとした審決の取消しを求める事案である。

1 特許庁における手続の経緯

(1) 本件特許出願手続（甲第2，第3，第5号証）及び拒絶査定

出願人：アドバンスト・マイクロ・デバイス・インコーポレイテッド（原告）

発明の名称：「フラッシュＥＰＲＯＭおよびそれを動作させる方法」

出願日：平成６年１１月３０日

出願番号：特願平６－２９６７００号

優先権主張日：１９９３年（平成５年）１２月１日（米国）

手続補正日：平成１６年１１月１０日（甲第５号証）

拒絶査定日：平成１７年８月３１日

（２） 本件手続

審判請求日：平成１７年１２月５日（不服２００５－２３４４５号）

手続補正日：平成１７年１２月５日（甲第４号証。以下「本件補正」という。）

審決日：平成１９年１１月１２日

審決の結論：「本件審判の請求は，成り立たない。」

審決謄本送達日：平成１９年１１月２７日

２ 特許請求の範囲の記載

審決は，本件補正の適否を判断するに当たって本件補正後の請求項５記載の発明を対象とし，また，本件特許出願の許否を判断するに当たって本件補正前（平成１６年１１月１０日付け手続補正後）の請求項５記載の発明を対象としたところ，それぞれの請求項の記載は，下記(1)及び(2)のとおりである（請求項の数は，本件補正の前後とも全２５項。以下，本件補正前の請求項５に記載された発明を「本願発明」といい，本件補正後の請求項５に記載された発明を「補正発明」という。）。

（１） 本件補正前の請求項５の記載

「【請求項５】 フローティングゲート，接地に結合されるソース，およびドレインを有するＭＯＳ装置と，

前記ＭＯＳ装置に関して定常状態しきい値電圧が得られるように前記ドレインに

結合される，接地電圧と異なる第１の電圧と，

前記定常状態しきい値電圧をオフセットするように前記フローティングゲートに結合される，接地電圧と異なる第２の電圧とを含む，メモリセル。」

(2) 本件補正後の請求項５の記載（下線部分は補正箇所である。）

「【請求項５】 フローティングゲート，接地に結合されるソース，およびドレインを有するＭＯＳ装置と，

前記ＭＯＳ装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合される，接地電圧と異なる第１の電圧と，

前記第１の電圧の前記ドレインへの印加と並行して印加されて前記定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さな値にオフセットするように前記フローティングゲートに結合される，接地電圧より高い第２の電圧とを含む，メモリセル。」

３ 審決の理由の要旨

審決は，補正発明は，本件特許出願に係る優先権主張日前の特許出願であって，本件特許出願後に出願公開がされた特願平４－３４１３２８号の願書に最初に添付された明細書又は図面（特開平６－７６５８９号（甲第１号証））。以下この明細書を「先願明細書」といい，この図面を「先願図面」という。）に記載された発明（以下「先願発明」という。）と実質的に同一であるから，補正発明は独立特許要件を満たさないとして本件補正を却下し，本願発明の要旨を本件補正前の請求項５の記載のとおり認定した上，本願発明は先願発明と実質的に同一であり，特許法２９条の２の規定により特許を受けることができないと判断した。

審決の理由中，補正発明の独立特許要件，本願発明及び先願発明の対比・判断に関する部分は以下のとおりである。なお，項目の符号を改めた部分がある。

(1) 補正発明の独立特許要件について

ア 先願発明

先願の明細書：特願平４－３４１３２８号（特開平６－７６５８９号公報）

本願の優先権主張日前の特許出願であって、その出願後に出願公開がされた特願平４－３４１３２８号の願書に最初に添付された明細書又は図面には、フラッシュ型 E^2PROM の消去方法、に関して、図１ないし図４及び図６、図８、図９、図１１及び図１２とともに、以下の記載がなされている。

「【特許請求の範囲】

【請求項１】ファウラ－ノルドハイム・トンネリングによる消去の後に、ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入するフラッシュ型 E^2PROM の消去方法において、

コントロールゲート－フローティングゲート間の結合容量を C_c 、フローティングゲート－ドレイン間の結合容量を C_d 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P とするとき、

消去後ドレイン電圧 V_D を印加する際に、

【数１】 $V_G > \{ 1 + (C_d / C_c) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加することを特徴とするフラッシュ型 E^2PROM の消去方法。

【請求項２】アバランシェ・ホット・キャリアの注入によって自動的に収束する閾値電圧を収束 V_{th} とするとき、前記ゲート電圧 V_G を、

【数２】 収束 $V_{th} = UV \cdot E \cdot V_{th}$ となる値に設定することを特徴とする請求項１記載のフラッシュ型 E^2PROM の消去方法。」

「【産業上の利用分野】本発明は、フラッシュ型 E^2PROM の消去方法に関し、特にファウラ－ノルドハイム（ $F-N$ ）・トンネリングによる消去の後に、ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入するフラッシュ型 E^2PROM の消去方法に関する。

【０００２】

【従来の技術】フラッシュ（一括消去）型 E^2PROM においては、ソースとフローティングゲートの間の容量結合比がセルによって違うため、消去後の閾値電圧 V_{th} にバラツキが生じ

る。この閾値電圧 V_{th} のバラツキは、閾値電圧 V_{th} が0 V未満となる過剰消去の原因となる。

...

【0004】このフラッシュ型 E^2 PROMの最大の課題であった過剰消去の問題を解決する消去方法として、従来のF - N・トンネリングによる消去後、ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入する方法が開発された(NIKKEIMICRODEVICES 1992年 2月号 P85~P91参照)。

【0005】この消去方法によれば、消去中に、仮に過剰消去になり得るセルがあったとしても、アバランシェ・ホット・キャリア注入後には回復し、最終的にはチャネル不純物濃度(以下、チャネル濃度と略称する)とゲート電圧によって決まる閾値電圧 V_{th} (以下、収束 V_{th} と称する)に自動的に収束し(セルフ・コンバージェンス)、過剰消去にはならない。例えば、コントロールゲートのゲート電圧 V_G が0 Vであれば、紫外線によって消去したときの閾値電圧 V_{th} (以下、 $UV \cdot E \cdot V_{th}$ と称する)を3 Vとすると、収束 V_{th} が1.1 Vとなり、よって過剰消去を抑止することができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記の従来の消去方法では、ゲート電圧 V_G およびソース電圧 V_S が共に0 V、ドレイン電圧 V_D が例えば6 Vの条件下で行われるが、この状態は書込み時の半選択セル(ビット線; 選択, ワード線; 非選択)と全く同じ状態であり、収束 V_{th} のところでも書込み時にリーク電流が流れるために、書込み時の消費電流が増大するという問題点がある。

【0007】例えば、ワード線の数が2048本の場合であって、2048番目のワード線が選択されている場合の書込み時の状態を示す図6において、書込み電流はおよそ400~600 μ Aであるから、半選択セルのリーク電流として許容できる限度はおよそ10%(40~60 μ A)である。本願発明者による実験結果を図7に示す。この実験結果は1.0 μ mルールのメモリセルの値ではあるが、収束 V_{th} におけるドレイン電流 I_D は84 μ Aと非常に大きい。また、チャネル長 L の依存性を図8に、 $UV \cdot E \cdot V_{th}$ の依存性を図9にそれぞれ示

す。

【０００８】本発明は、上述した点に鑑みてなされたものであって、セルフ・コンバージェンスによる過剰消去抑止の効果を維持しつつ書込み時の消費電流の低減を可能としたフラッシュ型 E^2PROM の消去方法を提供することを目的とする。」（０００１段落ないし０００８段落）

「【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図２は、本発明による消去方法が適用される E^2PROM の単位セルについての回路構成例を示す回路図である。図２において、メモリセル１のソースＳは接地され、そのコントロールゲートＣＧはワード線２に、ドレインＤはビット線３にそれぞれ接続されている。メモリセル１のコントロールゲートＣＧには、 V_G 用定電圧発生回路４で発生されるゲート電圧 V_G がワード線２を介して印加される。一方、メモリセル１のドレインＤには、 V_D 用定電圧発生回路５で発生されるドレイン電圧 V_D がビット線３を介して印加される。

【００１２】次に、本発明による消去方法の処理手順につき、図１のフローチャートにしたがって説明する。なお、 V_G 用定電圧発生回路４および V_D 用定電圧発生回路５では、各ステップの処理に応じた適当な値のゲート電圧 V_G およびドレイン電圧 V_D が適宜発生されるものとする。

【００１３】先ず、 $F-N$ ・トンネリングによる消去を行う（ステップＳ１）。この処理ステップでは、コントロールゲートＣＧに高電圧を印加し、ドレインＤを０Ｖにする。コントロールゲートＣＧに高電圧が印加されたことにより、フローティングゲートＦＧも高い電位となるため、フローティングゲートＦＧのトンネル部の酸化膜に高電界がかかる。その結果、フローティングゲートＦＧからドレインＤへトンネル電流（ $F-N$ 電流）が流れ出るため、消去が行われる。

【００１４】この $F-N$ ・トンネリングによる消去の後、ドレインＤに例えば６Ｖのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップＳ２）。このとき、コントロールゲートＣＧには、以下の条件を満足するゲート電圧 V_G を印加する。

【００１５】すなわち、コントロールゲートＣＧ－フローティングゲートＦＧ間の結合容量を

C_C , フローティングゲート FG - ドレイン D 間の結合容量を C_D , 紫外線によって消去したときの閾値電圧 V_{th} を $UV \cdot E \cdot V_{th}$, プロセスに依存する電圧を V_P とするとき ,

【数 6】 $V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲート CG に印加する。図 3 に , 収束 V_{th} のゲート電圧 V_G に対する依存性を示す。これを数式で表わすと ,

【数 7】 収束 $V_{th} = UV \cdot E \cdot V_{th} + V_G - V_D + V_P$ となる。

【0016】 上述したように , $F - N \cdot$ トンネリングによる消去後 , ドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入することにより , チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束する (セルフ・コンバージェンス) 。すなわち , $F - N \cdot$ トンネリングによる消去中に , 仮に過剰消去になり得るメモリセル 1 があつたとしても , アバランシェ・ホット・キャリアの注入によって回復し , 最終的に収束 V_{th} に収束するために , 過剰消去を防止できる。

【0017】 また , $F - N \cdot$ トンネリングによる消去後のセルフ・コンバージェンス時に , コントロールゲート CG に印加するゲート電圧 V_G を上記条件を満足するように設定することにより , 収束 V_{th} をフローティングゲート FG - ドレイン D 間の結合容量 C_D で決まるドレイン電流 I_D が流れ始める閾値電圧以上にすることができる。

【0018】 これによれば , ワード線の数が 2048 本の場合であつて , 2048 番目のワード線が選択されている場合の書込み時を示す図 4 において , ビット線選択による半選択のメモリセル 10 ~ 12046 がセルフ・コンバージェンスによって既に収束 V_{th} にあり , この収束 V_{th} がドレイン電流 I_D が流れ始める閾値電圧以上であるため , これらのメモリセル 10 ~ 12046 にはセル電流 (リーク電流) が流れなく , 書込み中のメモリセル 12047 のみにセル電流が流れる。したがって , 書込み時の消費電流を低減できる。

【0019】 ところで , セルフ・コンバージェンスによる収束 V_{th} が , ドレイン電流 I_D が流れ始める閾値電圧以上であっても , 収束 $V_{th} = UV \cdot E \cdot V_{th}$ のときは , フローティングゲート FG に電荷が入っている状態である。フローティングゲート FG に電荷が入っていると , 熱や時間などの外部ストレスによって閾値電圧 V_{th} が変化し易く , この閾値電圧 V_{th} の

変化は、フラッシュ型 E^2PROM の読出し速度などの仕様の変化につながる。

【 0 0 2 0 】そこで、収束 V_{th} がドレイン電流 I_D が流れ始める閾値電圧以上であって、しかも $UV \cdot E \cdot V_{th}$ の値になるように、セルフ・コンバージェンス時のゲート電圧 V_G を設定する。このように、収束 V_{th} を $UV \cdot E \cdot V_{th}$ とすることにより、 $UV \cdot E \cdot V_{th}$ ではメモリセル 1 のフローティングゲート FG には電荷がないことから、収束 V_{th} が変化しにくく、外部ストレスに対して安定なセルとすることができる。」(0 0 1 1 段落ないし 0 0 2 0 段落)

「【 0 0 2 6 】上述したように、セルフコンバージェンスによって書込み後の閾値電圧 V_{th} のばらつきを小さくできることにより、図 1 1 (A) に示すように V_{th} ばらつきが大きく、まだ点線以上に閾値電圧 V_{th} が達していないビットがあったとしても、セルフコンバージェンスをかけることによって図 1 1 (B) の状態にすることができるので、再度の書込みが必要なくなり、書込み時間の高速化が図れる。また、セルフコンバージェンスは、前述したように閾値電圧 V_{th} をある電圧に収束させるものであることから、図 1 2 に示すように、書込みディスタープで落ちたビットも、セルフコンバージェンスをかけることによって点線以上のビットに戻すことができるため、書込みディスタープの低減化も図れる。」(0 0 2 6 段落)

「【発明の効果】以上説明したように、本発明によれば、 $F-N$ ・トンネリングによる消去後のセルフ・コンバージェンスによる収束 V_{th} をフローティングゲート - ドレイン間の結合容量 C_D で決まるドレイン電流が流れ始める閾値電圧以上としたことにより、書込み時において半選択状態のメモリセルにリーク電流が流れることがないため、セルフ・コンバージェンスによる過剰消去抑止の効果を維持しつつ書込み時の消費電流を低減できることになる。また、収束 V_{th} を $UV \cdot E \cdot V_{th}$ とすることにより、 $UV \cdot E \cdot V_{th}$ ではメモリセルのフローティングゲートには電荷がないことから、収束 V_{th} が変化しにくく、外部ストレスに対して安定なメモリセルを得ることができる。」(0 0 2 8 段落)

よって、先願の明細書には、(判決注：「以下の発明が記載されている。」との文言を脱漏した誤記と認める。)

「 $F-N$ ・トンネリングによる消去後、ドレイン電圧 V_D を印加してアバランシェ・ホット・

キャリアを注入して、チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束（セルフ・コンバージェンス）させるフラッシュ型 E^2PROM の消去方法において、

コントロールゲート - フローティングゲート間の結合容量を C_c 、フローティングゲート - ドレイン間の結合容量を C_d 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P とするとき、

消去後ドレイン電圧 V_D を印加する際に、

【数１】 $V_G > \{ 1 + (C_d / C_c) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加することを特徴とするフラッシュ型 E^2PROM の消去方法。」（先願発明）

イ 対比

本件補正後の請求項５に係る発明（補正発明）と先願発明とを対比する。

（ａ）先願発明の「フラッシュ型 E^2PROM 」は、図２の記載から、「フローティングゲート」、「接地に結合されるソース」及び「ドレイン」を有していることは明らかであるから、先願発明の「フラッシュ型 E^2PROM 」は、補正発明の「フローティングゲート、接地に結合されるソース、およびドレインを有する MOS 装置」に相当する。

（ｂ）先願明細書の【０００５】段落の「この消去方法によれば、消去中に、仮に過剰消去になり得るセルがあったとしても、アバランシェ・ホット・キャリア注入後には回復し、最終的にはチャネル不純物濃度（以下、チャネル濃度と略称する）とゲート電圧によって決まる閾値電圧 V_{th} （以下、収束 V_{th} と称する）に自動的に収束し（セルフ・コンバージェンス）、過剰消去にはならない。」との記載及び、本願明細書の「この自己収束消去メカニズムは、ファウラー - ノルドハイムトンネリングによる消去後にアバランシ - ホットキャリア注入を用いる。アバランシ - ホットキャリア注入により、メモリセルのしきい値電圧が、ある「定常状態」に収束する。」（００１７段落）との記載から、先願発明の「収束 V_{th} 」は、補正発明の「定常状態しきい値電圧」に相当する。

（ｃ）先願明細書の【００１４】段落の「この $F - N$ ・トンネリングによる消去の後、ドレイ

ンDに例えば6Vのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップS2）。」の記載から、先願発明の「消去後ドレイン電圧 V_D 」は、接地電圧と異なった値であることは明らかであり、この「消去後ドレイン電圧 V_D 」は、「収束 V_{th} 」が得られるように「ドレイン」に結合されているので、先願発明の「消去後ドレイン電圧 V_D 」は、補正発明の「前記MOS装置に関して定常状態しきい値電圧」が得られる「ように前記ドレインに結合される、接地電圧と異なる第1の電圧」に相当する。

(d) 先願発明の「ゲート電圧 V_G 」は、図3の縦軸の収束 V_{th} が「0V」より大きな電圧に対応する、図3の横軸の「ゲート電圧 V_G [V]」の値が「0V」より大きい値であるから、接地電圧よりも大きい値（高い値）であることは明らかであり、また、先願発明の「ゲート電圧 V_G 」は、先願明細書の【0014】段落の「このF-N・トンネリングによる消去の後、ドレインDに例えば6Vのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップS2）。このとき、コントロールゲート C_G には、以下の条件を満足するゲート電圧 V_G を印加する。」の記載から、「消去後ドレイン電圧 V_D 」の「ドレイン」への印加と平行して「フローティングゲート」に印加するために、「フローティングゲート」に結合されていることは明らかである。

よって、先願発明の「消去後ドレイン電圧 V_D を印加する際に、

【数1】 $V_G > \{ 1 + (C_D / C_C) \} V_D - U_V \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加する」は、補正発明の「前記第1の電圧の前記ドレインへの印加と並行して印加されて前記定常状態しきい値電圧を」「オフセットするように前記フローティングゲートに結合される、接地電圧より高い第2の電圧とを含む」に相当しており、先願発明の「ゲート電圧 V_G 」は、補正発明の「接地電圧より高い第2の電圧」に相当する。

よって、補正発明と先願発明とは、

「フローティングゲート、接地に結合されるソース、およびドレインを有するMOS装置と、

前記MOS装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合され

る，接地電圧と異なる第１の電圧と，

前記第１の電圧の前記ドレインへの印加と並行して印加されて前記定常状態しきい値電圧をオフセットするように前記フローティングゲートに結合される，接地電圧より高い第２の電圧とを含む，メモリセル。」である点で一致し，以下の点で一応相違している。

[相違点]

補正発明は，「前記第１の電圧の前記ドレインへの印加と並行して印加されて前記定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さな値にオフセットするように前記フローティングゲートに結合される，接地電圧より高い第２の電圧とを含む」のに対して，

先願発明は，「コントロールゲート - フローティングゲート間の結合容量を C_c ，フローティングゲート - ドレイン間の結合容量を C_d ，紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ ，プロセスに依存する電圧を V_P とするとき，消去後ドレイン電圧 V_D を印加する際に，

【数１】 $V_G > \{ 1 + (C_d / C_c) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加する」ものである点，言い換えると，

補正発明は，定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さな値にオフセットさせているのに対して，先願発明は，「収束 V_{th} 」を「紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 」より小さな値としているか否か明らかでない点。

ウ 相違点の検討

以下，相違点について検討する。

(a) 先願発明は，「フラッシュ（一括消去）型 $E^2 PROM$ においては，ソースとフローティングゲートの間の容量結合比がセルによって違うため，消去後の閾値電圧 V_{th} にバラツキが生じる。この閾値電圧 V_{th} のバラツキは，閾値電圧 V_{th} が 0 V 未満となる過剰消去の原因となる。」（先願明細書 0002 段落）との課題を解決するものである。

(b) 先願発明の「【数１】 $V_G > \{ 1 + (C_d / C_c) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加すること」の技術的意味を検討する際に，

先願発明の上記構成を含む先願明細書の特許請求の範囲の請求項 1 を引用する，先願明細書の請求項 2 において，「【請求項 2】アバランシェ・ホット・キャリアの注入によって自動的に収束する閾値電圧を収束 V_{th} とするとき，前記ゲート電圧 V_G を，【数 2】 収束 $V_{th} = UV \cdot E \cdot V_{th}$ となる値に設定することを特徴とする請求項 1 記載のフラッシュ型 E^2PROM の消去方法。」と，「収束 V_{th} 」と「 $UV \cdot E \cdot V_{th}$ 」との関係を限定している。

また，先願明細書の 0017 段落及び 0019 段落の記載から，請求項 1 に記載した【数 1】を満たすことが，収束 $V_{th} = UV \cdot E \cdot V_{th}$ であることのみを意味することにはならないことも明らかである。

したがって，請求項 2 が引用する請求項 1 の「【数 1】」での限定構成に関連する先願発明の「【数 1】 $V_G > \{1 + (C_D / C_C)\} V_D - UV \cdot E \cdot V_{th} - V_P$ 」の記載における「 $UV \cdot E \cdot V_{th}$ 」と「収束 V_{th} 」との関係について，先願発明は，（ア）収束 $V_{th} > UV \cdot E \cdot V_{th}$ となる場合，（イ）収束 $V_{th} = UV \cdot E \cdot V_{th}$ となる場合，及び（ウ）収束 $V_{th} < UV \cdot E \cdot V_{th}$ となる場合を含むことは明らかである。

（c）先願明細書の 0005 段落及び 0006 段落には，「この消去方法によれば，消去中に，仮に過剰消去になり得るセルがあったとしても，アバランシェ・ホット・キャリア注入後には回復し，最終的にはチャネル不純物濃度（以下，チャネル濃度と略称する）とゲート電圧によって決まる閾値電圧 V_{th} （以下，収束 V_{th} と称する）に自動的に収束し（セルフ・コンバージェンス），過剰消去にはならない。例えば，コントロールゲートのゲート電圧 V_G が 0 V であれば，紫外線によって消去したときの閾値電圧 V_{th} （以下， $UV \cdot E \cdot V_{th}$ と称する）を 3 V とすると，収束 V_{th} が 1.1 V となり，よって過剰消去を抑止することができる。・・・しかしながら，上記の従来の消去方法では，ゲート電圧 V_G およびソース電圧 V_S が共に 0 V，ドレイン電圧 V_D が例えば 6 V の条件下で行われる。」との記載より，「コントロールゲートのゲート電圧 V_G が 0 V であれば，紫外線によって消去したときの閾値電圧 V_{th} （以下， $UV \cdot E \cdot V_{th}$ と称する）」が 3 V であって，「ゲート電圧 V_G およびソース

電圧 V_S が共に 0 V ，ドレイン電圧 V_D が「 6 V の条件下で行わ」れた際に，「収束 V_{th} が 1.1 V とな」ることにより，過剰消去が抑止できる。

(d) 先願明細書の 0015 段落及び 0016 段落には，「【数6】

$V_G > \{1 + (C_D / C_C)\} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲート C_G に印加する。図3に，収束 V_{th} のゲート電圧 V_G に対する依存性を示す。これを数式で表わすと，【数7】 収束 $V_{th} = UV \cdot E \cdot V_{th} + V_G - V_D + V_P$ となる。上述したように，F-N・トンネリングによる消去後，ドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入することにより，チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束する（セルフ・コンバージェンス）。すなわち，F-N・トンネリングによる消去中に，仮に過剰消去になり得るメモリセル1があったとしても，アバランシェ・ホット・キャリアの注入によって回復し，最終的に収束 V_{th} に収束するために，過剰消去を防止できる。」と記載され，また，図3には，横軸が「ゲート電圧 $V_G [\text{V}]$ 」で，縦軸が「収束 $V_{th} [\text{V}]$ 」のグラフが記載され，「ゲート電圧 $V_G [\text{V}]$ 」と「収束 $V_{th} [\text{V}]$ 」との関係は，「数7」で表される一次関数であり，さらに，ゲート電圧 V_G が 0 V より大きく，収束 $V_{th} [\text{V}]$ が 1.1 V より大きく， 3 V より小さい（ $1.1\text{ V} < V_{th} < 3\text{ V}$ ）領域には，複数の が記載されており，この 印は，実測値と判断するのが相当である。

(e) 先願明細書の図11及び 0026 段落には，「上述したように，セルフコンバージェンスによって書込み後の閾値電圧 V_{th} のばらつきを小さくできることにより，図11(A)に示すように V_{th} ばらつきが大きく，まだ点線以上に閾値電圧 V_{th} が達していないビットがあったとしても，セルフコンバージェンスをかけることによって図11(B)の状態にすることができるので，再度の書込みが必要なくなり，書込み時間の高速化が図れる。」と記載されており，セルフコンバージェンスにより収束後の V_{th} のバラツキが軽減されることも明らかである。

(f) 上記(a)ないし(e)より，先願発明は，上記(b)(ウ)の「収束 $V_{th} < UV \cdot E \cdot V_{th}$ となる場合」を含むことは明らかであり，また，上記(c)，図3及びその説明が

ら，収束 V_{th} [V] が， $UV \cdot E \cdot V_{th}$ (3V) より小さい値として，実測値が測定されており，さらに，セルフコンバージェンスをかけること（収束 V_{th} とすること）そのものにより，書込み後の閾値電圧 V_{th} のばらつきを小さくできる。

したがって，先願発明は，上記（b）の（イ）「収束 $V_{th} = UV \cdot E \cdot V_{th}$ となる場合」のみでなく，上記（b）の（ウ）「収束 $V_{th} < UV \cdot E \cdot V_{th}$ となる場合」，言い換えると，「収束 V_{th} 」が「 $UV \cdot E \cdot V_{th}$ 」より小さな値となる場合も含むことは明らかである。

（g）一方，本願明細書の0017段落及び0026段落には，「この自己収束消去メカニズムは，ファウラー - ノルドハイムトンネリングによる消去後にアバランシ - ホットキャリア注入を用いる。アバランシ - ホットキャリア注入により，メモリセルのしきい値電圧が，ある「定常状態」に収束する。フローティングゲートのアバランシ - ホットホール注入とアバランシ - ホットエレクトロン注入との間のバランスが取られると，定常状態に達する。このメカニズムを用いると，過消去されたメモリセルのしきい値電圧をより高いレベルに上げることができる。」（0017段落），「【発明の概要】本発明は，メモリセルの狭い消去しきい値電圧分布を達成する回路を提供する。」（0026段落）と記載されている。

（h）本願明細書の図13，図14及び0058段落及び0059段落には，「図13は， V_{th}^* が V_g に直接関係する式が引出されることを確認するための実験データを示している。メモリセルのしきい値電圧を定常状態に収束させるために，ドレイン妨害電圧およびゲート電圧が印加される。図13には，3組のデータが示されている。3つのデータの組の各々には，6.5ボルトのドレイン妨害電圧 V_d が印加される。・・・より大きいゲート電圧 V_g を印加するたびに定常状態のしきい値電圧は上方向にシフトされる。データは，ゲート電圧 V_g と定常状態のしきい値電圧における電圧のシフトとの間に本質的に直接関係があることを示している。・・・図14は，ゲート電圧 V_g と定常状態しきい値電圧との関係を用いて，自己収束の間にゲート電圧 V_g を消去後の分布75に与えた場合のデータプロットを示している。・・・図14では，過去の定常状態のしきい値電圧 V_{th}^* 74が， UV 消去しきい値電圧72と等しくなるようにシフトされる。定常状態しきい値電圧のこのシフトは，印加されるゲート

電圧 V_g に直接関係する。印加される 1.0 ボルトのゲート電圧 V_g により、定常状態しきい値電圧は、1.0 ボルトシフトされる。」と記載されている。

(i) 本願明細書の図 11 及び 0060 落及び 0063 段落には、「図 14 の領域 78 および 79 を図 11 の領域 78 および 79 と比較すると、自己収束の間にゲート電圧 V_g を印加することによりメモリセルにおける電子の注入が実質的に増加しかつホール注入が実質的に低減することがわかる。」(0060 段落)、「定常状態しきい値電圧を UV 消去しきい値電圧 $UV - V_t$ に近づけるようにシフトさせることにより、消去後のしきい値電圧分布をより狭くすることができる。図 11 を参照すると、定常状態しきい値電圧 74 は UV 消去しきい値電圧 72 よりも約 2 ボルト低い。図 14 においてゲート電圧 V_g を印加することにより、定常状態しきい値電圧 74 と UV 消去しきい値電圧 72 との間の差が解消される。したがって、実質的により狭い消去後のしきい値電圧分布が得られる。」(0063 段落)と記載されている。

(j) 上記 (g) 及び (i) より、補正発明は、「メモリセルの狭い消去しきい値電圧分布を達成する回路を提供する」ものであり、また、図 14 に記載されるように V_{th}^* (定常状態しきい値電圧) を V_t, uv (UV 消去しきい値電圧 $UV - V_t$) と等しくした場合、及び、図 13 に V_t が「0.66 V」,「0.17 V」と、 V_{th}^* を V_t, uv より小さくした場合(この場合は本願発明に相当)の、いずれの場合も本願明細書に開示された発明であり、且つ、いずれの場合も「メモリセルの狭い消去しきい値電圧分布を達成する」ことができることは明らかである。

(k) したがって、上記 (f) 及び (j) より、先願発明における「収束 $V_{th} < UV \cdot E \cdot V_{th}$ となる場合」は、補正発明における「 V_{th}^* (定常状態しきい値電圧) を V_t, uv (UV 消去しきい値電圧 $UV - V_t$) より小さくオフセットした場合」に相当し、両者において、作用効果が同等であるから、補正発明と先願発明は、相違点について、実質的に相違しない。

よって、補正発明は、先願発明と実質的に同一であり、しかも、本願の発明者が先願発明に係る発明者と同一でなく、また、本願の出願時において、その出願人が先願の出願人と同一でもないから、特許法第 29 条の 2 の規定により特許を受けることができず、補正発明は、その

特許出願の際、独立して特許を受けることができないから、特許法第 17 条の 2 第 5 項により準用する同法第 126 条第 5 項の規定に適合しない。

エ 補正却下の結論

以上のとおりであるから、補正後の請求項 5 に係る発明は、特許法第 29 条の 2 に規定により特許を受けることができず、その特許出願の際、独立して特許を受けることができないから、特許法第 17 条の 2 第 5 項により準用する同法第 126 条第 5 項の規定に適合しない。

よって、請求項 5 についての補正を含む本件補正は、特許法第 159 条第 1 項で読み替えて準用する同法第 53 条第 1 項の規定により却下すべきものである。

(2) 本願発明の認定

平成 17 年 12 月 5 日付の手續補正は上記のとおり却下されたので、本願の請求項 1 ないし 25 に係る発明は、平成 16 年 11 月 10 日付けの手續補正書により補正された明細書及び図面の記載からみて、その特許請求の範囲の請求項 1 ないし 25 に記載された事項により特定されるものであり、その請求項 5 に係る発明は、その請求項 5 に記載されている事項により特定される以下のとおりのものである。

「【請求項 5】 フローティングゲート、接地に結合されるソース、およびドレインを有する MOS 装置と、

前記 MOS 装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合される、接地電圧と異なる第 1 の電圧と、

前記定常状態しきい値電圧をオフセットするように前記フローティングゲートに結合される、接地電圧と異なる第 2 の電圧とを含む、メモリセル。」

(3) 先願発明の認定

先願の明細書：特願平 4 - 341328 号（特開平 6 - 76589 号公報）

本願の出願の日前の特許出願であって、その出願後に出願公開がされた特願平 4 - 341328 号の願書に最初に添付された明細書又は図面には、前記(1)アに記載された事項が記載され、先願明細書には、以下の発明が記載されている。

「F - N・トンネリングによる消去後、ドレイン電圧 V_D を印加してアバランシェ・ホット

・キャリアを注入して、チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束（セルフ・コンバージェンス）させるフラッシュ型 E^2PROM の消去方法において、

コントロールゲート - フローティングゲート間の結合容量を C_c 、フローティングゲート - ドレイン間の結合容量を C_d 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P とするとき、

消去後ドレイン電圧 V_D を印加する際に、

【数１】 $V_G > \{ 1 + (C_d / C_c) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加することを特徴とするフラッシュ型 E^2PROM の消去方法。」

(4) 本願発明と先願発明の対比

本願の請求項５に係る発明（本願発明）と、先願の明細書に記載された発明（先願発明）とを対比する。

（a）先願発明の「フラッシュ型 E^2PROM 」は、図２の記載から、「フローティングゲート」、「接地に結合されるソース」及び「ドレイン」を有していることは明らかであるから、先願発明の「フラッシュ型 E^2PROM 」は、本願発明の「フローティングゲート、接地に結合されるソース、およびドレインを有する MOS 装置」に相当する。

（b）先願明細書の【０００５】段落の「この消去方法によれば、消去中に、仮に過剰消去になり得るセルがあったとしても、アバランシェ・ホット・キャリア注入後には回復し、最終的にはチャネル不純物濃度（以下、チャネル濃度と略称する）とゲート電圧によって決まる閾値電圧 V_{th} （以下、収束 V_{th} と称する）に自動的に収束し（セルフ・コンバージェンス）、過剰消去にはならない。」との記載及び、本願明細書の「この自己収束消去メカニズムは、ファウラー - ノルドハイムトンネリングによる消去後にアバランシ - ホットキャリア注入を用いる。アバランシ - ホットキャリア注入により、メモリセルのしきい値電圧が、ある「定常状態」に収束する。」（００１７段落）との記載から、先願発明の「収束 V_{th} 」は、本願発明の「定常状態しきい値電圧」に相当する。

(c) 先願明細書の【0014】段落の「このF - N・トンネリングによる消去の後，ドレインDに例えば6 Vのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップS2）。」との記載から，先願発明の「消去後ドレイン電圧 V_D 」は，接地電圧と異なった値であることは明らかであり，この「消去後ドレイン電圧 V_D 」は，「収束 V_{th} 」が得られるように「ドレイン」に結合されているので，先願発明の「消去後ドレイン電圧 V_D 」は，本願発明の「前記MOS装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合される，接地電圧と異なる第1の電圧」に相当する。

(d) 先願発明の「ゲート電圧 V_G 」は，図3の縦軸の収束 V_{th} が「0 V」より大きな電圧に対応する，図3の横軸の「ゲート電圧 V_G [V]」の値が「0 V」より大きい値であるから，接地電圧よりも大きい値（高い値）であることは明らかであり，また，先願発明の「ゲート電圧 V_G 」は，先願明細書の【0014】段落の「このF - N・トンネリングによる消去の後，ドレインDに例えば6 Vのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップS2）。このとき，コントロールゲートCGには，以下の条件を満足するゲート電圧 V_G を印加する。」の記載から，「消去後ドレイン電圧 V_D 」の「ドレイン」への印加と平行して「フローティングゲート」に印加するために，「フローティングゲート」に結合されていることは明らかであるから，先願発明の「ゲート電圧 V_G 」は，本願発明の「接地電圧より高い第2の電圧」に相当する。

そして，先願発明の「消去後ドレイン電圧 V_D を印加する際に，

【数1】 $V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加する」における「ゲート電圧 V_G 」を印加することによって，「収束 V_{th} 」をオフセットしているから，先願発明の「消去後ドレイン電圧 V_D を印加する際に，

【数1】 $V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$ なる条件を満足するゲート電圧 V_G をコントロールゲートに印加する」ことは，本願発明の「前記定常状態しきい値電圧をオフセットするように前記フローティングゲートに結合される，接地電圧と異なる第2の電圧とを含む」ことに相当する。

よって、本願発明と先願発明とは、

「フローティングゲート、接地に結合されるソース、およびドレインを有するMOS装置と、

前記MOS装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合される、接地電圧と異なる第1の電圧と、

前記定常状態しきい値電圧をオフセットするように前記フローティングゲートに結合される、接地電圧と異なる第2の電圧とを含む、メモリセル。」である点で一致し、両者の間に相違点は認められない。

よって、本願発明は、先願発明と実質的に同一であり、しかも、本願の発明者が先願発明に係る発明者と同一でなく、また、本願の出願時において、その出願人が先願の出願人と同一でもないから、特許法第29条の2の規定により特許を受けることができない。

(5) 結論

以上のとおりであるから、本願は、請求項1ないし4及び6ないし25に係る発明を検討するまでもなく、拒絶すべきものである。

よって、結論のとおり審決する。

第3 当事者の主張

1 審決取消事由の要点（本件補正についての判断の誤り）

(1) 審決は、補正発明は先願発明と実質的に同一であるので特許法29条の2の規定により特許を受けることができず、本件補正は独立特許要件を満たしていないとして本件補正を却下した。

しかしながら、補正発明と先願発明は、補正発明においては定常状態しきい値電圧をUV消去しきい値電圧より小さくオフセットするが、先願発明においては、収束 V_{th} と $UV \cdot E \cdot V_{th}$ との関係は、収束 $V_{th} = UV \cdot E \cdot V_{th}$ に限定される点、補正発明ではゲート電圧（第2の電圧）が接地電圧（0V）よりも高いことが限定されているが、先願発明ではゲート電圧が接地電圧（0V）よりも高く

なければならないという要求は存在しておらず，ゼロよりも低くなる場合がある点において，実質的に相違している。

上記 について，先願明細書の段落【００１９】，【００２０】の記載によると，収束 V_{th} について，ドレイン電流が流れ始めるのに必要なしきい値電圧（閾値電圧と同様。以下同じ）よりも高くなるのに十分なようにゲート電圧が設定されたときの唯一の現実的な関係は，収束 $V_{th} = UV \cdot E \cdot V_{th}$ である。他方，補正発明は定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さい値にオフセットするものであり，これは $V_{th} < UV \cdot E \cdot V_{th}$ を意味するから，補正発明は，この点において先願発明と相違する。なお，先願図面の図３の直線のグラフは，数式に値を代入して算術的に計算された値を示しているに過ぎないから，同図に収束 V_{th} が $UV \cdot E \cdot V_{th}$ よりも小さくなる場合が記載されているからといって，先願発明において収束 V_{th} が $UV \cdot E \cdot V_{th}$ よりも小さくなることが証明されたということとはできない。

上記 について，先願発明は，ゲート電圧を
【数１】 $V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$
によって規定しているところ，先願明細書には【数１】の左辺がゼロよりも大きくなるような変数は一切記載されていないから，先願発明にはゲート電圧が接地電圧よりも高くなければならないという要求は存在しない。他方，補正発明はゲート電圧が接地電圧よりも高いという限定が付加されているものであるから，補正発明はこの点において先願発明と相違する。

したがって，これらの実質的な相違点を看過したされた審決の補正却下の判断は誤りである。

(2) また，審決は，先願明細書の段落【００２１】～【００２５】の記載に基づくことなく先願発明を認定しているが，段落【００２１】～【００２５】には先願発明の他の実施例として，プログラミング後に，しきい値電圧のばらつきを減少するために一連の消去動作を繰り返して実行し，その後セルフ・コンバージェンスを

再度実行することが開示されている。これに対して、補正発明は、しきい値電圧分布を収束させることがメモリ装置の劣化を引き起こしたことを認識してなされたものであり、先願発明のセルフ・コンバージェンス及び複数回消去方式のような、しきい値電圧の収束及び自己収束方式に対し、その改良をもたらすものであるから、補正発明は、この点においても先願発明と相違するものである。

被告は、この点に関して、段落【００２１】～【００２５】は、「アバランシェ・ホット・キャリアの注入」と「メモリセルの消去」の順序が異なる先願明細書の請求項３～５に関する記載であると主張するが、キャリアの注入と消去の順序の違いに重要性は認められず、段落【００２１】～【００２５】を先願発明の認定の基礎から除外するべきではない。

(3) 以上のとおり、審決は、本件補正に係る独立特許要件についての判断を誤って、本件補正を却下するとの誤った判断をしたものであり、その結果、本件補正後の請求項に基づいて認定されるべき発明の要旨を、本件補正前の請求項５の記載のとおり認定したものであるから、発明の要旨認定を誤ったものとして、取消しを免れない。

なお、仮に、本件補正前の請求項５のとおり発明の要旨認定がされるべきであるとしても、当該要旨認定に係る発明（本願発明）と先願発明とは、上記(1)、(2)の各点と同様の実質的な相違点があるから、本願発明と先願発明が実質的に同一であるとした審決の判断は誤りであり、審決は取消しを免れない。

２ 被告の反論の要点

(1) 原告は、補正発明と先願発明との間には、補正発明においては定常状態しきい値電圧を UV 消去しきい値電圧より小さくオフセットするが、先願発明においては、収束 V_{th} と $UV \cdot E \cdot V_{th}$ との関係は、収束 $V_{th} = UV \cdot E \cdot V_{th}$ に限定される点、補正発明ではゲート電圧（第２の電圧）が接地電圧よりも高いことが限定されているが、先願発明ではゲート電圧が接地電圧よりも高くなければな

らないという要求は存在しておらず、ゼロよりも低くなる場合がある点において、実質的に相違する旨主張する。

しかしながら、先願明細書には、収束 V_{th} は $UV \cdot E \cdot V_{th}$ より小さいことが実質的に記載されており、定常状態しきい値電圧を UV 消去しきい値電圧より小さくオフセットすることが実質的に記載されているといえることができる。また、先願発明において、セルフ・コンバージェンスのために印加するゲート電圧 V_G を $0V$ より大きくすることは明らかであるから、先願発明のゲート電圧 V_G は補正発明における「接地電圧より高い第2の電圧」に相当する。

審決は、原告が主張する「実質的な相違点」について、上記のとおり判断した上、補正発明と先願発明が実質的に同一であるとしたものであり、審決の判断に誤りはない。

(2) また、原告が指摘する先願明細書の段落【0021】～【0025】は、先願明細書の請求項3～5についての記載であり、これらは「アバランシェ・ホット・キャリアの注入」の後に「メモリセルに対する消去を行うことを特徴とするフラッシュ型 E^2PROM の消去方法」であるから、先願発明とは「アバランシェ・ホット・キャリアの注入」と「メモリセルの消去」の順序が異なるものであることは明らかであり、原告の主張は失当である。

(3) したがって、審決の補正却下の判断に誤りはなく、これを前提とする本願発明の認定、本願発明と先願発明の対比にも誤りはないから、取消事由は理由がない。

第4 当裁判所の判断

1 補正発明

補正発明は、上記第2の2(2)のとおり、本件補正後の請求項5に記載された発明であり、同請求項を再掲すると、以下のとおりである（下線部分は補正箇所である。）。

「【請求項 5】 フローティングゲート，接地に結合されるソース，およびドレインを有する MOS 装置と，

前記 MOS 装置に関して定常状態しきい値電圧が得られるように前記ドレインに結合される，接地電圧と異なる第 1 の電圧と，

前記第 1 の電圧の前記ドレインへの印加と並行して印加されて前記定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さな値にオフセットするように前記フローティングゲートに結合される，接地電圧より高い第 2 の電圧とを含む，メモリセル。」

2 先願発明

(1) 先願明細書等における開示

ア 先願明細書には下記(ア)～(カ)の各記載があり，先願図面には下記(キ)の図 3 が示されている。

(ア) 「【産業上の利用分野】本発明は，フラッシュ型 E^2 PROM の消去方法に関し，特にファウラ・ノルドハイム (F - N) ・トンネリングによる消去の後に，ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入するフラッシュ型 E^2 PROM の消去方法に関する。」(段落【0001】)

(イ) 「【従来の技術】フラッシュ (一括消去) 型 E^2 PROM においては，ソースとフローティングゲート間の容量結合比がセルによって違うため，消去後の閾値電圧 V_{th} にバラツキが生じる。この閾値電圧 V_{th} のバラツキは，閾値電圧 V_{th} が 0 V 未満となる過剰消去の原因となる。

過剰消去状態のセルは致命的な欠陥となる。すなわち，ビット線上のあるセルを読み出すときに，同一ビット線上に過剰消去のセルがあると，過剰消去状態のセルを通して電流が流れるために，オフ状態 (書込み状態) のセルをオン状態と誤って判断してしまうことになる。また，過剰消去状態のセルを通して電流が流れることにより，ビット線電位が十分に上がらなくなるため，書込みもできなくなってしまう。

このフラッシュ型 E^2 PROM の最大の課題であった過剰消去の問題を解決する消去方法として、従来の F - N ・トンネリングによる消去後、ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入する方法が開発された・・・。

この消去方法によれば、消去中に、仮に過剰消去になり得るセルがあったとしても、アバランシェ・ホット・キャリア注入後には回復し、最終的にはチャネル不純物濃度（以下、チャネル濃度と略称する）とゲート電圧によって決まる閾値電圧 V_{th} （以下、収束 V_{th} と称する）に自動的に収束し（セルフ・コンバージェンス）、過剰消去にはならない。例えば、コントロールゲートのゲート電圧 V_G が 0 V であれば、紫外線によって消去したときの閾値電圧 V_{th} （以下、 $UV \cdot E \cdot V_{th}$ と称する）を 3 V とすると、収束 V_{th} が 1.1 V となり、よって過剰消去を抑止することができる。」（段落【0002】～【0005】）

（ウ）「【発明が解決しようとする課題】しかしながら、上記の従来の消去方法では、ゲート電圧 V_G およびソース電圧 V_S が共に 0 V、ドレイン電圧 V_D が例えば 6 V の条件下で行われるが、この状態は書込み時の半選択セル（ビット線；選択、ワード線；非選択）と全く同じ状態であり、収束 V_{th} のところでも書込み時にリーク電流が流れるために、書込み時の消費電流が増大するという問題点がある。

・・・（中略）・・・

本発明は、上述した点に鑑みてなされたものであって、セルフ・コンバージェンスによる過剰消去抑止の効果を維持しつつ書込み時の消費電流の低減を可能としたフラッシュ型 E^2 PROM の消去方法を提供することを目的とする。」（段落【0006】，【0008】）

（I）「【課題を解決するための手段】上記目的を達成するために、本発明は、F - N ・トンネリングによる消去の後に、ドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入するフラッシュ型 E^2 PROM の消去方法において、コントロールゲート - フローティングゲート間の結合容量を C_c 、フローティングゲート - ドレイン間の結合容量を C_D 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P とするとき、消去後ドレイン電圧 V_D を印加する際に、

【数 5】

$$V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$$

なる条件を満足するゲート電圧 V_G をコントロールゲートに印加する。」（段落【0009】）

（オ）「【作用】F - N・トンネリングによる消去後のセルフ・コンバージョン時に，上記条件を満足するゲート電圧 V_G をコントロールゲートに印加することにより，セルフ・コンバージョンで収束させる収束 V_{th} を，フローティングゲート - ドレイン間の結合容量 C_D で決まるドレイン電流が流れ始める閾値電圧以上にする。これにより，半選択セルにリーク電流が流れないため，書込み時の消費電流を低減できる。また，収束 V_{th} を $UV \cdot E \cdot V_{th}$ とすることにより， $UV \cdot E \cdot V_{th}$ ではメモリセルのフローティングゲートには電荷がないことから，収束 V_{th} が変化しにくく，外部ストレスに対して安定なメモリセルとすることができる。」（段落【0010】）

（カ）「【実施例】以下，本発明の実施例を図面に基づいて詳細に説明する。・・・（中略）・・・

次に，本発明による消去方法の処理手順につき，図1のフローチャートにしたがって説明する。なお， V_G 用定電圧発生回路4および V_D 用定電圧発生回路5では，各ステップの処理に応じた適当な値のゲート電圧 V_G およびドレイン電圧 V_D が適宜発生されるものとする。

先ず，F - N・トンネリングによる消去を行う（ステップS1）。この処理ステップでは，コントロールゲートCGに高電圧を印加し，ドレインDを0Vにする。コントロールゲートCGに高電圧が印加されたことにより，フローティングゲートFGも高い電位となるため，フローティングゲートFGのトンネル部の酸化膜に高電界がかかる。その結果，フローティングゲートFGからドレインDへトンネル電流（F - N電流）が流れ出るため，消去が行われる。

このF - N・トンネリングによる消去の後，ドレインDに例えば6Vのドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入する（ステップS2）。このとき，コントロールゲートCGには，以下の条件を満足するゲート電圧 V_G を印加する。

すなわち，コントロールゲートCG - フローティングゲートFG間の結合容量を C_C ，フローティングゲートFG - ドレインD間の結合容量を C_D ，紫外線によって消去したときの閾値

電圧 V_{th} を $UV \cdot E \cdot V_{th}$ ，プロセスに依存する電圧を V_P とすると，

【数 6】

$$V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$$

なる条件を満足するゲート電圧 V_G をコントロールゲート C_G に印加する。図 3 に，収束 V_{th} のゲート電圧 V_G に対する依存性を示す。これを数式で表わすと，

【数 7】

$$\text{収束 } V_{th} = UV \cdot E \cdot V_{th} + V_G - V_D + V_P$$

となる。

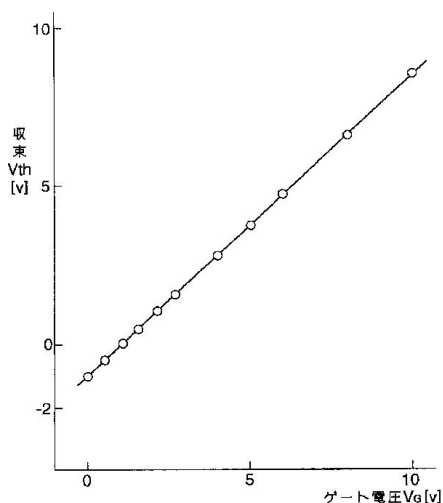
上述したように，F - N・トンネリングによる消去後，ドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入することにより，チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束する（セルフ・コンバージェンス）。すなわち，F - N・トンネリングによる消去中に，仮に過剰消去になり得るメモリセル 1 があったとしても，アバランシェ・ホット・キャリアの注入によって回復し，最終的に収束 V_{th} に収束するために，過剰消去を防止できる。

・・・（中略）・・・

ところで，セルフ・コンバージェンスによる収束 V_{th} が，ドレイン電流 I_D が流れ始める閾値電圧以上であっても，収束 $V_{th} = UV \cdot E \cdot V_{th}$ のときは，フローティングゲート F_G に電荷が入っている状態である。フローティングゲート F_G に電荷が入っていると，熱や時間などの外部ストレスによって閾値電圧 V_{th} が変化し易く，この閾値電圧 V_{th} の変化は，フラッシュ型 $E^2 P R O M$ の読出し速度などの仕様の変化につながる。

そこで，収束 V_{th} がドレイン電流 I_D が流れ始める閾値電圧以上であって，しかも $UV \cdot E \cdot V_{th}$ の値になるように，セルフ・コンバージェンス時のゲート電圧 V_G を設定する。このように，収束 V_{th} を $UV \cdot E \cdot V_{th}$ とすることにより， $UV \cdot E \cdot V_{th}$ ではメモリセル 1 のフローティングゲート F_G には電荷がないことから，収束 V_{th} が変化しにくく，外部ストレスに対して安定なセルとすることができる。」（段落【0011】～【0016】，【0019】，【0020】）

(※) 図3



ゲート電圧 V_G —収束 V_{th} の特性図

イ 上記アの各記載及び図示によると、先願明細書には次の事項が記載されているといえることができる。

(ア) フラッシュ（一括消去）型 E^2PR OMにおいて、しきい値電圧 V_{th} が 0 V 未満となる過剰消去状態のセルが生じることは、致命的な欠陥となるところ、この問題を解決する消去方法として、ドレイン電圧を印加してアバランシェ・ホット・キャリアを注入する方法が開発された。

この方法によると、消去中に仮に過剰消去になり得るセルがあったとしても、アバランシェ・ホット・キャリア注入後には回復し、しきい値電圧 V_{th} （収束 V_{th} ）に自動的に収束（セルフ・コンバージェンス）し、過剰消去とならない。

しかしながら、このような従来の消去方法では、ゲート電圧 V_G 及びソース電圧 V_S が共に 0 V、ドレイン電圧 V_D が 6 V の条件で行われ、書込み時にリーク電流が流れるために消費電流が増大するという問題点がある。

先願明細書記載の発明は、セルフ・コンバージェンスの効果を維持しつつ、書込み時の消費電流の低減を可能とするフラッシュ型 E^2PR OMの消去方法の提供を目的とする。

(イ) 先願明細書記載の発明においては、セルフ・コンバージェンスによる収束 V_{th} はゲート電圧 V_G に依存し、両者には上記ア(※)の図3に示されるような関係

(これを式で表すと、「【数 7】収束 $V_{th} = UV \cdot E \cdot V_{th} + V_G - V_D + V_P$ 」となる。ただし、 $UV \cdot E \cdot V_{th}$ は紫外線消去時のしきい値電圧、 V_D はドレイン電圧、 V_P はプロセスに依存する電圧を意味する。以下同じ。)があるとの知見に基づいて、F - N・トンネリングによる消去後のセルフ・コンバージェンス時に、一定の条件(「【数 5】 $V_G > \{1 + (C_D / C_C)\} V_D - UV \cdot E \cdot V_{th} - V_P$ 」)との条件。ただし、 C_D はフローティングゲート - ドレイン間の結合容量、 C_C はコントロールゲート - フローティングゲート間の結合容量を意味する。)を満たすゲート電圧 V_G をコントロールゲートに印加し、収束 V_{th} をドレイン電流(リーク電流)が流れ始めるしきい値電圧以上にすることによって、リーク電流が流れないようにし、書込時の消費電流を低減するという発明の目的を達成する。

(ウ) さらに、収束 V_{th} を紫外線消去時のしきい値電圧 $UV \cdot E \cdot V_{th}$ とすることにより、フローティングゲートに電荷が入らない状態となり、収束 V_{th} が変化しにくく、外部ストレスに対して安定なセルとすることができる。

(2) 先願発明の認定

上記(1)によると、先願明細書には、「F - N・トンネリングによる消去後、ドレイン電圧 V_D を印加してアバランシェ・ホット・キャリアを注入して、チャネル濃度とゲート電圧 V_G によって決まる閾値電圧である収束 V_{th} に収束(セルフ・コンバージェンス)させるフラッシュ型 $E^2 PROM$ の消去方法において、

コントロールゲート - フローティングゲート間の結合容量を C_C 、フローティングゲート - ドレイン間の結合容量を C_D 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P とするとき、

消去後ドレイン電圧 V_D を印加する際に、

$$V_G > \{1 + (C_D / C_C)\} V_D - UV \cdot E \cdot V_{th} - V_P$$

なる条件を満足するゲート電圧 V_G をコントロールゲートに印加することを特徴とするフラッシュ型 $E^2 PROM$ の消去方法。」との、審決が認定したとおりの先願

発明が記載されているものと認められる。

さらに、先願明細書には、先願発明を前提として、上記における収束 V_{th} を紫外線消去時のしきい値電圧 $UV \cdot E \cdot V_{th}$ とすることにより、外部ストレスに対する安定性を高めるフラッシュ型 E^2PROM の消去方法の発明についても記載されているものと認められる。

3 取消事由の検討

先願発明における「フラッシュ型 E^2PROM 」，「収束 V_{th} 」及び「消去後ドレイン電圧 V_D 」が，補正発明における「フローティングゲート，接地に結合されるソース，およびドレインを有する MOS 装置」，「定常状態しきい値電圧」及び「『前記 MOS 装置に関して定常状態しきい値電圧』が得られる『ように前記ドレインに結合される，接地電圧と異なる第1の電圧』」に，それぞれ相当することについて，当事者間に争いはない。

(1) 原告は、先願発明においては、「収束 V_{th} について、ドレイン電流が流れ始めるのに必要なしきい値電圧よりも高くなるのに十分のようにゲート電圧が設定されたときの唯一の現実的な関係は、収束 $V_{th} = UV \cdot E \cdot V_{th}$ である。他方、補正発明は定常状態しきい値電圧を紫外線消去時のしきい値電圧より小さい値にオフセットするものであり、これは $V_{th} < UV \cdot E \cdot V_{th}$ を意味するから、補正発明は、この点において先願発明と相違する」と主張する。

確かに、先願明細書には、上記2のとおり、収束 V_{th} を紫外線消去時のしきい値電圧 $UV \cdot E \cdot V_{th}$ とすることにより、外部ストレスに対する安定性を高めるフラッシュ型 E^2PROM の消去方法の発明が記載されている。

しかしながら、先願明細書には、上記2(1)のとおり、リーク電流が流れないようにし、書込時の消費電流を低減するという発明の目的が明示されており、この目的を達成するものとして、先願発明に係る技術思想が開示されているのであるから、先願明細書には、上記のような外部ストレスに対する安定性を高めるフラッシュ

ユ型 E² P R O M の消去方法の前提となる先願発明が，独立の技術思想として開示されていることは明らかである。

そうすると，先願発明における収束 V_{th} は，収束 $V_{th} = UV \cdot E \cdot V_{th}$ の場合に限定されないものであり，先願発明は，「定常状態しきい値電圧を UV 消去電圧よりも小さくオフセットするもの」（収束 $V_{th} < UV \cdot E \cdot V_{th}$ ）を含むものであるというべきであるから，原告の主張を採用することはできない。

(2) また，原告は，「先願発明にはゲート電圧が接地電圧よりも高くなければならないという要求は存在しない。他方，補正発明はゲート電圧が接地電圧よりも高いという限定が付加されているものであるから，補正発明はこの点において先願発明と相違する」と主張する。

先願発明は，上記 2 (1) イ (イ) のとおり，セルフ・コンバージェンスによる収束 V_{th} はゲート電圧 V_G に依存し，両者には図 3（上記 2 (1) ア (キ)）に示されるような関係があるとの知見に基づくものであり，図 3 の関係を式で表すと，「【数 7】収束 $V_{th} = UV \cdot E \cdot V_{th} + V_G - V_D + V_P$ 」となるとされるほか，図 3 のグラフは，ゲート電圧 = 0 V の座標点よりも左下方向（つまり，横軸であるゲート電圧がマイナスの方向）に，わずかではあるが延びていることが認められ，上記【数 7】によって示される式及び図 3 のグラフのみからすると，ゲート電圧が接地電圧（0 V）よりも低い場合が想定され得るようにも見える。

しかしながら，先願発明は，上記 2 (1) イ (ア)，(イ) のとおり，ゲート電圧 V_G が 0 V の条件で行われる従来の消去方法において，リーク電流が流れるために書込時の消費電流が増大するという問題を解決するために，F - N・トンネリングによる消去後のセルフ・コンバージェンス時に，一定の条件（「【数 5】 $V_G > \{ 1 + (C_D / C_C) \} V_D - UV \cdot E \cdot V_{th} - V_P$ 」との条件）を満たすゲート電圧 V_G をコントロールゲートに印加し，収束 V_{th} をドレイン電流（リーク電流）が流れ始めるしきい値電圧以上にするというものであるから，ここで印可するゲート電圧 V_G が 0 V（接地電圧）よりも高いものであることは明らかである。

そうすると、先願発明のゲート電圧は、補正発明のゲート電圧と同様、接地電圧よりも高いものであるから、原告の主張を採用することはできない。

(3) さらに、原告は、先願明細書における段落【0021】～【0025】の記載を根拠として、先願発明は「セルフ・コンバージェンス及び複数回消去方式のような、しきい値電圧の収束及び自己収束方式」であるとし、補正発明はこれに対する改良をもたらすものであるから、補正発明は、この点においても先願発明と相違する旨主張する。

ア 先願明細書の特許請求の範囲の請求項3～5は、次のとおり記載されている。

「【請求項3】 E^2 PROMからなるメモリセルがマトリクス状に配置されて構成されたメモリアレイにおいて、ゲート電圧を V_G 、紫外線によって消去したときの閾値電圧を $UV \cdot E \cdot V_{th}$ 、プロセスに依存する電圧を V_P 、アバランシェ・ホット・キャリアの注入によって自動的に収束する閾値電圧を収束 V_{th} とするとき、前記メモリアレイを構成する全てのメモリセルを書込み状態にした後に、

【数3】

$$V_D = V_G + UV \cdot E \cdot V_{th} + V_P - \text{収束 } V_{th}$$

なる条件を満足するドレイン電圧 V_D をドレインに印加することによって閾値電圧を前記収束 V_{th} に収束させ、しかる後前記メモリアレイを構成するメモリセルに対する消去を行うことを特徴とするフラッシュ型 E^2 PROMの消去方法。

【請求項4】 前記メモリセルに対する消去を、前記メモリアレイを構成する全てのメモリセルに対して、又はセル単位で選択的に行うことを特徴とする請求項3記載のフラッシュ型 E^2 PROMの消去方法。

【請求項5】 前記メモリセルに対する消去を、

【数4】 収束 $V_{th} = UV \cdot E \cdot V_{th}$

なる条件を満足する収束 V_{th} をコントロールゲートに印加することによって行うことを特徴とする請求項4記載のフラッシュ型 E^2 PROMの消去方法。」

イ 先願明細書の段落【0021】～【0025】には、次の記載がある。

「なお、上記実施例では、図4の例において、1ワード線(=1セクタ)で、1ワード線のみ消去する場合について説明したが、一括消去を狙う場合には、図5に示すように、ほとんどのビットの消去 V_{th} 分布を1Vの幅の範囲に入れる必要がある。これは、1本のビット線の2048セルのうち1/4が収束 V_{th} よりも下にいったとしただけでも、512セルがリーク電流を流してしまうからである(10 μ A/セルとして1mA)。

上述した一連の消去動作を行う場合、メモリアレイを構成する E^2 PROMからなるメモリセルの全てを書込み状態(フローティングゲートに電子が入っている状態)にする動作が消去動作に先立って行われる。この書込み動作において、書込み速度と書込みディスタurbなどの原因によって書込み後のメモリセルの閾値電圧 V_{th} が数Vの範囲でばらつくことになる。ここで、書込みディスタurbとは、書込み時にドレイン又はゲートのいずれか一方にしか電圧を印加しなかった場合に閾値電圧 V_{th} が変化しないようにセルが作られるのであるが、ドレイン又はゲートのいずれか一方だけに電圧を印加した場合でも閾値電圧 V_{th} がシフトする現象を言う。

このように、書込み後のメモリセルの閾値電圧 V_{th} がばらつくことから、深めに閾値電圧 V_{th} を書き込まないと、 V_{th} シフト不足のセルが発生してしまうことになるため、書込み時間を長くしなければならない。また、書込みディスタurb特性が悪いときも、 V_{th} シフト不足になり、読出し速度が遅くなるなどの悪影響を及ぼすことになる。そこで、本発明による他の実施例では、メモリセル全てが書込み状態にあるとき、セルフコンバージェンスによって書込み後のメモリセルの閾値電圧 V_{th} を、ある一定の V_{th} に収束させるようにしている。

すなわち、図10のフローチャートにおいて、先ず、メモリアレイを構成する全てのメモリセル(又は、あるブロック内のメモリセル)を書込み状態にし(ステップS11)、続いて書込み後の閾値電圧 V_{th} のばらつきを小さくするためにセルフコンバージェンスを行う(ステップS12)。このセルフコンバージェンスでは、書込み後の閾値電圧 V_{th} を例えば6.5Vに収束させる場合、数7の数式に収束 $V_{th} = 6.5$ Vを代入することにより、【数8】 $V_D = V_G + UV \cdot E \cdot V_{th} + V_P - 6.5$ となり、この数式の条件を満足するドレイン電圧

V_D , ゲート電圧 V_G をドレイン , ゲートに印加する。

その結果 , メモリセルの閾値電圧 V_{th} は 6 . 5 V 付近に収束し , V_{th} のばらつきは小さくなる。このようにしてメモリセルの閾値電圧 V_{th} を 6 . 5 V 付近に収束させ , V_{th} のばらつきを小さくした後 , 先述した本発明に係る一連の消去動作を実行し (ステップ S 1 3) , この消去動作を全ビットに対して終了したと判定する (ステップ S 1 4) まで繰り返す。」

ウ 上記ア , イによると , 先願明細書の段落【 0 0 2 1 】 ~ 【 0 0 2 5 】 の記載は , 請求項 3 ~ 5 に記載された発明の実施例についての記載であると認められ , 先願明細書には , これらの記載によって , 書込み後のメモリセルのしきい値電圧 V_{th} がばらつくことによる問題を解決するため , メモリセルすべてが書込み状態にあるとき , セルフ・コンバージェンスによって書込み後のメモリセルのしきい値電圧 V_{th} を , ある一定の V_{th} に収束させるようにする発明が開示されているものと認められる。

しかしながら , 審決及び本判決が , 先願明細書に基づいて認定した「先願発明」は , 上記 2 (1) のとおり , リーク電流が流れないようにし , 書込時の消費電流を低減するという目的を達成するため , 同 (2) の構成を備えた発明であって , この先願発明が , 先願明細書の請求項 3 ~ 5 及び段落【 0 0 2 1 】 ~ 【 0 0 2 5 】 に開示された上記発明とは別個の発明と観念されることは明らかである。そして , 先願発明とは別個の発明が , 先願発明と並んで先願明細書に開示されており , この発明と補正発明との間に , 仮に原告が主張するような相違があるとしても , 先願発明と補正発明との間に相違があることにはならないから , 原告の主張は失当であるといわざるを得ない。

(4) 上記 (1) ~ (3) のとおり , 補正発明と先願発明との間に原告が主張する相違点が存在するとは認められず , これらが実質的に同一であるとして , 本件補正を却下した審決の判断に誤りはないから , 審決が発明の要旨を本件補正前の請求項 5 の記載のとおり認定したことは正当である。

なお , 原告は , 本願発明と先願発明の対比に関し , 両発明は , 上記 (1) ~ (3) にお

ける原告主張と同様の各点において、実質的に相違すると主張する。

しかしながら、上記第2の2(1)、(2)の各特許請求の範囲を対比すれば明らかとなり、補正発明において、「定常しきい値電圧」をオフセットする値が「紫外線消去時のしきい値電圧より小さな値」に限定され、かつ、「第2の電圧」が「接地電圧より高い」と限定されているのに対して、本願発明においては、「定常しきい値電圧」をオフセットする値に限定はなく、「第2の電圧」についても「接地電圧と異なる」とされる点でのみ先願発明と異なるのであるから、上記(1)～(3)において説示したところに照らし、本願発明が先願発明と相違しないことは明らかである。

(5) 以上によれば、原告主張の取消事由は理由がなく、本件補正を却下した上、本願発明と先願発明の対比を行い、これらが実質的に同一であるとした審決の判断に誤りはない。

4 結論

以上の次第で、本訴請求は棄却されるべきであるから、主文のとおり判決する。

知的財産高等裁判所第4部

裁判長裁判官

石 原 直 樹

裁判官

榎 戸 道 也

裁判官

杜

下

弘

記