

平成11年（行ケ）第316号 審決取消請求事件（平成13年3月7日口頭弁論
終結）

原告	被告	判決
ズ・コーポレーション	インターナショナル・ビジネス・マシーン	
代表者	【A】	
訴訟代理人弁理士	坂口 博	
同	市 位	
同	渡 部	嘉弘
被告	特許庁長官	博宏道
指定代理人	【B】	
同	【C】	
同	【D】	
同	【E】	
同	【F】	

主文
原告の請求を棄却する。
訴訟費用は原告の負担とする。
この判決に対する上告及び上告受理申立てのための付加期間を30日
と定める。

事実及び理由

第1 当事者の求めた裁判

1 原告
特許庁が平成4年審判第12253号事件について平成11年5月14日に
した審決を取り消す。
訴訟費用は被告の負担とする。

2 被告
主文第1、2項と同旨

第2 当事者間に争いのない事実

1 特許庁における手続の経緯

原告は、1984年（昭和59年）2月27日にアメリカ合衆国においてし
た特許出願に基づく優先権を主張して、同年11月29日、名称を「メモリ・リフ
レッシュ・システム」とする発明（以下「本願発明」という。）につき特許出願を
した（特願昭59-250670号）が、平成4年3月9日に拒絶査定を受けたの
で、同年7月2日、これに対する不服の審判の請求をした。

特許庁は、同請求を平成4年審判第12253号事件として審理した上、平
成7年2月20日に「本件審判の請求は、成り立たない。」との審決をしたが、当
庁平成7年（行ケ）第168号審決取消請求事件について平成9年11月5日に言
い渡された判決が同審決を取り消し、同判決は確定したので、特許庁は、同審判請
求につき更に審理し、平成11年5月14日、「本件審判の請求は、成り立たな
い。」との審決をし、その謄本は、同年6月9日、原告に送達された。

2 平成3年2月28日付け手続補正書、平成4年1月23日付け手続補正書及
び平成10年8月5日付け手続補正書による各補正を経た後の本件出願に係る明細
書（以下「本願明細書」という。なお、原告作成の甲第2号証の5は、本願明細書
の記載事項を同一文書に表示したものである。）記載の特許請求の範囲

保留要求信号に应答してローカル・バスの制御権を放棄し保留肯定応答信号
を発生する型のプロセッサを含むデータ処理システムにおいて、ダイナミック・ラ
ンダム・アクセス・メモリをリフレッシュするためにDMAコントローラに接続さ
れたメモリ・リフレッシュ・ユニットであって、

前記DMAコントローラから保留要求信号が到達していないときに、リフレ
ッシュタイマ回路からの周期信号に应答して前記プロセッサに対して保留要求信号
を供給する第1の論理手段と、

前記第1の論理手段が供給した保留要求信号に应答して前記プロセッサが発
生した保留肯定応答信号に应答してリフレッシュ制御信号を発生する第2の論理手
段と、

前記リフレッシュ制御信号に应答してメモリ行アクセスを制御するリフレ
ッシュ信号を供給する第3の論理手段と、

前記リフレッシュ制御信号に应答して1ずつ増分されるカウンタ・レジスタ
回路と、

前記リフレッシュ制御信号に応答して前記カウンタ・レジスタ回路のカウント値をメモリ行アドレスとして出力させる第1のゲート信号を発生し、前記ダイナミック・ランダム・アクセス・メモリの読取りサイクルを制御するメモリ読取り信号を発生させる第2のゲート信号を発生するシーケンサ回路とを備えていることを特徴とするメモリ・リフレッシュ・ユニット。

3 審決の理由

審決は、別添審決書写し記載のとおり、本願明細書は、当業者が容易にその実施をすることができる程度に本願発明の目的、構成及び効果を記載したものとは認められず、また、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとも認められないので、特許法36条3項及び4項（注、「平成2年法律第30号による改正前の特許法36条3項及び4項」の趣旨と解される。）に規定する要件を満たしていないとした。

第3 原告主張の審決取消事由

1 審決は、本願明細書の記載を正解しないで、当業者が容易にその実施をすることができる程度に本願発明の目的、構成及び効果を記載したものとは認められないと判断し、ひいて、特許請求の範囲の欄に本願発明の構成に欠くことができない事項のみが記載されているとは認められないとしたものであるから、違法として取り消されるべきである。

2 取消事由（本願明細書の記載事項についての認定判断の誤り）

(1) リフレッシュのオーバーヘッドについて

ア 審決は、「本願発明の目的、効果が仮にリフレッシュのオーバーヘッドを下げることにあるとしても、・・・明細書（注、本願明細書）及び図面の記載では、リフレッシュのオーバーヘッドとは何か、その目的、効果を達成するために何が必須の構成要件か、どのような工夫によりリフレッシュのオーバーヘッドを下げるのが可能になったのか、が不明であるので、本願発明が何か不明である」（審決書3頁16行目～4頁3行目）と判断した。

しかしながら、本願明細書（甲第2号証の5）には、リフレッシュのオーバーヘッドにつき「ここで、オーバーヘッドとは全処理時間（DRAMのある特定の行に関するリフレッシュ間隔に相当する時間）に対するリフレッシュに用いられる時間（DRAMのすべての行を1回ずつリフレッシュするのに要する時間の合計）の比率である」（4頁21行目～24行目）との定義があり、また、実施例に係る具体的なオーバーヘッドの計算式の記載（16頁19行目、以下「オーバーヘッドの計算式」という。）もあって、オーバーヘッドの意義に不明瞭なところはない。

リフレッシュのオーバーヘッドはプロセッサ部分におけるオーバーヘッドを対象とするものであり、オーバーヘッドの計算式における分子（リフレッシュに用いられる時間）には、リフレッシュ信号が発生している期間が示されているところ、被告は、プロセッサ部分におけるオーバーヘッドを対象とするのであれば、オーバーヘッドの計算式における「リフレッシュに用いられる時間」は、保留肯定応答信号（HLDA）が発生している期間に対応するものでなければならないから、本願明細書に記載されたリフレッシュのオーバーヘッドの意義は不明瞭であると主張する。

しかしながら、リフレッシュ信号が発生している期間は、DRAMをリフレッシュする時間であるとともに、プロセッサがローカル・バス（以下単に「バス」という。）の制御権を放棄している時間（プロセッサにおいて本質的でない処理に要する時間）に当たるものである。もっとも、プロセッサがバスの制御権を放棄している時間（HLDAが発生している期間）は、リフレッシュ信号が発生している期間と一致せず、これより長くなるが、リフレッシュ信号がインアクティブ（ハイレベル）になってから、すなわち、プロセッサがインアクティブ（ローレベル）の保留要求信号（HRQ）を受け取ってから、HLDAをインアクティブ（ローレベル）とするまでの時間は、プロセッサのクロック速度や内部処理状態により変化し、一定ではないため、HLDAが発生している（アクティブである）期間全体をオーバーヘッドの計算式における「リフレッシュに用いられる時間」とすることはできないのである。

本願明細書（甲第2号証の5）に「従来技術ではリフレッシュ・サイクルにDMAユニットを使用し、ローカル・バスの制御権獲得のために保留要求／肯定応答初期接続手順シーケンスを含むことになるためオーバーヘッドが大きいという問題があった。したがって本発明の目的は、保留要求信号に応答してローカル・バ

スの制御権を放棄し、保留肯定応答信号を発生する型のプロセッサを含むデータ処理システムにおいて、リフレッシュ・サイクルにDMAコントローラの処理を介在させないでダイナミック・ランダム・アクセス・メモリのリフレッシュを小さいオーバーヘッドで実行できるメモリ・リフレッシュ・ユニットを提供することにある」(6頁1行目～9行目)と記載されているように、リフレッシュにDMAコントローラを介在させた従来技術においては、DMAコントローラの接続シーケンスに費やす時間によりオーバーヘッドが増大するという問題があり、本願発明は、これを解決するため、リフレッシュにDMAコントローラを介在させないでバス制御権を獲得する点に特徴がある。そうすると、オーバーヘッドを定義するに当たっては、それがプロセッサ部分におけるオーバーヘッドを対象とするものであっても、プロセッサ以外のリフレッシュ動作に関わる装置(リフレッシュ・ユニット、DMAコントローラ)の性能上、バスの制御権を何サイクル獲得する必要があるかを正確に把握できれば、それがプロセッサがバスの制御権を放棄している全期間(HLDAが発生している全期間)でないともしも何ら不都合は生じない。しかも、リフレッシュ信号が発生している期間は、システムクロック信号のサイクル数として計算できるのであるから、クロックサイクルが定まれば、従来の方法とも比較できる客観的な指標ともなるのである。

したがって、オーバーヘッドの計算式における「リフレッシュに用いられる時間」に、HLDAが発生している期間ではなく、リフレッシュ信号が発生している期間が示されているからといって、本願明細書に記載されたリフレッシュのオーバーヘッドの意義が不明瞭であるということとはできない。

イ また、本願明細書(甲第2号証の5)の従来例に関する「リフレッシュのオーバーヘッドは12%にも達する」(5頁23行目～24行目)との記載に関し、審決は、「リフレッシュのオーバーヘッドが12%になる理由が不明である」(審決書7頁1行目～2行目)ので、「本願発明の目的、効果が不明である」(同6頁4行目～5行目)と判断した。

しかしながら、DMAコントローラを介在させた従来技術において、DMAコントローラの接続シーケンスに費やす時間によりオーバーヘッドが増大することは上記アのとおりである。本願明細書の従来例に関する「リフレッシュのオーバーヘッドは12%にも達する」との記載は、従来技術において、動作時間の遅いDMAコントローラ(主プロセッサの2倍のサイクルタイムで動作する。)の接続手順を介すると、リフレッシュ・サイクルごとに、余計な時間を含めてバス制御権を獲得することになり、その結果リフレッシュのオーバーヘッドが12%にまでなることを説明したものである。本願明細書の記載からは、DMAコントローラが介在して、その接続手順を介することにより、オーバーヘッドが12%もの大きい値になることが理解できれば、更にそれ以上の詳細部分を説明するまでもなく、本願発明が理解できるのであって、審決が、リフレッシュのオーバーヘッドが12%になる理由が不明であるので、本願発明の目的及び効果が不明であるとしたことは誤りである。

(2) バス制御権獲得の調整について

審決は、本願発明につき、「『DMAコントローラ』が『保留要求(HRQ)信号』を出力した場合、『ラッチされた保留要求(LHRQ)信号』として『メモリリフレッシュユニット5』を介在し、『メモリリフレッシュユニット5』から『保留要求(HRQ)信号』を出力することになるが、この場合、(1)『プロセッサ1』は受け取った『保留要求(HRQ)信号』が『DMAコントローラ』から出力されたことをどの様にして知るのか、或いは知る必要が無いのか、(2)『プロセッサ1』は『保留肯定応答(HLDA)信号』を何に出力するのか(『DMAコントローラ』に直接出力するのか、『メモリリフレッシュユニット5』を介して出力するのか)、(3)『ラッチされた保留要求(LHRQ)信号』を用い『メモリリフレッシュユニット5』を介在させている技術上の理由が何か、不明である。(本願発明における『ANDゲート10』の役目が不明である)」(審決書10頁12行目～11頁9行目)から、「本願発明の構成、効果が不明である」(同9頁末行～10頁1行目)と判断したが、以下のとおり、この判断は誤りである。

すなわち、DMAコントローラを含むデータ処理システムにおいては、一方でDMAコントローラがバスの制御権を獲得する必要があるが、他方、本願発明のメモリ・リフレッシュ・ユニットもリフレッシュのため独自にバスの制御権を獲得する必要があるが、両者が同時に制御権を獲得することはできないので、本願明細書の特許請求の範囲の記載のとおり、リフレッシュ・ユニットは「DMAコントロ

ーラから保留要求信号が到達していないときに、リフレッシュタイマ回路からの周期信号に応答して前記プロセッサに対して保留要求信号を供給する第1の論理手段」の構成を含んで、リフレッシュ動作を実行する。つまり、本願発明は、リフレッシュのため、リフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得する点に特徴があるのであるから、DMAコントローラとリフレッシュ・ユニットとの間で、バス制御権獲得の調整をすることが必要になるものである。

審決の指摘する図面第2図（本願発明のメモリ・リフレッシュ・ユニットの詳細を示すブロック図、甲第2号証の1添付）に示された「ANDゲート10」の役割は、DMAコントローラからのLHRQをORゲート13に送ってHRQをプロセッサに送るか、LHRQが到達していないときにリフレッシュ・タイマ回路からのタイミング信号をORゲート13に送ってHRQをプロセッサへ送ることによって、ANDゲート10自体が、DMAコントローラ及びリフレッシュ・ユニットによるバス制御権の獲得を調整する（DMAコントローラからのLHRQとリフレッシュ・タイマ回路からのタイミング信号とのいずれかを選択する）機能を有するものではない。

本願明細書には、本願発明のリフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得することのできる構成が十分に記載されているわけではないが、その構成が本願明細書に開示されている必要はないものである。

なぜなら、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整は、本願発明に係るリフレッシュ・ユニット以外の部分で行われるものであり、本願発明は、DMAコントローラとリフレッシュ・ユニットとのバス制御権獲得の調整方法に特徴があるわけではない。また、本願明細書及び上記図面第2図には、本願発明において、DMAコントローラを介在させないでリフレッシュ・ユニットにバス制御権を獲得させることを、リフレッシュ・ユニットをDMAコントローラにバス制御権を要求する位置ではなく、DMAコントローラからLHRQを受け取る位置に接続させる構成によって実現していることが開示されており、このような構成のリフレッシュ・ユニットは、独自にバス制御権を獲得すること及びDRAMの各行のリフレッシュ信号を適切なタイミングで生成することのできる新規な構成である。さらに、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整の方法は、当業者にとって周知の技術事項であり、当業者であれば、本願明細書にその方法が十分に開示されていなくとも本願発明の実施をすることが可能である。

なお、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整（調停）回路の一態様は別紙参考図1、2に示されるとおりである（以下、参考図1、2に示された調停回路を「参考調停回路」という。）が、参考調停回路は、当業者が本件出願時に容易に実現することができたものである。

(3) 上記(1)、(2)のほか、本願明細書の記載につき、平成2年法律第30号による改正前の特許法36条3項及び4項の要件を満たさないとする事由は存在しない。

第4 被告の反論

- 1 審決の認定及び判断は正当であり、原告主張の取消事由は理由がない。
- 2 取消事由（本願明細書の記載事項についての認定判断の誤り）について

(1) リフレッシュのオーバーヘッドについて

ア 原告は、本願明細書が、リフレッシュのオーバーヘッドにつき「ここで、オーバーヘッドとは全処理時間（DRAMのある特定の行に関するリフレッシュ間隔に相当する時間）に対するリフレッシュに用いられる時間（DRAMのすべての行を1回ずつリフレッシュするのに要する時間の合計）の比率である」と定義してあるから、不明瞭なことではないと主張するところ、本願明細書に上記の記載があることは認めるが、この記載によっても、リフレッシュのオーバーヘッドの意義は明確にはならない。

すなわち、「オーバーヘッド」とは、「全処理時間」に対する「本質的でない処理に要する時間」の比率のことであるから、オーバーヘッドの改善を図ることを目的とする場合には、データ処理システムのどの部分における「全処理時間」及び「本質的でない処理に要する時間」を対象にするのかが明確にされなければならないところ、原告は、本願明細書におけるリフレッシュのオーバーヘッドにつき、プロセッサ部分を対象とするものである旨主張する。

しかしながら、本願発明のプロセッサは、リフレッシュ・ユニットからのものであれ、DMAコントローラからのものであれ、保留要求信号（HRQ）に
応答してバスの制御権を放棄し、保留肯定応答信号（HLDA）を発生する型のも
のであって、HLDAを発生している間、プロセッサは、バスを用いた処理をする
ことができないのであるから、原告主張のようにプロセッサ部分におけるオーバ
ーヘッドを対象とするのであれば、オーバーヘッドの計算式における「リフレッシュ
に用いられる時間」（本質的でない処理に要する時間）は、HLDAが発生してい
る期間に対応するものでなければならないはずである。ところが、本願明細書のオー
バーヘッドの計算式における「リフレッシュに用いられる時間」はHLDAが発生
している期間に対応するものではなく、原告の主張によれば、リフレッシュ・ユ
ニット固有の信号（AND 16の出力信号）であるにすぎないリフレッシュ信号が
発生している期間に対応するものであり、かつ、HLDAが発生している期間とリ
フレッシュ信号が発生している期間とは一致しないというのであるから、本願明細
書に記載されたリフレッシュのオーバーヘッドはプロセッサ部分を対象とするもの
であるということとはできず、結局、本願明細書のリフレッシュのオーバーヘッドの
意義は不明瞭であるというほかはない。

原告は、リフレッシュ信号がインアクティブ（ハイレベル）になってか
ら、プロセッサがHLDAをインアクティブ（ローレベル）とするまでの時間が、
プロセッサのクロック速度や内部処理状態により変化するため、HLDAが発生し
ている期間全体をオーバーヘッドの計算式における「リフレッシュに用いられる時
間」とすることはできない旨主張するが、仮にそうであるとすれば、HLDAが発
生している期間とリフレッシュ信号が発生している期間とは、ますますかけ離れた
ものとなるから、リフレッシュ信号が発生している期間を「リフレッシュに用いら
れる時間」としてオーバーヘッドを定義することにより、プロセッサのオーバーヘ
ッドを把握することができかどうか極めて疑わしい。

イ また、原告は、審判が、「リフレッシュのオーバーヘッドが12%にな
る理由が不明である」ので、「本願発明の目的、効果が不明である」としたことが
誤りであると主張するが、原告の主張によっても、オーバーヘッドが12%になる
従来技術が具体的にどのようなものであるかは依然として不明である。

(2) バス制御権獲得の調整について

原告は、本願発明が、DMAコントローラとリフレッシュ・ユニットとの
バス制御権獲得の調整方法に特徴があるわけではなく、また、その調整方法は、当
業者にとって周知の技術事項であって、当業者は、本願明細書にその方法が十分に
開示されていなくとも本願発明の実施をすることが可能であるから、リフレッシュ
・ユニットがDMAコントローラを介在させないでバス制御権を獲得することの
できる構成が本願明細書に開示されている必要はない旨主張し（なお、DMAコン
トローラを介在させないでリフレッシュ・ユニットにバス制御権を獲得させること
を、リフレッシュ・ユニットをDMAコントローラからLHRQを受け取る位置に
接続させる構成によって実現しているとも主張するが、そうであるからといって、
何ゆえに、本願明細書にその方法が開示されなくてよいのかは明らかではな
い。）、さらに、参考調停回路は、DMAコントローラとリフレッシュ・ユニット
との間のバス制御権獲得の調停回路の一態様として、当業者が本件出願時に容易に
実現することができたものである旨主張する。

しかしながら、原告は、DMAコントローラを介在させないでリフレッシュ
・ユニットにバス制御権を獲得させるための、本願発明のリフレッシュ・ユニット
の構成が新規である旨を主張しており、仮に、そうであるとすれば、DMAコン
トローラとリフレッシュ・ユニットとの間におけるバス制御権獲得の調整は、従来
にない新規な構成で実現されるはずであるから、その構成が当業者にとって周知の
技術事項であるということとはできない。

また、参考調停回路は、参考図1に示されたものだけでは、例えば、FF
11Q出力が調停回路への入力信号とされる必然性又はそれが当業者に自明である
とする理由がなく、また、調停回路から出力されるLHRQは、DMAコントロー
ラから出力され調停回路においてラッチされたHRQ（D）であることが必然又は
自明であるとする理由がないなど、調停作業の論理の存在をうかがうことができな
い。そこで、具体的な回路構成である参考図2に示されたものを検討すると、その
内容は、本願明細書及び図面並びに周知事項に基づくものではなく、むしろ新規の
発明ともいふべき極めて巧妙なものであるから、結局、参考調停回路が、本件出願
時に、本願明細書及び図面の記載並びに周知事項に基づいて当業者において容易に

実現することができたものということとはできない。

したがって、本願発明におけるDMAコントローラとリフレッシュ・ユニットとのバス制御権獲得の調整に係る構成が本願明細書に開示される必要がないとする理由はなく、本願明細書又は図面には、リフレッシュ・ユニットがDMAコントローラを介することなくバスの制御権を獲得するための構成について記載されていない不備があるというべきである。

(3) 上記(1)、(2)の事由を除き、本願明細書の記載につき、平成2年法律第30号による改正前の特許法36条3項及び4項の要件を満たさないとする事由が存在しないことについては、特に争わない。

第5 当裁判所の判断

1 取消事由（本願明細書の記載事項についての認定判断の誤り）について

(1) 原告主張の取消事由のうち、まず、DMAコントローラとリフレッシュ・ユニットとのバス制御権獲得の調整に関する主張（上記第3の2の(2)）について検討する。

(2) 本願明細書（甲第2号証の5）には、本願発明の実施例につき、「DMA3とI/O装置との間で直接的なデータ転送を行うような場合には、DMAコントローラがプロセッサ1に保留要求（HRQ）信号を発生して初期接続手順シーケンスを開始させ、プロセッサ1からの保留肯定応答（HLDA）信号によりローカル・バスの制御権を獲得する。本実施例では、DMAコントローラからの保留要求信号は、ラッチされたあとラッチされた保留要求（LHRQ）信号として第2図に示すメモリ・リフレッシュ・ユニット5に入り、要求したI/O装置のためにDMAコントローラがローカル・バスの制御権を獲得する。・・・LHRQ信号（ハイレベルが活動状態）はANDゲートの反転入力に印加される。この結果、ANDゲート10のもう一方の入力であるフリップフロップ11からの反転Q出力がいかなる状態であっても・・・ANDゲート10の出力はハイレベルからローレベルになる。このローレベルの出力は、ANDゲート12からのハイレベル出力がないときは・・・ORゲート13を介してハイレベルのHRQ信号をプロセッサ1に供給する。以上のようにして、DMAコントローラからのLHRQ信号はANDゲート10およびORゲート13を介してプロセッサ1に直接送られる。DMAコントローラからの保留要求（LHRQ）信号は対応するHLDA信号により・・・ANDゲート12を介してラッチされる」（11頁10行目～12頁5行目）との記載がある。

そして、審決は、本願明細書の上記記載及び図面第2図（甲第2号証の1添付）に基づいて、「『DMAコントローラ』が『保留要求（HRQ）信号』を出力した場合、『ラッチされた保留要求（LHRQ）信号』として『メモリリフレッシュユニット5』を介在し、『メモリリフレッシュユニット5』から『保留要求（HRQ）信号』を出力することになるが、この場合、(1)『プロセッサ1』は受け取った『保留要求（HRQ）信号』が『DMAコントローラ』から出力されたことをどの様にして知るのか、或いは知る必要が無いのか、(2)『プロセッサ1』は『保留肯定応答（HLDA）信号』を何に出力するのか（『DMAコントローラ』に直接出力するのか、『メモリリフレッシュユニット5』を介して出力するのか）、(3)『ラッチされた保留要求（LHRQ）信号』を用い『メモリリフレッシュユニット5』を介在させている技術上の理由が何か、不明である。（本願発明における『ANDゲート10』の役目が不明である）」（審決書10頁12行目～11頁9行目）との認定判断をしたものと認められるが、その内容は、要するに、上記図面第2図の実施例は、リフレッシュ・ユニットが、DMAコントローラからLHRQを受け取り、プロセッサにHRQを出力する位置に接続されている構成であることに照らし、プロセッサから見て、HRQ及びこれに応じたHLDAが、DMAコントローラ及びリフレッシュ・ユニットのいずれに起因するものであるか、あるいは、いずれのためのものであるかという点の識別に係る構成を問題とするものであると解される。

他方、本願発明において、リフレッシュ・ユニットがDMAコントローラから独立してバス制御権を獲得する必要があること、DMAコントローラも、従前と同様バス制御権を獲得する必要があること、したがって、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整をする必要があることは、いずれも原告の自認するところであり、このことを考慮すると、審決の上記認定判断は、結局、本願明細書の記載上、上記図面第2図の実施例において、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得のための調整方法に係

る構成が明らかではなく、本願発明のリフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得することのできる構成が不明であるとの趣旨をいうものと理解することができる。

(3) これに対し、原告は、本願発明のリフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得することのできる構成につき、本願明細書には十分な記載がないことを自認した上、当該構成が本願明細書に開示されている必要はない旨主張する。

(4) そして、原告は、上記(3)の主張の理由として、まず、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整は、本願発明に係るリフレッシュ・ユニット以外の部分で行われ、本願発明は当該調整方法に特徴があるわけではないことを挙げるが、仮に、その点について原告の主張のとおりであるとしても、当業者において、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整の方法を認識できなければ、本願発明のリフレッシュ・ユニットを実施することができないことは明らかであり、したがって、上記事由は、上記構成が本願明細書に開示されている必要はないとする理由にはなり得ない。

(5) また、原告は、上記(3)の主張の理由として、本願発明において、DMAコントローラを介在させないでリフレッシュ・ユニットにバス制御権を獲得させることを、リフレッシュ・ユニットをDMAコントローラにバス制御権を要求する位置ではなく、DMAコントローラからLHRQを受け取る位置に接続させる構成によって実現している旨が、本願明細書及び図面第2図に開示されていることを挙げる。しかしながら、本願発明のリフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得することのできる構成が不明であるとした審決の判断は、前示のとおり、図面第2図の実施例において、リフレッシュ・ユニットが、DMAコントローラからLHRQを受け取り、プロセッサにHRQを出力する位置に接続された構成であることを踏まえたものと解されるから、そのこと自体が、上記構成が本願明細書に開示されている必要がないとする理由にはなり得ない。なお、原告は、そのような構成のリフレッシュ・ユニットにつき、独自にバス制御権を獲得すること及びDRAMの各行のリフレッシュ信号を適切なタイミングで生成することのできる新規な構成である旨主張するところ、仮に、そうであるとすれば、当該新規な構成に起因するDMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整に関する構成も新規であるはずであって、次に検討するところと同様、それが当業者にとって周知であるとしてもできない。

(6) 原告は、上記(3)の主張の理由として、さらに、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整の方法が、当業者にとって周知の技術事項であることを挙げるので、この点につき検討する。

ア 本願明細書の図面第2図の実施例における、上記の調整の具体的な方法に関し、原告作成の技術説明書(甲第5号証)には、「添付図1は、1行分のリフレッシュ動作を行う際の状態を示す。P0でタイミング信号が供給されてリフレッシュ・ユニットの動作が開始し、P1でリフレッシュ信号がインアクティブになって所定のCPUクロック・サイクル経過後、リフレッシュ・ユニットが獲得していたバスの制御権がCPUに渡り、P2でリフレッシュ・ユニットが初期状態に戻る。15マイクロ秒毎にリフレッシュ・ユニットは動作し、メモリ行のアドレスを1ずつ増分しながら全行を4ミリ秒以内でリフレッシュする。添付図2において、t0の期間中DMAコントローラはリフレッシュ動作を妨げないように、FF14のQ出力を反転させた信号を条件にしたAND回路でHRQがマスクされている。またこの間にリフレッシュ・ユニットからのHRQに対するHLDAがCPUから送られてきても、FF14のQ出力を条件にしてマスクされているのでDMAコントローラには到達せず、バスの制御権の確保に衝突は起きない。したがって、t0の期間は、バスの制御権がリフレッシュ・ユニットに優先して与えられる。・・・添付図1のt1期間は、リフレッシュ・ユニットがバスの制御権を獲得することがない期間であり、また、DMAコントローラがバスの制御権を獲得することができる期間である。DMAコントローラのHRQに応答してCPUがHLDAを送ったときは、明細書図2(注、本願明細書の図面第2図)のFF15がFF11からロー信号を受けている期間であるため、AND16の条件は成立せず、リフレッシュ信号は生成されない」(2頁24行目～43行目)との記載があり、この記載と同技術説明書(甲第5号証)の添付図1及び同2並びに本願明細書の図面第2図(甲第2号証の1添付)とを併せ見れば、同添付図1のP0時点(t0の開始時)において、DMAコントローラがバス制御権の獲得中でなければ、同添付図2

の回路によって、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整がされるものと認められる。

しかしながら、同添付図1の t_1 期間中に開始されたDMAコントローラによるバス制御権の獲得（I/O装置とDRAMユニットとの間の直接転送）が継続中に、次の P_0 時点（ t_0 の開始時）に至ったときは、本願明細書の図面第2図のFF11からハイレベル信号を受けてFF15がセットされ、他方、DMAコントローラにバス制御権を譲渡したCPUからはHLDAが送られているから、ANDゲート16の条件が成立し、リフレッシュ信号が生成されるはずである。すなわち、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整が果たされない事態となるが、同技術説明書（甲第5号証）には、同添付図2の回路が上記事態の発生を避けることができるとする技術事項については何らの記載もない。

したがって、技術説明書（甲第5号証）記載の方法は、それが周知技術に基づくものであるか否かを検討するまでもなく、バス制御権獲得の調整方法の例となり得ないものといわざるを得ない。

イ 本願明細書の図面第2図の実施例における、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整の具体的な方法に関し、原告は、参考調停回路が当該調整（調停）回路の一態様であり、かつ、それが、当業者において本件出願時に容易に実現することができたものである旨主張する。そして、別紙参考図1、2及び本願明細書の図面第2図（甲第2号証の1添付）並びに弁論の全趣旨を併せ考えれば、参考調停回路を設けることによって、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整が図られること、すなわち、参考調停回路が当該調整のための調停回路の一態様であること自体は、これを認めることができる。

しかしながら、以下のとおり、参考調停回路が、当業者において本件出願時に、図面を含む本願明細書の記載及び周知技術に基づいて容易に実現することができたものであることを認めることはできない。

すなわち、上記バス制御権獲得の調整（調停）のための具体的な方法は、その調停を可能とするための論理構成に基づいて考案されるものであるところ、当該論理構成は、どのような入力信号（CPU、リフレッシュ・ユニット、DMAコントローラ等から見れば、どのような出力信号）を用いるかによって異なるものであるから、上記バス制御権獲得の調整（調停）のための具体的な方法が、当業者において出願時に容易に実現することができるというためには、図面を含む明細書に、当該論理構成自体が記載若しくは示唆され、あるいは少なくともCPU、リフレッシュ・ユニット、DMAコントローラ等から、当該論理構成のために出力する信号が何であるかが記載若しくは示唆され、又はそれらの点が出願時における周知技術に基づいておのずから明らかであることを必要とするものというべきである。

そこで、参考調停回路につき、この点を検討するに、まず、図面第1～3図（甲第2号証の1添付）を含め本願明細書（甲第2号証の5）には、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整のための論理構成（少なくとも参考調停回路に示されているような具体的な論理構成）につき記載又は示唆があるとはいえず、また、CPU、リフレッシュ・ユニット、DMAコントローラ等から、当該論理構成のために出力する信号が何であるかについても記載又は示唆はない。

さらに、参考調停回路は、CPUのHLDA出力、DMAコントローラのHRQ出力等のほか、リフレッシュ・ユニットからFF11のQ出力が入力されて、別紙参考図1、2記載のように構成されるものであるが、これに示されている具体的な論理構成、又はこれらの出力信号、とりわけFF11のQ出力を用いて調停回路を構成することが、本件出願時における周知技術に基づき、当業者に自明であったことを認めるに足る証拠はない。特開昭58-39328号公報（甲第7号証）、昭和62年1月発行の【G】著「電子回路ノウハウ マイコンの割り込み処理とDMA」（甲第8号証）及び平成12年8月22日に原告がダウンロードした電子情報である「THE ISA AND PC/104 BUS」（甲第9号証）には、この点に関連する記載としては、DRAMのリフレッシュを必要とする環境において、DMAコントローラは、リフレッシュを妨げるような長期間、バス制御権の獲得を継続しないようにすることが周知の課題であること、この課題が、例えば、DMA転送におけるサイクルスチールモードの選択や、バースト・モードの連続バイト数を制約す

るなどの方法で解決されることが記載されているにとどまり、仮に、これらの事項が本件出願当時、当業者に周知であったとしても、上記参考調停回路における調停のための論理構成や、あるいはFF11のQ出力等、参考調停回路への入力信号が当業者に自明であったとはいえない。また、他に上記の点に関する周知技術が存在することを認めるに足る証拠もない。

ウ そうすると、DMAコントローラとリフレッシュ・ユニットとの間のバス制御権獲得の調整の方法が、当業者にとって周知の技術事項であるということとはできず、したがって、それが周知事項であることをもって、リフレッシュ・ユニットがDMAコントローラを介在させないでバス制御権を獲得することのできる構成が本願明細書に開示される必要がないとするものの理由とすることはできない。

(7) 以上のとおりであるから、本願発明におけるDMAコントローラとリフレッシュ・ユニットとのバス制御権獲得の調整に係る構成が本願明細書に開示される必要がないとする原告の主張は理由がない。そうすると、本願明細書又は図面に、リフレッシュ・ユニットがDMAコントローラを介することなくバスの制御権を獲得するための構成について記載されていないため、当業者において容易に本願発明の実施をすることができないというべきであり、本願明細書には、この点において平成2年法律第30号による改正前の特許法36条3項に反する記載不備の違法があるものといわざるを得ない。

2 以上によれば、その余の点につき判断するまでもなく、原告主張の審決取消事由は理由がない。また、他に審決を取り消すべき瑕疵は見当たらない。

よって、原告の請求を棄却することとし、訴訟費用の負担並びに上告及び上告受理申立てのための付加期間の指定につき行政事件訴訟法7条、民事訴訟法61条、96条2項を適用して、主文のとおり判決する。

東京高等裁判所第13民事部

裁判長裁判官	篠	原	勝	美
裁判官	石	原	直	樹
裁判官	宮	坂	昌	利

別紙 参考図1
別紙 参考図2