

平成 22 年 4 月 19 日 判決言渡

平成 21 年（行ケ）第 10268 号 審決取消請求事件（特許）

口頭弁論終結日 平成 22 年 4 月 12 日

判 決

原 告 インフィネオン テクノロジーズ
アクチエンゲゼルシャフト

訴訟代理人弁理士 原 謙 三

同 小 池 隆 彌

同 福 井 清

同 黒 田 敏 朗

同 野 山 孝

被 告 特 許 庁 長 官

指 定 代 理 人 安 田 雅 彦

同 北 島 健 次

同 市 川 篤

同 廣 瀬 文 雄

同 田 村 正 明

主 文

- 1 原告の請求を棄却する。
- 2 訴訟費用は原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための付加期間を 30 日と定める。

事 実 及 び 理 由

第 1 請求

特許庁が不服 2006 - 17143 号事件について平成 21 年 4 月 13 日にした審決を取り消す。

第2 事案の概要

- 1 本件は、原告が名称を「ソースダウンパワートランジスタ」とする発明について国際特許出願（本願）をしたところ、日本国特許庁から拒絶査定を受けたので、これを不服として審判請求をしたが、同庁から請求不成立の審決を受けたことから、その取消しを求めた事案である。
- 2 争点は、本願の請求項1に係る発明（本願発明）が下記引用文献に記載された発明との関係で進歩性を有するか（特許法29条2項）、である。

記

- ・特開昭48-55673号公報（発明の名称「MOS型集積回路」、出願人 日本電気株式会社、公開日 昭和48年8月4日。以下、この文献を「刊行物1」といい、これに記載された発明を「刊行物1発明」という。甲1）
- ・実願昭61-153205号（実開昭63-59349号）のマイクロフィルム（考案の名称「MOSトランジスタ」、出願人 新日本無線株式会社、公開日 昭和63年4月20日。以下、この文献を「刊行物2」といい、これに記載された発明を「刊行物2発明」という。甲2）

第3 当事者の主張

1 請求原因

(1) 特許庁における手続の経緯

原告は、1999年（平成11年）5月21日の優先権（ドイツ連邦共和国）を主張して、2000年（平成12年）5月10日、名称を「ソースダウンパワートランジスタ」とする発明について国際特許出願（PCT/DE00/01459。日本における出願番号は特願2000-620659号）をし、平成13年9月25日に日本国特許庁に翻訳文（国内公表公報は特表平2003-500853号，〔甲5〕）を提出し、その前後の平成13年9月26日付け（甲7）及び平成18年3月17日付け（甲6，請求項の数5）で特許請求の範囲の変更等を内容とする補正をしたが、拒絶査定を

受けたので、これに対する不服の審判請求をした。

特許庁は、上記請求を不服2006-17143号事件として審理した上、平成21年4月13日、「本件審判の請求は、成り立たない。」との審決をし（出訴期間として90日附加）、その謄本は平成21年5月12日原告に送達された。

(2) 発明の内容

平成18年3月17日付け補正後の特許請求の範囲は、上記のとおり請求項1～5から成るが、このうち請求項1に係る発明（以下「本願発明」という。）の内容は以下のとおりである。

・【請求項1】

互いに対向する2つの表面を、一方の伝導型の半導体基板（1）とその上に設けられた他方の伝導型の少なくとも1つの半導体層（2ないし8）とから呈する半導体部材を有するソースダウンパワートランジスタであって、

上記半導体基板（1）と、上記半導体部材の、上記半導体基板（1）に対向する表面との間の少なくとも1つの上記半導体層（2ないし8）に、上記表面から上記半導体基板（1）にまで達する、一方の伝導型の第1の高ドーピングされた領域（9）が設けられており、上記領域（9）と上記半導体基板（1）とが、ソース領域を形成し、

上記第1の領域（9）から間隔を置いて一方の表面から少なくとも1つの半導体層（2ないし8）内において、一方の伝導型の第2の高ドーピングされた領域（10）が設けられており、この領域が、ドレイン領域を形成し、このドレイン領域が、上記半導体基板（1）から間隔を置いて終っており、

両方の領域（9，10）の間の範囲に、その長手方向が両方の領域（9，10）の間に延びた複数の狭いトレンチ（11）が設けられており、これ

らのトレンチが、絶縁層（１３）によって覆われ、かつ導電材料（１４）によって満たされており、この導電材料が、ゲート電極を形成し、かつ、上記半導体部材の他方の表面を形成する上記半導体基板（１）の側に、ソース電極（２０）が設けられていることを特徴とするソースダウンパワートランジスタ。

(3) 審決の内容

審決の内容は、別添審決写しのとおりである。

その理由の要点は、本願発明は刊行物１発明、刊行物２に記載された発明及び周知技術に基づいて当業者が容易に発明をすることができたから特許を受けることができない（特許法２９条２項）、というものである。

なお、審決が認定した刊行物１発明の内容、同発明と本願発明との一致点及び相違点１～３は、上記審決写し記載のとおりである。

(4) 審決の取消事由

しかしながら、審決には、以下に述べるとおり誤りがあるので、違法として取り消されるべきである。

ア 取消事由１（相違点２を刊行物２発明により克服することの困難性）

(ア) 審決における論理付けの誤り

- a 審決は、相違点２について、刊行物１発明のゲート電極の構造として刊行物２発明を採用することによって当業者が容易に想到し得たことであると判断し、その理由として以下の２点に依拠した。

「刊行物１発明と刊行物２に記載された発明とは、共に、ＭＯＳトランジスタに関する技術分野に属し、面積の縮小を課題とするものである点で共通するものである。」（８頁３行～６行）

「一般に、ＭＯＳトランジスタに関する技術分野において、電流密度を増大させることは、当然求められる周知の課題であり、刊行物１発明においても、電流密度が大きいことが望ましいことは明ら

かである。」(8 頁 6 行 ~ 8 行)

しかし，以下で述べるとおり，上記 及び の認定は妥当性を欠くものである。

b 上記 につき

刊行物 1 の記載 (2 頁左上欄 7 ~ 1 6 行) によれば，刊行物 1 発明は，M O S 型集積回路のうち，共通端子を接続するためのコンタクト窓及び金属配線に相当する部分の面積，すなわち M O S トランジスタ自体の面積ではなく M O S トランジスタへの配線部分の面積を小さくすることを課題とするものである。

一方，刊行物 2 の記載 (2 頁 1 6 行 ~ 1 9 行) によれば，刊行物 2 発明は，M O S トランジスタの一部をなすチャンネルの幅を狭める，すなわち M O S トランジスタ自体の面積を小さくすることを課題とするものである。

以上のとおり，刊行物 1 発明と刊行物 2 発明とは，前者が M O S トランジスタの外部構造に着目した課題を掲げ，後者が M O S トランジスタの内部構造に着目した課題を掲げていることになるから，両者の課題は互いにまったく異なるものであるが，審決は「共に，M O S トランジスタに関する技術分野に属し，面積の縮小を課題とするものである点で共通するものである。」(8 頁 4 ~ 6 行) として，それぞれの課題の着目する部分の相違を無視し，事後的分析ともいえる手法で各課題の共通部分のみを抽出することによって，課題が共通していると判断しているから，論理付けとしては不適切である。

また，刊行物 1 発明及び刊行物 2 発明がそれぞれ単独では集積回路全体の微細化に資するとしても，集積回路の微細化においては，当該集積回路を構成する配線や素子等の要素について，個別の大きさのみならず互いの配置関係等が複雑に影響を及ぼし合うことから，集積回

路全体の微細化に対してある要素の微細化と他の要素の微細化とが同時に寄与するとは限らない。例えば、コンタクト部や金属配線部分の配置に要する幅よりもチャンネルの配置に要する幅の方が極端に大きければ、刊行物 2 発明によるチャンネル幅の微細化の効果は集積回路全体の微細化に寄与したとしても、刊行物 1 発明による金属配線部分の省略による微細化の効果は集積回路全体の微細化には寄与し得ない。したがって、審決は不用意に課題を上位概念化しており、誤りがあるというべきである。

c 上記 につき

審決は「一般に、MOS トランジスタに関する技術分野において、電流密度を増大させることは、当然求められる周知の課題である」と認定しているが、これを裏付ける証拠は何ら示されていない。

そもそも、刊行物 2 には「・・・本考案によれば、実効的にチャンネル幅を広くすることができ、・・・電流密度の増大化・・・可能となる。」（5 頁 8 行～11 行）と記載されているが、刊行物 2 発明によってチャンネル幅を実効的に広げた構成では、チャンネル（電流が流れる経路）の断面積は広がることにはなるものの、そのことがなぜ電流密度（単位断面積当たりの電流量）の増大化という効果を奏するのか、技術的に不明確である。このように、刊行物 2 に記載されている「電流密度の増大化」という効果は技術的に不明確なのであるから、この記載に基づいて刊行物 2 が掲げる課題の技術的意義を正確に理解することは当業者といえども困難であることになる。そうすると、「電流密度の増大化」という観点においては、刊行物 2 発明の課題を正確に理解することができないのであるから、刊行物 1 発明の課題との共通性について議論すること自体が不可能である。

したがって、「電流密度の増大化」という観点に基づき、刊行物 1

発明のゲート電極の構造として刊行物 2 発明を採用することについて、
当業者が容易に想到し得たということとはできない。

(イ) 示唆等の不存在

発明が容易想到であると判断するためには、主たる刊行物 1 発明、従
たる刊行物 2 発明、技術常識ないし周知技術の各内容の検討に当たって、
当該発明の特徴点に到達できる試みをしたであろうという推測が成り立
つのみでは十分ではなく、当該発明の特徴点に到達するためにしたはず
であるという示唆等が存在することが必要である。

審決は、相違点 2 について、刊行物 1 発明のゲート電極の構造として
刊行物 2 発明を採用することによって当業者が容易に想到し得たこと
であると判断するに当たり、刊行物 1 発明、刊行物 2 発明、その他技術常
識ないし周知技術に刊行物 1 発明のゲート電極の構造として刊行物 2 発
明を採用する試みをしたはずであるという示唆等の存在については一切
指摘せず、単に課題の共通性についての上記 及び の認定がなされて
いるにすぎない。

また、刊行物 1 の第 3 図では、チャンネル防止用拡散層 3 0 3 の配置
に応じ、ドレイン領域 3 0 5 とソース領域 3 0 6 とが非常に近接して形
成された状態が開示されている。これに接した当業者であれば、ドレイ
ン領域 3 0 5 とソース領域 3 0 6 とが非常に近接していることから、こ
れらの間に溝を設けてゲート電極を埋め込む、あるいはそのために絶縁
膜 3 0 4 に対して窓を設けるなどといった試みをするとは考え難い。

したがって、刊行物 1 発明のゲート電極の構造として刊行物 2 発明を
採用する試みをしたはずであるという示唆等が存在しないのみならず、
そのような試みをしたであろうという推測すら成り立たない。

イ 取消事由 2（刊行物 1 発明から本願発明を想到することについての阻害
要因の存在）

(ア) 刊行物 1 発明におけるゲート電極の構造及び機能

審決においても認定されているとおり，刊行物 1 にはゲート電極の構造について明示されていないものの，刊行物 1 発明は n 型ソース拡散領域 106 及び n 型ドレイン拡散領域 105 の間にゲート電極が設けられるものである（審決 7 頁 2 行～ 6 行参照）。また，MOS トランジスタにおいて，ゲート電極はソース領域とドレイン領域との間の半導体層に対して絶縁膜を介して設けられるという技術常識に照らせば，刊行物 1 の第 1 図に示された MOS トランジスタでは，ゲート電極は n 型ソース拡散領域 106 及び n 型ドレイン拡散領域 105 の間に設けられた絶縁膜 104（刊行物 1 の第 1 図中の「401」ないし「406」が，それぞれ「101」ないし「106」の誤記であることは，審決の認めるとおりである〔審決 3 頁 15 行～ 17 行〕。）上に設けられる。

一方，刊行物 1 の第 1 図に示された MOS トランジスタの製造工程は，刊行物 1 の第 3 図に示されている。ここで，第 1 図と第 3 図（d）とを対比すれば，第 1 図において「101」ないし「106」（刊行物 1 の第 1 図中の「401」ないし「406」が，それぞれ「101」ないし「106」の誤記であることは，審決の認めるとおりである（3 頁 15 行～ 17 行）。）が付与された部材は，それぞれ第 3 図（d）において「301」ないし「306」が付与された部材に対応するものである。したがって，第 1 図の MOS トランジスタにおける絶縁膜 104 は，第 3 図では絶縁膜 304 に対応することになる。

そして，上記絶縁膜 304 に関し，刊行物 1（甲 1）には，次のように記載されている。

- ・「・・・選択的に絶縁膜 304 を付着させて，しかる後にドレイン領域には前記 p 型チャンネル防止用拡散層の上から p 型不純物を相殺するに充分なだけの量の n 型不純物を拡散して接合面が半導体基体まで

到達しないドレイン拡散領域 305 とし，ソース領域となるべき所では p 型チャンネル防止拡散層を避けて n 型不純物を拡散して半導体基体まで到達させたようなソース拡散領域 306 とすることにより MOS 型集積回路を得ることが出来る。

このような製造方法によれば，チャンネル防止用拡散層 303 を利用してソースとドレインの拡散層の拡散の深さを違えて，一方を半導体基体 301 に達するように，他方を達しないように 1 回の拡散工程で行なえるので，本発明の MOS 型集積回路を製造するに際しては非常に有利である。」（3 頁右上欄 8 行～左下欄 4 行）

上記記載及び第 3 図（d）に基づけば，絶縁膜 304 は n 型不純物を選択的に拡散させて所定の位置にドレイン拡散領域 305 及びソース拡散領域 306 を形成するためのマスクとして用いられていることが理解できる。

そうすると，刊行物 1 発明では，絶縁膜 104（絶縁膜 304）は MOS トランジスタの完成時においては半導体層とゲート電極とを絶縁するゲート絶縁膜として機能し，かつ MOS トランジスタの製造工程（n 型不純物の拡散工程）においてはマスクとして機能することになる。

（イ） 刊行物 1 発明の目的

刊行物 1（甲 1）の記載（2 頁右上欄 14 行～左下欄 2 行）によれば，刊行物 1 では，ソース領域及びドレイン領域の一方が半導体基体に到達し，他方が到達しない構成を有する MOS 型集積回路を製造するに当たって，拡散用マスクの増加及び製造工程の追加を回避することについても課題として掲げられていることになる。

また，刊行物 1 の記載（2 頁左下欄 2 行～右下欄 1 行）によれば，エピタキシャル層に含まれる不純物と同じ型の不純物を拡散させた領域と拡散させていない領域とを予め設けておくことによって，これら 2 つの

領域に対してエピタキシャル層に含まれる不純物と反対の型の不純物を 1 つのマスクによって同時に拡散させたとしても不純物の到達深さをコントロールできることから、拡散用マスクの増加及び製造工程の追加を回避しているものと理解できる。

さらに、上記(ア)のとおり、MOSトランジスタの製造工程（n型不純物の拡散工程）において使用するマスク（上記「1つのマスク」）はMOSトランジスタの完成時にはゲート絶縁膜としても機能することを考慮すると、刊行物1発明は不純物の到達深さをコントロール可能な構成を採用しつつ、後にゲート絶縁膜となる絶縁膜304をマスクとして活用した1回の不純物拡散工程において、一方が半導体基体に到達し、他方が到達しないソース領域及びドレイン領域を同時に形成し、これにより、拡散用マスクの増加、及び製造工程の追加を回避するという目的を達成するものであることが理解できる。

(ウ) 阻害要因の存在

刊行物1発明のMOSトランジスタにおいて、刊行物2発明のゲート電極（チャンネル用の溝9の内壁及び底に酸化膜10を形成し、その溝9内にポリシリコンを埋め込んで形成されるゲート電極〔刊行物2の4頁13行～17行参照〕。）の構造を採用しようとする、刊行物1発明における上記(イ)に記載の目的を達成できなくなることになる。

なぜなら、刊行物2発明では、第2図から明らかなとおり、ゲート絶縁膜である酸化膜10は溝9内壁にのみ形成されることになるので、ソース領域3及びドレイン領域4を形成するための不純物拡散工程におけるマスクとして機能し得ないからである。また、仮に刊行物2発明において、ソース領域3及びドレイン領域4上に形成されているフィールド酸化膜12を上記マスクとして利用しようとしても、このフィールド酸化膜12はゲート絶縁膜である酸化膜10とは異なる膜であることから、

ゲート絶縁膜を拡散用マスクとして活用することにはならない。すなわち、刊行物1発明のMOSトランジスタにおいて、刊行物2発明のゲート電極の構造を採用しようとする、折角不純物の到達深さをコントロール可能な構成を採用してまで拡散用マスクの増加及び製造工程の追加の回避を図った刊行物1発明をその目的に反する方向に変更することになる。

このように、刊行物1発明のMOSトランジスタにおいて刊行物2発明のゲート電極の構造を採用することは、刊行物1発明の目的に反する方向への変更になるのであるから、この変更には阻害要因が存在するというべきである。したがって、上記変更によって本願発明に到達することは、当業者といえども決して容易になし得たものではない。

(I) なお、後記乙4文献及び乙5文献は、刊行物1の作成時点では公開されていないから、上記各文献の記載が刊行物1の内容に影響を及ぼすことはあり得ない。

(オ) 以上、刊行物1発明のMOSトランジスタにおいて刊行物2発明のゲート電極の構造を採用しようすることは、刊行物1発明の目的に反する方向への変更を行うことになるので、刊行物1発明に対して刊行物2発明を適用して本願発明の構成を得ることが容易であったものということとはできない。

2 請求原因に対する認否

請求原因(1)～(3)の各事実は認めるが、同(4)は争う。

3 被告の反論

審決の判断は正当であり、原告主張の取消事由は理由がない。

(1) 取消事由1に対し

ア 「審決における論理付けの誤り」につき

(ア) の論理付けに関する主張につき

半導体装置の技術分野において、微細化は常に要請されている不断の課題であるから、半導体装置の異なる部分の構成要素をそれぞれ微細化することにより全体としてのさらなる微細化を実現しようとする試みは、当業者であれば当然行うべき技術常識である。実際、刊行物 1 においても「コンタクト部の面積および金属配線部分が相当大的な面積を占め、したがって、集積回路全体のパターン面積もその分だけ大きくなるという欠点があった。」（2 頁左上欄 10 行～14 行）と記載されているように、部分的な構成要素の面積が集積回路全体のパターン面積に影響することを意識しており、単にコンタクト部及び金属配線部分のみならず、集積回路全体の微細化をも課題としていることは明らかである。

そして、刊行物 1 及び 2 の記載に接した当業者であれば、刊行物 1 発明及び刊行物 2 発明が共に微細化という共通の課題を解決するためのものであり、集積回路全体の微細化に資するものであることは当然に察知できたことであるから、上記技術常識に照らせば、刊行物 1 発明と刊行物 2 発明とを組み合わせることにより、集積回路全体としてのさらなる微細化を実現しようとする試みることが、当業者が容易に想到し得た事項であることが認められる。

原告は、刊行物 1 発明の課題が MOS トランジスタの外部構造に着目したものであるとし、刊行物 2 発明の課題が MOS トランジスタの内部構造に着目したものであるとした上で、両発明の課題が互いにまったく異なるものである旨主張しているが、集積回路全体の微細化という共通の課題を無視し、構成要素をことさらに細部に分けて意図的に差異を抽出したものであり、妥当性を欠く。

(イ) の論理付けに関する主張につき

まず、「電流密度」の技術的意味について、刊行物 2 発明における「電流密度」についてみると、刊行物 2（甲 2）には「このようにチャ

ンネル構造を二次元から三次元の構造とすることにより，平面的には従来と同一のチャンネル幅でありながら，実効的に『2 d』だけ増加したチャンネル幅となる。・・・また，従来と同等のチャンネル幅を採用すれば，電流密度を増大することができる。」（3頁19行～4頁7行）と記載されており，平面的には従来と同一のチャンネル幅（すなわち，従来と同一のチャンネル面積）でありながら，実効的に増加したチャンネル幅の部分により，「電流密度」を増大できることが開示されている。よって，刊行物2において用いられている「電流密度」が平面的な単位面積当たりの電流量を示していることは明らかであり，刊行物2に記載された「電流密度の増大化」という効果は明確である。

また，刊行物2発明のように平面的な単位面積当たりの電流量を増大させることは，例えば，特開昭57-10973号公報（発明の名称「半導体装置」，出願人 工業技術院長，公開日 昭和57年1月20日。以下，この文献を「乙1文献」という。乙1）の「さらに主電流通路の幅は基板の厚さのオーダーまでは主面の占有面積を増大させることなく大きな値とすることができる。主電流通路の長さが1 μ m前後のときは単位主面の面積あたりの電流密度は従来構成の10～1000倍までに増大させることができる。このように本発明によれば，必要に応じて，主電流通路の長さは従来構造から由来したような制限なく小さくできるし，単位基板主面々積あたりの電流密度は飛躍的に増大させることができる。」（2頁右下欄4行～13行）との記載，特開平5-110083号公報（発明の名称「電界効果トランジスタ」，出願人 沖電気工業株式会社，公開日 平成5年4月30日。以下，この文献を「乙2文献」という。乙2）の「この発明の電界効果トランジスタによれば，・・・実効的なゲート幅が増加する。従ってこの発明によれば，平面的に見た場合のゲート幅が従来と同じ大きさであっても，実効的なゲート幅

を平面的に見た場合のゲート幅よりも大きくすることができるのでドレイン電流量を従来よりも増加させこれにより動作速度を従来よりも速くすることができる。」（段落【0030】）との記載，特開昭54-99573号公報（発明の名称「電界効果トランジスタ」，出願人 パイオニア株式会社，公開日 昭和54年8月6日。以下，この文献を「乙3文献」という。乙3）の「かゝる製造方法により得られたIGFETの導電チャンネルは第3図に明示する如く，凹部10の半導体層1と接する部分12に沿って形成されることになる。その結果チャンネル巾が実質的に凹部10の底面に対して更に両側面を加えた長さに等しくなり，チャンネル巾Wが増大することになる。従って凹部の深さによりチャンネル巾Wを大とすることができるのでトランジスタの占有面積を増加させることなく小面積で大電流のIGFETが可能となる。」（2頁左下欄1行～10行）との記載からも明らかなように，MOSトランジスタの技術分野において周知の課題である。

イ 示唆等の不存在に関する主張につき

進歩性の判断がその技術分野における当業者の視点を踏まえた上で技術分野ごとの実情に合うよう適切に論じられるべきであるのは当然であり，それは複数の公知技術を組み合わせる際の推考容易性の判断においても同様である。また，当業者が公知文献に記載された公知技術を組み合わせる新規の構成とする際の推考容易性を判断する場合に，それを組み合わせる目的若しくは技術思想又はその組み合わせに係る新規の構成の作用効果等が，細部にわたってすべて当該公知文献に記載又は示唆されていなければ推考が容易といえないというのではなく，当該公知文献に接した当業者であれば通常着想することができ，又は予測することができる範囲内のものは，そこに記載又は示唆されていることを要しないというべきである。

半導体装置の技術分野における当業者の技術常識についてみると，上記

のとおり、微細化とは常に要請されている不断の課題である。また、半導体装置を全体として微細化するためには、半導体装置を構成する構成要素の一部のみを微細化すればよいというわけではなく、あらゆる構成要素に対して微細化が求められるほか、構成要素間の間隔や配置に対しても微細化のための工夫が求められることは、当業者であれば当然認識することである。

よって、このような技術常識を有する当業者が刊行物 1 発明及び刊行物 2 発明に接したのであれば、組み合わせの示唆について具体的な形での明示がなくても、上記両発明に共通する課題に着目して組み合わせを推考することは容易であり、何らの困難性はない。

なお、原告の「刊行物 1 の第 3 図では、チャンネル防止用拡散層 303 の配置に応じ、ドレイン領域 305 とソース領域 306 とが非常に近接して形成された状態が開示されている。」との主張についていえば、刊行物 1 には第 3 図を含め、ドレイン領域 305 とソース領域 306 とが非常に近接して形成された状態の記載はなく、少なくとも溝埋め込みゲートの採用が不可能な程度にまで近接していることは全く記載されていない。よって、原告の「これに接した当業者であれば、ドレイン領域 305 とソース領域 306 とが非常に近接していることから、これらの間に溝を設けてゲート電極を埋め込む、あるいはそのために絶縁膜 304 に対して窓を設けるなどといった試みをするとは考え難い。」との主張は、前提自体が誤りである。

(2) 取消事由 2 に対し

ア 「刊行物 1 発明におけるゲート電極の構造及び機能」につき

刊行物 1 に「絶縁膜 104」（「絶縁膜 304」）が拡散マスクとして機能する点に関する記載はあるが、ゲート絶縁膜として機能する点に関する記載はなく自明でもないから、原告が主張する「ゲート電極は、n 型ソ

ース拡散領域 1 0 6 及び n 型ドレイン拡散領域 1 0 5 の間に設けられた絶縁膜 1 0 4 上に設けられる」という前提自体が誤りである。

実際、拡散によってソース領域及びドレイン領域を形成した後に、拡散マスクとして機能した絶縁膜を一旦除去した上で、あらためてゲート絶縁膜を形成し直すことは、特開昭 5 3 - 1 2 3 6 6 1 公報（発明の名称「半導体装置の製造方法」、出願人 三菱電機株式会社、公開日 昭和 5 3 年 1 0 月 2 8 日。以下、この文献を「乙 4 文献」という。乙 4 ）の「まず、第 1 図（ a ）に示すように、N 形のシリコン単結晶基板（ 1 ）上に選択的にシリコン酸化膜（ S i O₂ 膜）（ 2 ）を形成した後、ジボラン（ B₂ H₆ ）を含む雰囲気中にて加熱しホウ素を拡散させて、P 形のソース・ドレイン領域（ 3 ）を形成する。次に、第 1 図（ b ）に示すように、S i O₂ 膜（ 2 ）を除去後・・・つづいて、第 8 図（ c ）に示すように、開口部（ 6 ）に露出する半導体基板（ 1 ）上にゲート絶縁膜（ 7 ）を形成した後、」（ 2 頁左上欄 7 行～ 2 0 行）との記載（被告注：「第 8 図（ c ）」とあるのは、「第 1 図（ c ）」の誤記である。）、特開昭 4 9 - 5 3 3 8 4 号公報（発明の名称「絶縁ゲート形電界効果トランジスタの製法」、出願人 ソニー株式会社、公開日 昭和 4 9 年 5 月 2 3 日。以下、この文献を「乙 5 文献」という。乙 5 ）の「この基体（ 1 1 ）の表面に特に酸化雰囲気中で加熱処理することによつて表面を熱酸化させて S i O₂ よりなる拡散マスク層（ 1 2 ）を形成する（第 2 図 B）。・・・これら窓（ 1 3 s ）及び（ 1 3 d ）を通じて基体（ 1 1 ）と異なる導電形例えば P 形となる不純物のボロン B を拡散してソース領域（ 1 4 s ）及びドレイン領域（ 1 4 d ）を形成する（第 2 図 C）。・・・次いで、本発明に於ては、基体（ 1 1 ）上の領域（ 1 4 s ）及び（ 1 4 d ）が形成された側の面上の拡散マスク層（ 1 2 ）を全面的に例えばエッチングによつて除去する（第 2 図 D）。・・・その後、この窓（ 1 5 a ）を通じて例えば基体（ 1 1 ）の表面を熱

酸化して数 1 0 0 ～ 数 1 0 0 0 程度の所要厚味を有するゲート絶縁層（ 1 6 ）を形成する（第 2 図 G）。」（ 2 頁左下欄 7 行～ 3 頁左上欄 3 行）との記載にもあるように、当業者において広く行われている技術であるから、刊行物 1 において、拡散マスクとして用いた絶縁膜 1 0 4（絶縁膜 3 0 4）をそのまま用いて「ゲート電極は、n 型ソース拡散領域 1 0 6 及び n 型ドレイン拡散領域 1 0 5 の間に設けられた絶縁膜 1 0 4 上に設けられる」とする必然性はない。

また、刊行物 1 には、刊行物 1 発明を製造する方法の発明も記載されているが、当該方法の発明は製造工程の簡略化を課題の 1 つとしているのであるから、もし仮に、絶縁膜 1 0 4（絶縁膜 3 0 4）が、MOS トランジスタのゲート絶縁膜としての機能と n 型不純物の拡散工程におけるマスクとしての機能とを兼ねるのであれば、まさに製造工程簡略化のための技術となるものであり、積極的に記載される可能性が高い。しかし、刊行物 1 にそのような記載はないから、n 型不純物の拡散工程におけるマスクとして用いられた絶縁膜 1 0 4（絶縁膜 3 0 4）を MOS トランジスタのゲート絶縁膜として兼用することまでは想定されていなかったと解するのがむしろ自然である。

したがって、「刊行物 1 発明では、絶縁膜 1 0 4（絶縁膜 3 0 4）は、MOS トランジスタの完成時においては半導体層とゲート電極とを絶縁するゲート絶縁膜として機能し、かつ MOS トランジスタの製造工程（n 型不純物の拡散工程）においてはマスクとして機能する」旨の原告の主張は誤りである。

イ 「刊行物 1 発明の目的」につき

刊行物 1 の特許請求の範囲の記載をみると、物の発明である第 1 項と方法の発明である第 2 項があることから明らかなように、刊行物 1 には物の発明と方法の発明の両方が開示されているが、そのうち審決において刊

行物 1 発明として認定したのは物の発明に基づく部分であり，より具体的にはコンタクト部及び金属配線部分を含む集積回路全体の面積についての課題を解決した物の構造に関する発明の部分である。

また，刊行物 1 は「最も効果的な製造方法として以下に示すような製造方法が考えられる。」（ 2 頁左下欄 2 行～ 3 行）とした上で特許請求の範囲第 2 項に対応する製造方法を開示しているが，物の発明である刊行物 1 発明は特許請求の範囲第 2 項に対応する製造方法でしか製造できないわけではなく，このことは刊行物 1 の「本発明の MOS 型集積回路を製造する場合，半導体基体に到達させるべき領域部と他の領域部との拡散を別々に行ない，両領域部の拡散層の深さをコントロールして半導体基体に到達された領域および到達しない領域を作るような製造方法ももちろん採用されうるが，」（ 2 頁右上欄 1 4 行～ 1 9 行）との記載からも明らかである。

よって，物の発明である刊行物 1 発明は，特許請求の範囲第 2 項に対応する製造方法を用いて製造された物のみには限定されないから，ソース領域 1 0 5 の形成とドレイン領域 1 0 6 の形成とを 1 回の拡散工程で同時に行わずに製造された物を排除していない。

これに対し，原告の主張は，特許請求の範囲第 2 項に対応した刊行物 1 に記載された製造方法（ 2 頁右上欄 1 4 行～右下欄 1 行）を用いることを前提とした上で，刊行物 1 発明を「絶縁膜 3 0 4 をマスクとして活用した 1 回の不純物拡散工程において，一方が半導体基体に到達し，他方が到達しないソース領域及びドレイン領域を同時に形成」する方法によって製造された物に限定し，それを根拠にしてなされたものであるが，上記前提自体が誤りである。

ウ 「阻害要因の存在」につき

仮に，刊行物 1 発明が原告主張のとおり「不純物の到達深さをコントロール可能な構成を採用しつつ，後にゲート絶縁膜となる絶縁膜 3 0 4 をマ

スクとして活用した 1 回の不純物拡散工程において，一方が半導体基体に到達し，他方が到達しないソース領域及びドレイン領域を同時に形成し，これにより，拡散用マスクの増加，及び製造工程の追加を回避するという目的を達成するもの」であったとしても，半導体装置，特に集積回路を製造するために必要な製造工程は数百とあり，その工程の各々に対してどのような技術を用いるかは，半導体装置に要求される性能やコストをはじめとする様々な観点から総合的に決定されるのが通常である。よって，上記数百の製造工程のうち，刊行物 1 発明のようにある部分の製造において工程を簡略化する技術を採用したとしても，そのことは他の部分の製造においてそれとは異なる技術，例えば刊行物 2 発明のように半導体装置の性能向上を優先させた技術を採用することに対して何ら阻害要因とはならない。

これに対し，原告の主張は，刊行物 1 の記載が数百にわたるすべての工程に対して制限を課すものであること，すなわち，いかなる工程の追加に対しても阻害要因となることを主張しているに等しく，その主張が半導体装置の技術分野における製造工程の常識に沿わない妥当性を欠くものである。

したがって，仮に刊行物 1 発明が原告主張のとおりのものであったとしても，「刊行物 1 発明の MOS トランジスタにおいて，刊行物 2 発明のゲート電極の構造を採用することは，刊行物 1 発明の目的に反する方向への変更になるのであるから，」「この変更には阻害要因が存在する」との原告主張は理由がない。

第 4 当裁判所の判断

1 請求原因(1)（特許庁における手続の経緯），(2)（発明の内容），(3)（審決の内容）の各事実は，いずれも当事者間に争いがない。

2 本願発明の意義

(1) 平成 18 年 3 月 17 日付け補正後の特許請求の範囲【請求項 1】の記載は，

前記第 3 , 1 (2) のとおりである。

(2) また、上記補正後の明細書 (甲 5 , 6) には、以下の記載がある。

・【発明の詳細な説明】

「本発明は、互いに対向する 2 つの表面を、一方の伝導型の半導体基板と、その上に設けられた他方の伝導型の少なくとも 1 つの半導体層とから呈する半導体部材を備えたソースダウンパワートランジスタに関する。」

・「ソース電極が半導体部材の“下側”に置かれ、したがって半導体部材のその主表面に、ゲート電極及びこの場合にドレイン電極をも有する主表面が対向しているパワートランジスタを実際来实现しようという提案はこれまでにない。それでもなおこのような MOS パワートランジスタがあれば、例えば自動車における車体接続部のように、とくに 0 V 電位にある冷却フィン上における冷却に関する多くの用途に対して非常に有利である。このような場合に限って、それがあると熱伝導を減少させてしまう電気絶縁物が、冷却フィンに対して不要であるということになる。」(甲 5 , 段落【0001】)

・「それ故に本発明の課題は、簡単な構成の点で優れており、かつ困難なく製造することができる、ソースダウンパワートランジスタを提供することにある。」(甲 5 , 段落【0002】)

・「本発明によれば、この課題は、初めに挙げたようなソースダウンパワートランジスタにおいて次のようにして解決される。すなわち

互いに対向する 2 つの表面を、一方の伝導型の半導体基板とその上に設けられた他方の伝導型の少なくとも 1 つの半導体層とから呈する半導体部材を有するソースダウンパワートランジスタであって、

上記半導体基板と、上記半導体部材の、上記半導体基板に対向する表面との間の少なくとも 1 つの上記半導体層に、上記表面から上記半導体基板にまで達する、一方の伝導型の第 1 の高ドーピングされた領域が設けられ

ており，上記領域と上記半導体基板とが，ソース領域を形成し，

上記第 1 の領域から間隔を置いて一方の表面から少なくとも 1 つの半導体層内において，一方の伝導型の第 2 の高ドーピングされた領域が設けられており，この領域が，ドレイン領域を形成し，このドレイン領域が，上記半導体基板から間隔を置いて終っており，

両方の領域の間の範囲に，その長手方向が両方の領域の間に延びた複数の狭いトレンチが設けられており，これらのトレンチが，絶縁層によって覆われ，かつ導電材料によって満たされており，この導電材料が，ゲート電極を形成し，かつ，

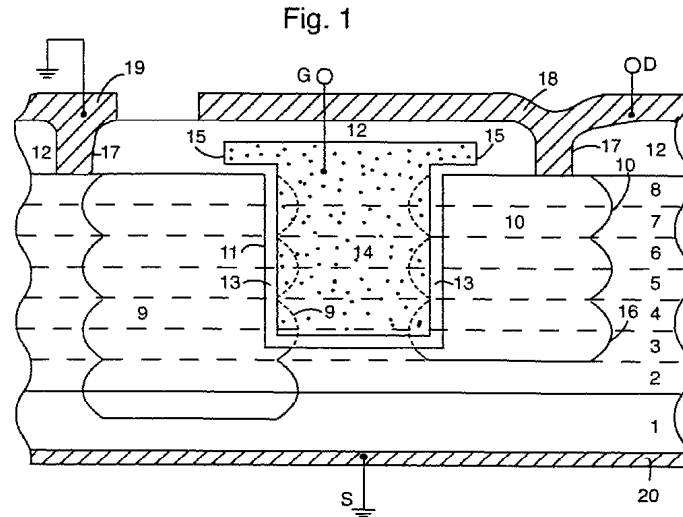
上記半導体部材の他方の表面を形成する上記半導体基板の側に，ソース電極が設けられている。」（甲 6，段落【0003】）

- ・「多結晶シリコン 14 を有するトレンチ 11 は，狭く，かつソース領域 9 とドレイン領域 10 との間に延びている。ドレイン電極 D に正のドレイン電圧 U_D が，かつゲート電極 G に正のゲート電圧が加えられると，これらのトレンチの側壁に制御可能な反転チャネルが形成されるので，電流が流れる。この電流は，ゲート電圧の変化によって制御することができる。」（甲 5，段落【0016】）
- ・「このようにしてソースダウンパワートランジスタが得られ，そのソース電極 S は，“下側”に配置されており，かつここにおいて例えば 0 V 電位にある冷却フィンに取付けることができる。このソースダウンパワートランジスタは，前記のように，通常の方法ステップによって比較的簡単に製造することができる。そのために，注入を含む種々のエピタキシャルステップ並びに複数のトレンチの導入が必要なだけである。」（甲 5，段落【0017】）

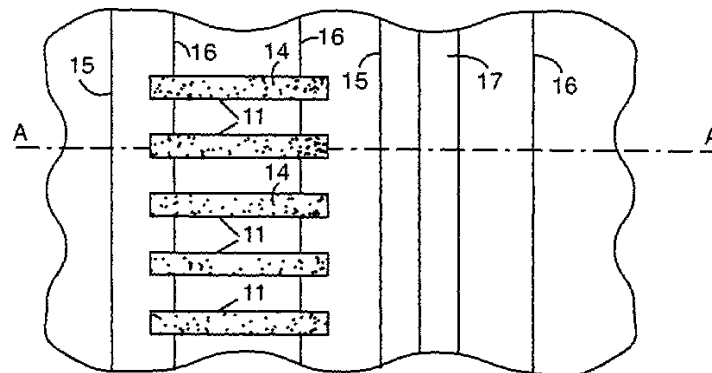
・図面

【図 1】図 2 における線 A A に沿った本発明によるソースダウンパワ

ートランジスタの断面表示図



【図 2】図 1 のソースダウンパワートランジスタの平面図



- (3) 上記記載によれば，本願発明は，ソース電極が半導体部材の下側の主表面に配置され，半導体部材の他方（上側）の主表面にゲート電極及びドレイン電極を有するパワートランジスタを実現しようとするものであって，簡単な構成の点で優れており，かつ困難なく製造することができるソースダウンパワートランジスタを提供することを課題とする。そして，特許請求の範囲に記載された本願発明の構成を採用することにより，トレンチの側壁にもゲート電圧の変化によって制御可能な電流が流れるようにし，パワートランジスタの大電流化を図ると共に，下側に配置されたソース電極により，熱伝導率

の低い電気絶縁物を介することなく，例えば零V電位にある冷却フィンに取付けることができるようにし，冷却効果を高めるものであるといえる。

3 刊行物 1 発明の意義

(1) 刊行物 1 (甲 1) には，以下の記載がある。

- ・「従来，MOS型集積回路では，回路中の共通端子をたとえば零電位に接続する場合，拡散層の表面にコンタクト窓を設け，ここから金属配線で零電位に接続するようにしていたため，コンタクト部の面積および金属配線部分が相当大的な面積を占め，したがって，集積回路全体のパターン面積もその分だけ大きくなるという欠点があった。

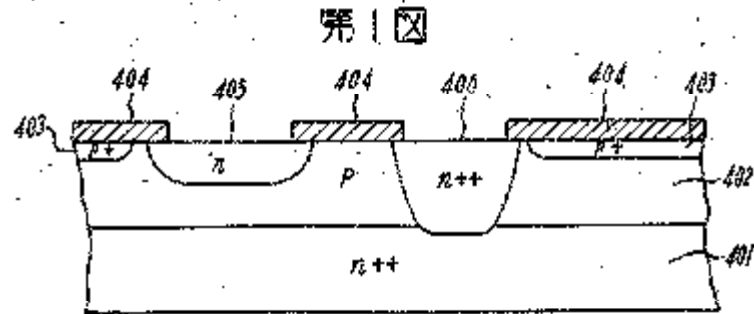
本発明の目的は，このような欠点を是正したMOS型集積回路を提供することにある。」(2頁左上欄7行～16行)

- ・「本発明のMOS型集積回路は，p型あるいはn型のどちらか一方の型の不純物を含む半導体基体の上に，前記不純物と反対の型の不純物を含むエキピタキシャル層からなる半導体基板の表面に，ソースあるいはドレイン領域の2つの拡散層を有し，その2つの拡散層のうち一方を半導体基体まで達するように拡散させ，他方を半導体基体まで達しないように拡散させたMOSトランジスタを含む回路を形成したことを特徴とする集積回路で，このような集積回路によれば，MOSトランジスタのソースあるいはドレイン一方の領域を半導体基体につけることにより半導体基体を電源線として使えるため，従来のMOS集積回路に必要であった配線部分および配線を行なうためのコンタクト面積を省略できる。」(2頁左上欄17行～右上欄13行)
- ・「また，本発明のMOS型集積回路を製造する場合，半導体基体に到達させるべき領域部と他の領域部との拡散を別々に行ない，両領域部の拡散層の深さをコントロールして半導体基体に到達された領域および到達しない領域を作るような製造方法ももちろん採用されうるが，このような方法に

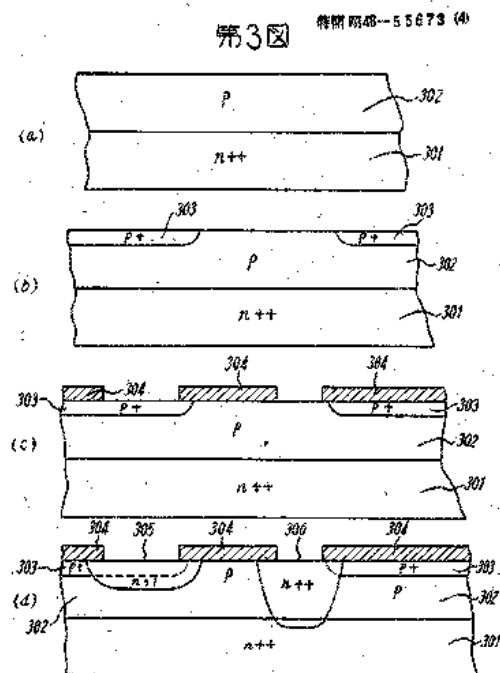
よる場合，両拡散用のマスクが２つ必要になり，また，製造工程も１工程追加することになる。そのため，最も効果的な製造方法として以下に示すような製造方法が考えられる。」（２頁右上欄１４行～左下欄３行）

- ・「第１図に示されるＭＯＳトランジスタは，ｎ型半導体基体１０１の上に有るｐ型エピタキシャル層１０２，チャンネル防止用ｐ型拡散層１０３，絶縁膜１０４，半導体基体１０１まで到達していないｎ型ドレイン拡散領域１０５，および半導体基体１０１まで到達しているｎ型ソース拡散領域１０６とから構成されている。・・・」（２頁右下欄１４行～２０行）
- ・「第３図において，まず（ａ）図のようなｎ型半導体基体３０１の上にｐ型エピタキシャル層３０２を有するような半導体基板の表面から（ｂ）図のように選択的に絶縁膜３０４を付着させて，しかる後にドレイン領域には前記ｐ型チャンネル防止用拡散層の上からｐ型不純物を相殺するに充分なだけの量のｎ型不純物を拡散して接合面が半導体基体まで到達しないドレイン拡散領域３０５とし，ソース領域となるべき所ではｐ型チャンネル防止拡散層を避けてｎ型不純物を拡散して半導体基体まで到達させたようなソース拡散領域３０６とすることによりＭＯＳ型集積回路を得ることが出来る。」（３頁右上欄５行～１７行）
- ・「このような製造方法によれば，チャンネル防止用拡散層３０３を利用してソースとドレインの拡散の深さを違って，一方を半導体基体３０１に達するように，他方を達しないように１回の拡散工程で行なえるので，本発明のＭＯＳ型集積回路を製造するに際しては非常に有利である。」（３頁右上欄１８行～左下欄４行）
- ・「以上述べたように，本発明によれば大幅にパターン面積を縮小されたＭＯＳ型集積回路が得られる。」（３頁左下欄５行～７行）
- ・図面

【第1図】本発明のMOS型集積回路のうちの1つのMOSトランジスタ部分の構造について示した図



【第3図】本発明のMOS型集積回路の製造方法を示す図



- (2) 上記記載によれば、刊行物1発明は、MOS型集積回路に関するものであり、拡散層の表面にコンタクト窓を設けると、コンタクト部の面積及び金属配線部分が相当大きな面積を占め集積回路全体のパターン面積もその分だけ大きくなるという従来のMOS集積回路の欠点を是正することを目的とし、

それを解決するため、p型あるいはn型のどちらか一方の型の不純物を含む半導体基体の上に、前記不純物と反対の型の不純物を含むエキピタキシャル層からなる半導体基板の表面に、ソースあるいはドレイン領域の2つの拡散層を有し、その2つの拡散層のうち一方を半導体基体まで達するように拡散させ、他方を半導体基体まで達しないように拡散させたMOSトランジスタを含む回路を形成することとし、それによりコンタクト部の面積を省略して、大幅にパターン面積が縮小されたMOS型集積回路を得るものであることが認められる。

4 刊行物2発明の意義

(1) 刊行物2(甲2)の明細書には、以下の記載がある。

- ・ [産業上の利用分野]

「本考案は、チャンネル部分について特徴を有するMOSトランジスタに関する。」(1頁11行～13行)

- ・ [考案の目的]

「本考案の目的は、構造的には狭いチャンネルながら実効的には広いチャンネルを実現でき、狭チャンネル効果を防止して、動作速度の向上、素子分離の容易化を図ることである。」(2頁15行～19行)

- ・ [考案の構成]

「このために本考案のMOSトランジスタは、ソース領域とドレイン領域の間に、両領域方向に沿って両領域に接し或いは食い込むように溝を形成し、該溝内に絶縁物を充填し、該絶縁物を介してゲート電圧を印加するように構成した。」(2頁20行～3頁5行)

- ・ [実施例]

「・・・第1図に示すように、本実施例では、ソース領域3とドレイン領域4との間に、それらの領域3、4に一部が食い込むように(少なくとも接すれば良い。)溝9を形成し、その溝9の底面及び壁面部分がチャン

ネルとして機能するようにしている。・・・」(3頁6行～14行)

- ・「このようにチャンネル構造を二次元から三次元の構造とすることにより、平面的には従来と同一のチャンネル幅でありながら、実効的に「 $2d$ 」だけ増加したチャンネル幅となる。よって、狭チャンネル効果が顕著となる直前のチャンネル幅よりも『 $2d$ 』だけ狭いチャンネル構造を採用することができ、素子の微細化が可能となる。また、従来と同等のチャンネル幅を採用すれば、電流密度を増大することができる。」(3頁19行～4頁7行)
- ・「第2図は最終的にFETとして構成したトランジスタの断面を示す図である。このFETの作成に当たっては、まず単結晶層2の上にソース領域3とドレイン領域4を従来と同様な方法で形成し、次にチャンネル用の溝9を選択エッチングにより形成し、次にその溝9の内壁及び底を酸化処理してそれらの面に酸化膜10を形成し、次にその溝9内にポリシリコンを埋め込んで、ゲート電極11を形成する。」(4頁9行～17行)
- ・[考案の効果]

「以上から本考案によれば、実効的にチャンネル幅を広くすることができ、狭チャンネル効果を伴わずに微細構造とすることができ、また電流密度の増大化、素子分離の容易化も可能となる。」(5頁7行～11行)
- ・図面

第1図

Figure 1 is a perspective view of a mechanical assembly. It consists of two rectangular blocks, 3 and 4, joined by a central component 9. Block 3 has a length L and a width S. Block 4 has a width W and a depth D. The central component 9 has a height d. Dashed lines indicate the internal structure and dimensions of the assembly.

[illegible]

- 28 -

流密度の増大化を可能とするものであることが認められる。

5 取消事由 1 に対する判断

そこで、上記 1 ないし 4 に基づき、原告主張の取消事由 1（相違点 2 を刊行物 2 発明により克服することの困難性）の当否について判断する。

(1) 刊行物 1 発明及び刊行物 2 発明の課題について

原告は、刊行物 1 発明が MOS トランジスタの外部構造に着目した課題を掲げているのに対し、刊行物 2 発明は MOS トランジスタの内部構造に着目した課題を掲げており、両者の課題は互いにまったく異なるものであるにもかかわらず、審決が「共に、MOS トランジスタに関する技術分野に属し、面積の縮小を課題とするものである点で共通するものである。」（8 頁 4 ～ 6 行）としたことは誤りであると主張する。

しかし、集積回路は各種の半導体素子や電極・配線部分を含む様々な構成要素が集積されて構成されており、集積回路全体の縮小化（微細化）は、一般的には各構成要素の微細化効果と集積回路全体のレイアウトの改善等によってもたらされるものであることに照らすと、高集積化と微細化が求められる半導体集積回路の技術分野において、微細化の対象部分は異なるとしても、半導体集積回路の各部の構成要素をそれぞれ微細化することにより、全体としてのさらなる微細化を実現しようとする試みは、当業者（その発明の属する技術の分野における通常の知識を有する者）であれば当然に検討すべき技術常識であるといえる。したがって、刊行物 1 発明と刊行物 2 発明とを組み合わせることにより、集積回路全体の縮小化・微細化を実現しようとすることは、当業者が当然に考慮することであるというべきである。原告の主張は、集積回路全体の微細化に何れか一方の配置間隔が支配的になるという条件（例えば、コンタクト部や金属配線部分の配置に要する幅よりもチャンネルの配置に要する幅の方が極端に大きい場合等）の下では、他方の微細化の効果は集積回路全体の微細化に十分寄与し得ない場合があることを指摘し

ているにすぎず，仮にこのような場合であっても，一方の配置間隔の微細化が十分に進めば他方の微細化技術の寄与が次第に大きくなると考えられるから，特定条件の下で微細化の相乗効果が現れないとしても，そのことが直ちに複数の微細化技術の組合せに関する試みを妨げるということとはせず，採用することができない。

(2) 電流密度について

原告は，刊行物 2 発明によってチャンネル幅を実効的に広げた構成がなぜ電流密度の増大化という効果を奏するのか技術的に不明確であり，この観点において刊行物 1 発明の課題との共通性について議論することはできないと主張する。

この点，前記のとおり，刊行物 2 には「平面的には従来と同一のチャンネル幅でありながら，実効的に『 $2d$ 』だけ増加したチャンネル幅となる」こと，これにより「従来と同等のチャンネル幅を採用すれば，電流密度を増大することができる」ことが記載されている。この記載は，従来技術において，MOS トランジスタのチャンネル部分（ゲート電極下の領域）は半導体基板表面のみが電流路（チャンネル）として機能していたが，ゲート領域に溝（深さ d ）を形成すると溝の側面も電流路として機能するようになり，基板の平面方向から見ると同じ大きさのチャンネル部分でも，電流路の幅（実効的なチャンネル幅）が溝の両側面（ $2d$ ）だけ拡張し，結果として，トランジスタの電流が増大するということを意味していることが認められる。そして，「電流密度」とは「電流に垂直な単位面積当たりの電流」のこと（岩波理化学辞典，甲 8）であって，刊行物 2 における「電流密度」は，MOS トランジスタの電流に垂直な面（ソース・ドレイン方向に対して垂直な面）に単位面積を想定し，その単位面積を流れるトランジスタの電流のことであると解されるから，刊行物 2 に記載された「電流密度を増大することができる」との記載は，溝により平面視で同じ幅のチャンネル部分に流れる電流が

増大することにより，MOSトランジスタの電流に垂直な単位面積当たりの電流を増大することができるというものであり，「電流密度」及び「電流密度の増大」の技術的意味は明確であるというべきである。

なお，被告の「『電流密度』が，平面的な単位面積当たりの電流量を示している」との主張，あるいは，乙１～３文献等における「単位基板主面々積あたりの電流密度」等の記載は，平面視でチャンネル長とチャンネル幅を同一にした従来技術のMOSトランジスタとの比較を前提として，同一のチャンネル長とチャンネル幅（チャンネル部分の面積）を流れる電流が増加すること，すなわち，電流密度として平面的な単位面積当たりの電流量を採用した場合であっても電流密度が増大することを指摘していると理解でき，結局，MOSトランジスタの占有面積を大きくすることなく電流量を増大させることを「電流密度の増大」と呼んでいる点で両者は同じ意味であるということができ，技術的にも正しく解釈できるというべきである。

よって，刊行物２の「電流密度の増大化」という効果の技術的意味は明確である。

(3) 電流密度の増大が周知の課題であるかについて

ア 原告は，審決において，MOSトランジスタに関する技術分野において電流密度を増大させることが当然求められる周知の課題であることを裏付ける証拠は何ら示されていないと主張するので，まず，周知技術について検討する。

イ 以下の各文献には，次のとおりの記載がある。

(ア) 特開平８－２２７９９８号公報（発明の名称「バックソースMOSFET」，出願人 富士電機株式会社，公開日 平成８年９月３日。以下，この文献を「甲３文献」という。甲３）

・【産業上の利用分野】

「本発明は，パワーＩＣのパワー素子として，またディスクリート

素子として、使用される高耐圧パワーMOSFET（金属 - 酸化膜 - 半導体構造の電界効果トランジスタ）に関する。」（段落【0001】）

- ・「以上の問題に鑑み、本発明の目的は、大電流化、低オン抵抗化に適する構造をもち、しかもロジック部へのノイズ発生の問題のないMOSFETを提供することにある。」（段落【0008】）
- ・「 n^+ ソース領域104の拡散深さ x_j は $5\mu m$ であり、 n^+ ソース領域104と n^+ 基板101とは完全に短絡し、 n^+ 基板101の裏面全体に設けられたAl合金膜はソース電極110となる。また、 n^+ 基板101の表面側には n^+ ドレイン領域106に接触してドレイン電極111が全面に形成される。このようにソース電極110とドレイン電極111とをそれぞれ基板裏面、基板表面に形成することにより、配線面積が増大し、配線抵抗が大幅に低減できて、低オン抵抗のMOSFETとすることができる。また、 n^+ 基板101の裏面のソース電極110に放熱板を形成することにより、通常のディスクリット素子並みの大電流出力化が可能となる。」（段落【0022】）
- ・【発明の効果】

「以上説明したように本発明のバックソースMOSFETは、下記する効果を奏する。ソース電極とドレイン電極とを別の面に分離することにより、配線形状の簡素化、配線抵抗の大幅な低減を実現し、しかも基板とソース領域とを短絡させて、ソース電極を基板裏面に形成することにより、基板電位を安定化して、ノイズの発生を抑制する。」（段落【0035】）

- ・「基板自体をソース領域として使用するトレンチMOSFET構造とすることによっても、高集積化による低オン抵抗化および低ノイズ化を実現できる。」（段落【0037】）

- (イ) 特開昭 5 0 - 1 5 2 6 7 6 号公報(発明の名称「絶縁ゲート型電界効果トランジスタ」，出願人 株式会社日立製作所，公開日 昭和 5 0 年 1 2 月 8 日。以下，この文献を「甲 4 文献」という。甲 4)

・特許請求の範囲

「 1 . 第 1 導電型の半導体基板表面上に形成された第 2 導電型の半導体層内に互に離れて該層表面から形成された第 1 導電型のソース領域およびドレーン領域を有すると共に該ソース領域と該ドレーン領域との間の上記半導体層表面上に絶縁膜を介してゲート電極を有する絶縁ゲート型電界効果トランジスタにおいて，上記ドレーン領域（またはソース領域）を上記基板に達するものとすると共に上記基板の裏面からドレーン電極（またはソース電極を取り出すようにしたことを特徴とする絶縁ゲート型電界効果トランジスタ。」（ 6 頁左下欄 5 行～ 1 5 行）

・発明の詳細な説明

「・・・しかし，上記構造では，上記両領域の取り出し電極 6 ， 7 が同一表面上に形成されているため，上記 2 ， 3 の領域を小さくはできず，チップサイズが定められると，とり得る W の値にも自ずと限界があり，大きな出力電流を得るためには最適な構造ではなかった。」（ 7 頁右上欄 1 行～ 6 行）

- ・「・・・このような構造とした結果，出力が大きく，とくに，オン抵抗が大幅に改善された MOS F E T が得られる。」（ 7 頁左下欄 2 0 行～右下欄 2 行）

- ・「・・・このように，この MOS F E T では，ドレーン取り出し電極 7 は，素子の裏面から取り出しているため，ドレーン領域 1 0 は小さくてすみ，かつ，ソース領域 2 をメッシュ状にしたため，バー状の従来のものに比べ，ソース抵抗が約 2 桁減少したため，ソース抵抗によ

る相互コンダクタンスの低下がなくなり，単位面積当りの出力電流が，従来のもの（第 1 図）に比べて大幅に増加した。」（ 8 頁右上欄 6 行～ 1 4 行）

- ・「実施例 6

さらに，この発明の他の実施例により得られた MOSFET の断面構造を第 9 図に，その回路構成を第 1 0 図に示す。この構造では，裏面にソース領域 1 3 が基板として共通になり，ドレーン領域 1 4 が表面に形成されている。」（ 9 頁左上欄 1 6 行～ 右上欄 1 行）

(ウ) 特開昭 5 7 - 1 0 9 7 3 号公報（乙 1 文献）

- ・「 2 . 特許請求の範囲

(1) 夫々互いに直交する長さ，厚さ，幅にて規定される主電流通路を有する半導体装置において，

上記長さ及び厚さを基板の主面に略々平面方向に，上記幅を基板の主面に略々直交方向に，夫々規定すると共に，上記幅を上記長さより大寸法としたことを特徴とする半導体装置。」（ 1 頁左下欄 4 行～ 1 2 行）

- ・発明の詳細な説明

「このような構成によると，主電流通路の長さが短くなつても，その厚さを不純物拡散，イオン注入のアニール温度等の限界に制限されることなく，小さくできるので，特性上の限界は大幅に改善できる。さらに主電流通路の幅は基板の厚さのオーダーまでは主面の占有面積を増大させることなく大きな値とすることができる。主電流通路の長さが 1 μ m 前後のときは単位主面の面積あたりの電流密度は従来構成の 1 0 ～ 1 0 0 0 倍までに増大させることができる。このように本発明によれば，必要に応じて，主電流通路の長さは従来構造から由来したような制限なく小さくできるし，単位基板主面々積あたりの電流密

度は飛躍的に増大させることができる。」(2頁左下欄20行～右下欄13行)

- ・「・・・チャネル幅Wは基板が半導体の場合は基板の厚さDのオーダーまでは大きくできるので、トランジスタの電流を大きくとることができ、要すれば電力トランジスタを小面積で実現するのにも好適な構造となつている。」(3頁左上欄18行～右上欄3行)

(I) 特開平5-110083号公報(乙2文献)

- ・【発明の効果】

「上述した説明からも明らかなように、この発明の電界効果トランジスタによれば、溝はソース領域及びドレイン領域を結ぶ方向に延在するので、素子形成領域の溝を設けた部分ではドレイン電流が流れる方向と交差する方向における素子形成領域の表層部分の長さPが溝を設けない場合よりも長くなり、従って実効的なゲート幅が増加する。従ってこの発明によれば、平面的に見た場合のゲート幅が従来と同じ大きさであっても、実効的なゲート幅を平面的に見た場合のゲート幅よりも大きくすることができるのでドレイン電流量を従来よりも増加させこれにより動作速度を従来よりも速くすることができる。」(段落【0030】)

(オ) 特開昭54-99573号公報(乙3文献)

- ・「かゝる製造方法により得られたIGFETの導電チャンネルは第3図に明示する如く、凹部10の半導体層1と接する部分12に沿って形成されることになる。その結果チャンネル巾が実質的に凹部10の底面に対して更に両側面を加えた長さに等しくなり、チャンネル巾Wが増大することになる。従って凹部の深さによりチャンネル巾Wを大とすることができるのでトランジスタの占有面積を増加させることなく小面積で大電流のIGFETが可能となる。」(2頁左下欄1行～

10行)

ウ 上記のとおり，甲3文献及び甲4文献には，ソース電極を裏面から取り出したMOSFET（MOSトランジスタ）が開示されており，これは，ソース領域を裏面の半導体基体まで到達させるという点において刊行物1発明のMOSトランジスタと同等の構造を有するところ，このような構造を採用することにより，オン抵抗の改善が図られるとともに，甲3文献に記載された発明では，裏面のソース電極に放熱板を形成することもでき，大電流出力化が可能となることが認められる。そして，素子面積を拡大することなくトランジスタ構造を改良し，オン抵抗を改善して大電流出力化を図ることは，単位面積当たりの出力電流の増加，すなわち，電流密度の増大を図っているものといえる。

また，乙1～3文献には，刊行物2と同じく，チャンネル部分に溝又は凹部を設けたゲート構造を有するMOSトランジスタが記載されており，該ゲート構造により，平面的に見た場合のゲート幅（すなわちトランジスタの占有面積）を増加させることなく大電流とすること，すなわち，電流密度を増大させることが記載されている。

以上より，トランジスタの占有面積を増加させることなく大電流とすること，すなわち電流密度を増大させることは，MOSトランジスタの技術分野において周知の課題であると認めることができる。

そして，上記のとおり，MOSトランジスタに関する技術分野において，電流密度を増大させることは当然求められる周知の課題であって，刊行物1発明と同じくソース領域を裏面の半導体基体まで到達させたMOSトランジスタにおいては電流出力化を課題としており，他方，刊行物2発明の溝を利用したゲート構造によって電流密度を増大することにより同面積での電流量を大きくできるから，このゲート構造がソース・ドレイン電流の大電流化に寄与することが認められる。そうすると，刊行物1発明と刊

行物 2 発明の技術を組み合わせること，具体的には，刊行物 1 発明のソース・ドレイン構造と刊行物 2 発明のゲート構造を組み合わせることは，当業者が当然に検討すべきことといえることができる。したがって，トランジスタの大電流化又は電流密度の増大という共通の課題を解決するために，刊行物 1 発明のソース・ドレイン構造を有する MOS トランジスタに対して刊行物 2 発明のゲート構造を採用することは，当業者が容易に想到し得たことと認めるのが相当である。

(4) 示唆の不存在について

ア 原告は，刊行物 1 発明，刊行物 2 発明，その他技術常識ないし周知技術には，刊行物 1 発明のゲート電極の構造として刊行物 2 発明を採用する試みをしたはずであるという示唆等は一切存在していないから，本願発明は，刊行物 1 発明，刊行物 2 発明及びその他技術常識ないし周知技術から容易に想到し得たものではない，と主張する。

しかし，刊行物 1 発明と刊行物 2 発明に技術課題の共通性が存在し，両発明の作用・効果の相乗効果が期待されることは前記のとおりであるから，当業者が両発明の技術を組み合わせる動機付けは存在するというべきである。よって，原告の上記主張は採用することができない。

イ なお，原告は，刊行物 1 の第 3 図では，ドレイン領域 305 とソース領域 306 とが，埋込ゲートの採用が不可能な程度まで非常に近接して形成されていると主張する。

しかし，刊行物 1 の第 3 図を見ても，ドレイン領域 305 とソース領域 306 が埋込ゲートの採用が不可能な程度まで非常に近接して形成されているとは認めがたい上，刊行物 1 のその他の記載を見ても，ドレイン領域 305 とソース領域 306 とが，埋め込みゲートの採用が不可能な程度まで非常に近接して形成されていることを窺わせる記載は見当たらない。したがって，原告の上記主張はその前提において誤りがある。

また、刊行物 1 発明においては少なくとも平面的なゲート電極の形成が可能なのであるから、これに刊行物 2 発明の溝埋め込みゲートの採用が不可能であるということとはできない。

加えて、埋込ゲートに関する刊行物 2 発明は、素子の微細化又は電流密度の増大を意図した発明であって、刊行物 2 (甲 2) に、溝を形成してゲート電極を埋め込む際に、従来の平面的なゲート電極の形成に比してドレイン領域とソース領域との間により広い領域を確保することが必要となるとの記載はなく、製造工程に関する「単結晶層 2 の上にソース領域 3 とドレイン領域 4 を従来と同様な方法で形成し」(明細書 4 頁 11 行～13 行)との記載によれば、ソース・ドレイン領域に関し、従来と同じ製法が採用され、従来と同じ構造が形成されると解されるから、従来と同じソース・ドレイン領域に刊行物 2 に記載のゲート構造を採用しうるものと認められる。

よって、原告の前記主張は採用することができない。

6 取消事由 2 (刊行物 1 発明から本願発明を想到することについての阻害要因の存在) に対する判断

(1) 刊行物 1 発明におけるゲート電極の構造及び機能について

原告は、刊行物 1 の第 1 図に関し、絶縁膜 104 が MOS トランジスタの製造工程 (n 型不純物の拡散工程) においてはマスクとして機能し、かつ MOS トランジスタの完成時においては半導体層とゲート電極とを絶縁するゲート絶縁膜として機能すると主張する。

しかし、刊行物 1 (甲 1) において「第 1 図は、本発明の MOS 型集積回路のうちの 1 つの MOS トランジスタ部分の構造について示した図」(3 頁左下欄 13 行～15 行)との記載があるとしても、第 1 図と第 3 図 (d) の開示内容が実質的に同じことからすれば、第 1 図には第 3 図記載の製造工程が終了した時点での MOS トランジスタの構造が示されていると解するのが

相当である。そして、第1図に示されたものがMOSトランジスタである以上、ゲート電極が必要であることは明らかであるが、第1図に示されているのは第3図記載の製造工程が終了した時点のMOSトランジスタの状態であって、刊行物1には、この後に行われるゲート電極形成に至るまでの製造工程については何ら記載がない。

よって、第1図の後のトランジスタ製造工程が不明であり、刊行物1には、絶縁膜104が完成品としてのMOSトランジスタにそのままゲート絶縁膜として残るとの明示的な記載もないから、第1図に記載された絶縁膜104が、MOSトランジスタの完成時においては半導体層とゲート電極とを絶縁するゲート絶縁膜として機能すると判断することはできない。

(2) 刊行物1発明の目的について

原告は、刊行物1は、拡散用マスクの増加及び製造工程の追加を回避することについても課題として掲げられていると主張する。

しかし、刊行物1には、ソース・ドレイン領域の形成に関し、半導体基体に到達させるべき領域部と他の領域部との拡散を別々に行う場合、両拡散用のマスクが2つ必要になりまた製造工程も1工程追加することになるとの問題意識に基づき、それを解決するための最も効果的な製造方法として、第3図に示されるような製造方法を採用したことが記載されているが、マスク用絶縁膜とゲート絶縁膜の共有化を示唆する記載は見当たらない。そうすると、刊行物1発明が目的とする製造工程の簡略化（マスク数の低減）は、ソース・ドレイン領域の同時形成を課題とし、拡散深さの異なるソースとドレインの拡散層を1回の拡散工程で行うことをもってその課題を達成していると解され、他の工程における絶縁膜の共有化までを必須事項とするものではないと解するのが相当である。

よって、拡散用マスクの増加及び製造工程の追加を回避することについても課題としていることは認められるとしても、マスク用絶縁膜とゲート絶縁

膜の共有化をも課題としているとは認められないから，刊行物 1 の絶縁膜 104 が MOS トランジスタの完成時においてはゲート絶縁膜として機能すると認定し得る根拠はないというべきである。

(3) ゲート絶縁膜形成の周知技術について

ア 特開昭 53 - 123661 号公報（乙 4 文献）には以下の記載がある。

- ・「まず，第 1 図（a）に示すように，N 形のシリコン単結晶基板（1）上に選択的にシリコン酸化膜（ SiO_2 膜）（2）を形成した後，ジボラン（ B_2H_6 ）を含む雰囲気中にて加熱しホウ素を拡散させて，P 形のソース・ドレイン領域（3）を形成する。次に，第 1 図（b）に示すように， SiO_2 膜（2）を除去後厚い SiO_2 膜（4）を半導体基板（1）上に作製し，写真製版，エッチングにより，ソース・ドレイン領域（3）へ金属配線を接着さすための開口部（5）およびゲート絶縁膜形成およびゲート絶縁膜（8）への Al 配線のコンタクト用の開口部（6）を形成する。つづいて，第 8 図（c）に示すように，開口部（6）に露出する半導体基板（1）上にゲート絶縁膜（7）を形成した後，開口部（5）に露出するソース・ドレイン領域（3），ゲート絶縁膜（7）および SiO_2 膜（4）上に Al を被着させ，所要の形状にパターン形成して金属配線（8）を形成して，P チャネル Al ゲート MOS FET の半導体ウエハが完成する。」（2 頁左上欄 7 行～右上欄 4 行）

イ 特開昭 49 - 53384 号公報（乙 5 文献）

- ・「この基体（11）の表面に特に酸化雰囲気中で加熱処理することによって表面を熱酸化させて SiO_2 よりなる拡散マスク層（12）を形成する（第 2 図 B）。・・・これら窓（13s）及び（13d）を通じて基体（11）と異なる導電形例えば P 形となる不純物のボロン B を拡散してソース領域（14s）及びドレイン領域（14d）を形成する（第 2

図C)。・・・次いで、本発明に於ては、基体(11)上の領域(14s)及び(14d)が形成された側の面上の拡散マスク層(12)を全面的に例えばエッチングによつて除去する(第2図D)。その後、特に本発明に於ては低温化学的気相成長CVD法によって例えばSiO₂を形成して表面不活性化の為の絶縁層、いわゆるパッシベーション用の絶縁層(15)を形成する(第2図E)。・・・この絶縁膜(15)に対してフォトエッチングを行い、ソース及びドレイン各領域(14s)及び(14d)間上にフォトエッチングによって窓(15a)を形成する(第2図F)。その後、この窓(15a)を通じて例えば基体(11)の表面を熱酸化して数100～数1000程度の所要厚みを有するゲート絶縁層(16)を形成する(第2図G)。」(2頁左下欄7行～3頁左上欄3行)

ウ 上記記載によれば、不純物の拡散工程(ソース・ドレイン領域の形成工程)において拡散マスクとして利用した絶縁膜を全面的に一旦除去することや、パッシベーション(保護)用の絶縁膜が基板上に形成されている場合であってもソース・ドレイン領域間(チャンネル部分)の上の絶縁膜を一旦除去した後にゲート絶縁膜を形成することは、当業者において広く行われている技術であると認められる。

また、MOSトランジスタのゲート絶縁膜は、チャンネル(基板)とゲート電極との間に介在し、チャンネルを流れる電流をゲート電極に加わる電圧で制御する際にチャンネル(基板)に加わる電圧の影響を決定づけるから、一般に、その特性(厚さ、誘電率、緻密性等)を厳密に制御して形成されるのが通常であり、不純物導入時のマスクとして用いる絶縁膜とは、求められる特性が異なるものと解される。よって、このような理由からも、乙4文献、乙5文献に記載されているように、ゲート絶縁膜を別工程で形成することが、むしろ通常採用される製造工程であると認められる。

したがって、刊行物 1 発明におけるマスクとしての絶縁膜 104 は、MOS トランジスタのゲート絶縁膜として兼用することまでは想定されていないと解するのが相当である。

エ なお、原告は、乙 4 文献、乙 5 文献は、刊行物 1 の作成時点では公開されていないから刊行物 1 の内容に影響を及ぼすことはあり得ないと主張するが、刊行物 1 発明に基づく容易想到性を検討する判断時点は、本願発明の出願時（優先権主張日）の技術常識であるから、原告の上記主張は採用することができない。

(4) 小括

以上のとおり、刊行物 1 に拡散マスクとして用いた絶縁膜 104（絶縁膜 304）をゲート絶縁膜にそのまま用いるとの記載はなく、刊行物 1 発明において、ゲート電極は n 型ソース拡散領域 106 及び n 型ドレイン拡散領域 105 の間に設けられた絶縁膜 104 上に設けられると判断する必然性はない。そうすると、刊行物 1 発明においても、絶縁膜 104 を除去してゲート絶縁膜を新たに形成することは、当然に想定されているということができ、刊行物 1 発明のソース・ドレイン領域の形成工程後に、チャンネル部分上の絶縁膜 104 を除去して、更にチャンネル部分に溝を形成し、その後ゲート絶縁膜及びゲート電極を形成するとの刊行物 2 に記載の工程を行うこと（すなわち、刊行物 2 発明のゲート構造を採用すること）に、格別の困難性は存在しない。

したがって、刊行物 1 発明の MOS トランジスタにおいて刊行物 2 発明のゲート電極の構造を採用することは、刊行物 1 発明の目的に反する方向への変更になるということとはできないから、阻害要因が存在するとはいえず、原告の主張は、その前提において誤りがあり、採用することができない。

7 結語

以上によれば、原告主張の取消事由は全て理由がない。

よって原告の請求を棄却することとして、主文のとおり判決する。

知的財産高等裁判所 第2部

裁判長裁判官 中 野 哲 弘

裁判官 真 辺 朋 子

裁判官 田 邊 実