

平成 20 年 9 月 16 日判決言渡

平成 19 年(行ケ)第 10340 号 審決取消請求事件

口頭弁論終結日 平成 20 年 7 月 17 日

判		決	
原	告	メンター・グラフィクス・コーポレーション	
訴 訟 代 理 人 弁 理 士	伊	東	忠彦
同	湯	原	忠男
同	大	貫	進介
同	伊	東	忠重
被	告	特 許 庁	長 官
	鈴	木	隆史
指 定 代 理 人	山	下	雅人
同	江	塚	政弘
同	山	本	章裕
同	小	林	和男
主	文		

- 1 原告の請求を棄却する。
- 2 訴訟費用は、原告の負担とする。
- 3 この判決に対する上告及び上告受理申立てのための附加期間を 30 日と定める。

#### 事 実 及 び 理 由

##### 第 1 請求

特許庁が不服 2004 - 22999 号事件について平成 19 年 5 月 29 日にした審決を取り消す。

##### 第 2 当事者間に争いのない前提事実

###### 1 特許庁における手続の経緯

原告は、平成１２年１１月１６日を国際出願日として（国際特許出願ＰＣＴ／ＵＳ００／３１７８０。優先権主張日１９９９年１１月２３日及び２０００年１１月１５日・米国）、発明の名称を「擬似ランダム及び決定論的なテストパターンを発生する解凍器・擬似ランダムテストパターン発生器」とする発明について、特許出願（特願２００１－５４０３８７号。以下「本願」という。請求項の数３３）をした（甲１４）。

特許庁は、本願について、原告に対し、平成１６年４月９日、拒絶通知をし（甲１）、原告は、同年７月１３日、特許庁に対し、意見書及び手続補正書を提出した（甲２、３）。

特許庁は、平成１６年８月３日、本願について拒絶査定（甲４。以下「本件拒絶査定」という。）をしたので、原告は、同年１１月８日、これに対して、不服の審判請求（不服２００４－２２９９９号事件）をするとともに、特許請求の範囲の補正（以下「本件補正」という。甲５、６）をした。

特許庁は、平成１９年５月２９日、本件補正を却下した上で、「本件審判の請求は、成り立たない。」との審決（以下「審決」という。）をした。その謄本は、平成１９年６月１２日に原告に送達された。

## ２ 本件補正の内容

(1) 本件補正前の請求項１及び３１は、次のとおりである（本件補正前の請求項３１記載の発明を以下「補正前発明」という場合がある。甲２）。

【請求項１】 被テスト回路内のスキャンチェーンにテストパターンを与える方法であって、動作の擬似ランダム段階において、初期値を供給することと、前記初期値から１組の擬似ランダムテストパターンを生成することと、前記被テスト回路内の前記スキャンチェーンに前記擬似ランダムテストパターンを与えることとを有し、動作の決定論的段階において、テストから１組の圧縮された決定論的テストパターンを供給することと、前記圧縮された決定論的テストパターンが供給されている時に、圧縮された決定論的テストパ

ターンを解凍された決定論的テストパターンに解凍することと、前記解凍された決定論的テストパターンを前記被テスト回路内の前記スキャンチェーンに与えることとを有する方法。

【請求項 3 1】 前記スキャンチェーンにテストパターンを与える手段と、動作の擬似ランダム段階において、1組の擬似ランダムパターンを生成し、動作の決定論的段階において、1組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段と、回路ロジックと、前記テストパターンを与える手段により生成されたテストパターンを受け取り、前記回路ロジックにより生成された前記テストパターンに対する応答を取得するよう動作可能である、前記回路ロジックに結合されたスキャンチェーンが設けられた回路。

(2) 本件補正後の請求項 1 及び 3 1 は、次のとおりである（本件補正後の請求項 3 1 の発明を、以下「補正後発明」という場合がある。なお、下線部分が補正箇所である。甲 6）。

【請求項 1】 被テスト回路内のスキャンチェーンにテストパターンを与える方法であって、動作の擬似ランダム段階において、前記被テスト回路上の解凍器・P R P G に初期値を供給することと、前記初期値から 1 組の擬似ランダムテストパターンを生成することと、前記被テスト回路内の前記スキャンチェーンに前記擬似ランダムテストパターンを与えることとを有し、動作の決定論的段階において、前記被テスト回路上の前記解凍器・P R P G にテストから 1 組の圧縮された決定論的テストパターンを供給することと、前記解凍器・P R P G に前記圧縮された決定論的テストパターンを供給しながら、圧縮された決定論的テストパターンを解凍された決定論的テストパターンに解凍することと、前記解凍された決定論的テストパターンを前記被テスト回路内の前記スキャンチェーンに与えることとを有する方法。

【請求項 3 1】 スキャンチェーンにテストパターンを与える手段と、動作

の擬似ランダム段階において，１組の擬似ランダムパターンを生成し，動作の決定論的段階において，１組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段と，回路ロジックと，前記テストパターンを与える手段により生成されたテストパターンを受け取り，前記回路ロジックにより生成された前記テストパターンに対する応答を取得するよう動作可能である，前記回路ロジックに結合されたスキャンチェーンが設けられた回路。

### ３ 審決の内容

(1) 審決の判断は，別紙審決書写しのとおりである。要するに，審決は，

ア 補正後発明は，特開平４－２３６３７８号公報（以下「引用例」という。甲９。また，引用例記載の発明を「引用発明」という。）及び周知事項に基づいて当業者が容易に発明することができたから，特許法２９条２項の規定により特許出願の際に独立して特許を受けることができない，したがって，本件補正は平成１８年法律第５５号による改正前の特許法１７条の２第５項において準用する同法１２６条５項の規定に違反するから，特許法１５９条１項の規定において読み替えて準用する同法５３条１項の規定により却下されるべきものであるとして本件補正を却下した上，

イ 補正前発明は，引用発明及び周知事項に基づいて，当業者が容易に発明をすることができたから，特許法２９条２項の規定により特許を受けることができないから，その余の請求項に係る発明について検討するまでもなく，本願は拒絶されるべきものであると判断した。

(2) 審決は，引用例と補正後発明との一致点及び相違点を，以下のとおり認定した。

ア 一致点

「スキャンチェーンにテストパターンを与える手段と，１組の擬似ランダムパターンを生成する手段と，回路ロジックと，前記テストパターンを与

える手段により生成されたテストパターンを受け取り，前記回路ロジックにより生成された前記テストパターンに対する応答を取得するよう動作可能である，前記回路ロジックに結合されたスキャンチェーンが設けられた回路」である点

#### イ 相違点

##### (ア) 相違点 1

補正後発明においては「動作の擬似ランダム段階」と「動作の決定論的段階」とを有しているのに対して，引用発明においては疑似ランダムパターンを与える「STUMPS」と決定論的テストパターンを与える「DSP T」とを組み合わせるとされていて，テストの段階については明示されていない点。

##### (イ) 相違点 2

補正後発明においては，「動作の決定論的段階において，1組の決定論的テストパターンを生成」する手段が回路内に設けられており，また，「動作の擬似ランダム段階において，1組の擬似ランダムパターンを生成し，動作の決定論的段階において，1組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」も回路内に設けられているのに対して，引用発明においては，決定論的テストパターンを生成する手段は回路内に設けられておらず，「テストパターンを与える手段を構成する手段」については明示されていない点。

### 第3 当事者の主張

#### 1 審決の取消事由に関する原告の主張

審決には，以下のとおり，(1)意見書提出の機会が与えられなかった手続上の違反（取消事由1），(2)補正後発明の相違点2の容易想到性判断の誤り（取消事由2）がある。

(1) 取消事由 1 (意見書提出の機会が与えられなかった手続上の違反)

審判合議体は、補正後発明に対して審判段階において意見書や補正書の提出機会を与えずに拒絶審決をしたものであるから、特許法 159 条 2 項で準用する特許法 50 条の規定の趣旨に反しており、その審理手続には瑕疵がある。

本件拒絶査定の備考欄の記載は、請求項 1 に対するものであり、請求項 3 1 に対するものではない。原告は、請求項 3 1 についての拒絶の理由は平成 16 年 7 月 13 日付け手続補正書により解消し、拒絶理由には、請求項 3 1 に対するものは含まれていないものと理解した。

この点について、被告は、請求項 3 1 に記載されている技術的要素は、請求項 1 に実質的にすべて含まれているから、拒絶査定において、請求項 1 に拒絶理由があることを指摘している以上、請求項 3 1 にも拒絶理由のあることを指摘していると理解されるのは当然である旨主張する。しかし、そのような読み方は、請求項 3 1 に拒絶理由があると理解する旨を出願人に強要するものであって、不当である。

審査前置解除時には、通常審尋又は拒絶理由が発せられるにもかかわらず、審尋も拒絶理由も通知されずに拒絶査定の理由に挙げられていなかった請求項 3 1 に係る発明が特許要件を具備していないという理由により、出願全体について拒絶審決がされた。このように審査前置解除時に意見書、補正書を提出する機会が与えられずにされた審決は、その審理手続に違法な瑕疵があるから、取り消されるべきである。

請求項 1 が特許を受けるに足りるにもかかわらず、請求項 3 1 を進歩性を欠くとして出願全体を拒絶することは特許法の趣旨に反する。審判請求手数料の体系から判断しても、発明の保護に欠ける。

(2) 取消事由 2 (相違点 2 の容易想到性判断の誤りについて)

審決は、甲 10 ないし甲 12 を例示して、「『動作の決定論的段階におい

て，１組の決定論的テストパターンを生成』する手段を回路内に設けること，および『動作の擬似ランダム段階において，１組の擬似ランダムパターンを生成し，動作の決定論的段階において，１組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段』を回路内に設けること（以下「周知事項」という。）は，周知であると認定した。

しかし，審決の周知事項の認定に関して，以下のとおりの違法がある。

まず，審決は，甲１０ないし甲１２のうち具体的にどの記載に基づいて，上記の周知事項を認定したかを明らかにしていないから，理由不備の違法がある。

また，甲１１の図５及び甲１２の図１の解凍器，スキャンチェーンが，回路内（被テスト回路を含むマイクロチップ上・甲１４の【００１０】）に設けられていることが示されていない。このように，甲１０ないし甲１２のいずれにも，「１組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」は明示されていないので，審決の周知事項の認定には誤りがある。

以上のとおり，審決が，引用発明及び周知事項に基づいて，相違点２に係る補正後発明の構成を当業者が容易に発明することができたとした認定，判断には誤りがある。

## ２ 被告の反論

### (１) 取消事由１（意見書提出の機会が与えられなかった手続上の違反）に対し

本件拒絶査定は，平成１６年４月９日付け拒絶理由通知書に記載した理由１により拒絶するとしており，拒絶理由通知書における「理由１」は，「（請求項１－５，９－１５，１７－２０，２４－３３について）」と記載されている。確かに，本件拒絶査定の備考欄には，「出願人は，意見書において，引用文献１におけるＤＳＰＴ法のテストパターンは圧縮されたもので

はなく、引用文献 1 には、テストから圧縮されたテストパターンを供給し、これを解凍するという請求項 1 記載の発明の特徴点が記載も示唆もされていないと主張している。しかしながら、・・・これを解凍して DUT に印加することは当業者が容易に想到し得たことである。」と記載されている（甲 4）。しかし、請求項 1 に対する上記記載は、拒絶理由の理由 1 の記載の一部を重ねて記載したものにすぎず、請求項 1 以外の請求項についての拒絶理由が解消したことを示すものではない。

請求項 3 1 に記載された技術的要素は、請求項 1 に実質的にすべて含まれているから、請求項 1 に拒絶の理由が存在するのであれば、当然に請求項 3 1 にも同様の拒絶の理由が存在することになるのは、両請求項の構成要素の対応関係上自明である。

原告は、請求項 1 については平成 16 年 7 月 13 日付けの補正書及び平成 16 年 11 月 8 日付けの本件補正書による補正により、拒絶理由及び拒絶査定理由を解消しようとして、請求項 1 について拒絶理由通知時及び拒絶査定時における拒絶理由を前提として、対応措置を採った。一方で、そのような対応行動を採っているにもかかわらず、請求項 1 と技術的に共通する請求項 3 1 について、実質的な補正をすることなく、従前の拒絶理由・拒絶査定理由が解消していると理解するのが合理的な読み方であるとする主張には根拠がない。

原告は、前置解除時に、審尋又は更なる拒絶理由が発せられるべきであると主張する。しかし、審尋するかどうかは審判合議体の裁量に属する。また、前置解除時に更なる拒絶理由を発する義務を定めた規定はない。特許法 159 条 2 項は、拒絶査定不服審判において査定の理由と異なる拒絶理由を発見した場合に拒絶理由を通知することを定めているが、本件のような場合はこの規定に該当せず、更なる拒絶理由を発する必要はない。

(2) 取消事由 2（相違点 2 の容易想到性判断の誤り）に対し



甲 1 1 及び甲 1 2 には「 1 組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」（解凍器，スキャンチェーン）が回路内（電流を運ぶことの出来る互いに接続された路又はそのグループ内）に設けられていることが記載されているから，原告の主張は失当である。

また，周知技術を引用発明に適用して，相違点 2 に係る構成とすることは，当業者にとって格別困難なことではない。

したがって，周知事項の認定に誤りがあり，誤った周知事項を前提に相違点 2 の容易想到性の判断をした審決に誤りがあるとする原告の主張は，失当である。

#### 第 4 当裁判所の判断

当裁判所は，取消事由に係る原告の主張はいずれも理由がないものと判断する。事案にかんがみ，実体上の違法事由である取消事由 2 を先に検討する。

##### 1 取消事由 2（相違点 2 の容易想到性判断の誤り）について

原告は，審決には，甲 1 0 ないし甲 1 2 のうち具体的にどの記載に基づいて周知事項を認定したか明示していない点において理由不備があり，また，甲 1 0 ないし甲 1 2 には「 1 組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」を「回路」内に設ける技術が示されていないにもかかわらず，同事項を認定した誤りがある旨，及び相違点 2 についての容易想到性判断の誤りがある旨を主張する。

しかし，原告の上記主張は，以下のとおり，理由がない。

##### (1) 甲 1 0 について

ア 甲 1 0 には，以下の記載がある。

【 0 0 1 5 】図 1 において，1 0 1 は半導体集積回路，1 0 3 は検査対象となるスキャンパス設計された論理回路ブロック，1 0 2 は被検査回路に対して乱数パターンを発生する乱数生成回路，1 1 6 は被検査回路に対す

るパターンがあらかじめ記憶された補助パターン記憶メモリ，１０８は組み込み自己検査時に論理回路ブロック１０３に対して乱数生成回路１０２で生成したパターンを使用するか補助パターン記憶メモリ１１６に記憶されたパターンを使用するかを選択し制御するための選択回路であるセレクタ，１０９は被検査回路から出力されるパターンを圧縮する出力パターン圧縮回路，１１１は期待値保持レジスタ，１１０は出力パターン圧縮回路１０９と保持された期待値を比較し良否結果信号１１２を出力するための出力比較回路である。

【００１６】被検査回路である論理回路ブロック１０３が含まれる半導体集積回路１０１の内部に，乱数生成回路１０２と補助パターン記憶メモリ１１６，およびそれらを選択・制御するセレクタ１０８を設計する。論理回路ブロック１０３に対しては，通常は外部または他のブロックから入力されるが，自己検査時には，乱数生成回路１０２でパターンを生成して論理回路ブロック１０３に入力するか，乱数生成回路１０２からは生成し得ないパターンをあらかじめ記憶しておいた補助パターン記憶メモリ１１６から読み出して論理回路ブロック１０３に入力するかを選択できるように設計をおこなう。乱数生成回路１０２は，論理回路ブロック１０３のスキャンフリップフロップ１０４の合計数にかかわらず， $2^m$ （２の $m$ 乗）が許容される全体のテスト時間に十分収まるパターン数となるように， $m$ の値を決定し，乱数生成回路１０２を， $m$ をレジスタ１１３の個数とする線形フィードバックシフトレジスタ１１４で構成して設計する。補助パターン記憶メモリ１１６は，スキャンチェーン１０５の総本数分をビット数とし，またその総本数と同数のメモリ出力ライン１１８をもつ。メモリ制御信号１１７の変化により，アドレスカウンタ１１９の出力値が１ずつ変化して，補助パターン記憶メモリ１１６を読み出しアクセスするアドレスを１ずつ変えることによって，読み出す値を次々と変えていく。補助パター

ン記憶メモリ 1 1 6 には，1つのアドレスごとに1クロック信号でスキャンチェーン 1 0 5 にシフトインするデータを記憶しておく。したがって，補助パターン記憶メモリ 1 1 6 には，スキャンフリップフロップ 1 0 4 に対してスキャンチェーン 1 0 5 を通してシフトインするのに必要な総クロック数のアドレスを有する。

【0 0 1 7】次に，論理回路ブロック 1 0 3 に対して組込み自己検査を実行する場合には，まず，切り替え信号 1 0 7 でセクタ 1 0 8 を制御することにより，自己検査生成パターン生成回路として，乱数生成回路 1 0 2 を選択し，乱数生成回路 1 0 2 で生成したパターンをスキャンチェーン 1 0 5 上のスキャンフリップフロップ 1 0 4 に各スキャンチェーン 1 0 5 ごとに順次シフトインすることにより，論理回路ブロック 1 0 3 内ではスキャンチェーン 1 0 5 に接続したスキャンフリップフロップ 1 0 4 を使用してスキャンパステストを行う。スキャンフリップフロップ 1 0 4 に対して乱数生成回路 1 0 2 で生成し得るすべての組み合わせの状態を設定し終わると，次に切り替え信号 1 0 7 でセクタ 1 0 8 を制御することにより，自己検査生成パターン生成回路として，補助パターン記憶メモリ 1 1 6 を選択し，補助パターン記憶メモリ 1 1 6 にあらかじめ記憶しておいたパターンを順次読み出してスキャンチェーン 1 0 5 上のスキャンフリップフロップ 1 0 4 に各スキャンチェーン 1 0 5 ごとに順次シフトインすることにより，論理回路ブロック 1 0 3 内ではスキャンチェーン 1 0 5 に接続したスキャンフリップフロップ 1 0 4 を使用してスキャンパステストを行う。

なお，1 0 6 はスキャン入力信号，1 1 5 は排他的論理和ゲートである。

イ 以上によれば，動作の擬似ランダム段階において1組の擬似ランダムパターン（乱数）を生成するようにテストパターンを与える手段として「乱数発生回路 1 0 2」が，動作の決定論的段階において1組の決定論的テストパターン（あらかじめ記憶しておいた補助パターン）を生成する

ようにテストパターンを与える手段としては「アドレスカウンタ 1 1 9」及び「補助パターン記憶メモリ 1 1 6」とからなる構成が、動作の擬似ランダム段階において 1 組の擬似ランダムパターンを生成し、動作の決定論的段階において 1 組の決定論的テストパターンを生成するようにテストパターンを与える手段を構成する手段としては「セクタ 1 0 8」が、それぞれ回路としての「半導体集積回路 1 0 1」内に設けられることが記載されている。

したがって、甲 1 0 には、「1 組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」を「回路」内に設ける技術が開示されている。

(2) 甲 1 1 について

ア 甲 1 1（その翻訳文である乙 1）には、以下の記載がある。

(ア) 「テストパターンの解凍器は、次の二つのモードで運転される：すなわち、擬似ランダムのモードと決定論的モードである。最初に挙げたモードでは、疑似ランダムパターン生成器（P R P G）が純粋にテストパターンの生成器として使用される。後者の事例の場合には、可変長シードが、直列的にスキャンされ、バウンダリスキャンのインターフェースを通過して P R P G 及び内部スキャンチェーンの部分に送られ、これに続いて、解凍が、P R P G 及び解凍器を形成するために相互接続された選定されたスキャンのフリップフロップを使用して並列的に実行される。」（乙 1，1 頁）。

(イ) 「混合モードテストパターン生成が上記のシナリオに対して魅力的な代替手段となっている[8]，[11]，[13]。これは、テストが容易な故障をカバーするのに擬似ランダムのパターンを使用し、その後に残りのテストが困難な故障を標的とするのに決定論的パターンを使用する。テストポイントの挿入[17]，[18]といったその他のアプローチとは対照的

に，混合モードの技術は，回路の修正を課することなく，性能の劣化を引き起こすことなく，完全な故障カバレッジ率を達成することができる。また，決定論的パターンと擬似ランダムのパターンの相対的な数を変化させることによってテストパターンの保存とテスト適用時間の間の異なるトレードオフを実現することも可能になる。しかし，混合モードの生成器に基づく B I S T 方式の全体的な効率性は，テストパターンの総量を減少させるのに採用される方法に大きく依存している。」（乙 1，2 頁，3 頁）。

(ウ) 「2.4 ハードウェアの実施

提案されている解凍の方式は，組込テスト戦略の一環としてハードウェアの中で実施することができる。全体的なアーキテクチャは，テストコントローラ，チップ上の解凍器・P R P G を伴っている多数の I C，メモリ装置からなっている。決定論的テストパターンを適用するために，テストコントローラは，圧縮されたテストパターンをメモリから取り出し，これを遅い（直列の）チャンネルを通して I C に転送する。チップ上にあるテストハードウェアは，これが受け取るデータを解凍し，結果として生じるテストパターンをテストされる回路に適用する。」（乙 1，11 頁，12 頁）。

(エ) 「図 5 は解凍器・P R P G の設計を表示している。」と記載され（乙 1，12 頁 13 行），図 5 が示されている。そして，当該図 5 には，解凍器・P R P G，スキャンチェーン（S c a n）及びテストされる回路（C U T）のそれぞれの接続関係が記載されている（乙 1，12 頁）。

(オ) 「解凍器・P R P G は次の三つのモードのいずれかで運転されている：

擬似ランダムモード：解凍器・P R P G は擬似ランダムテストパ

ターンを生成する（解凍の信号とロードシードの信号は両方とも 0 である）。

シフトモード：シードと多項式の I D が解凍器・P R P G の中に移行する（ロードシードの信号は 1 である）；多項式の I D はシードに添付されているために，多項式の I D は P O L Y I D のレジスタの中に保存され，シードが M P - L F S R に転送される。

解凍のモード：解凍器・P R P G が，シードと多項式の I D に関連させたベクトルを生成する（解凍の信号が 1 であるのに対してロードシードは 0 である）。

ひとつのテストパターンを解凍し適用するのにテストコントローラが実施するステップは次の通りである：

- 1 ) スキャンと共有されているフリップフロップを含めて M P - L F S R をリセットする。
- 2 ) シフトモードにスイッチする。
- 3 ) 添付される多項式の I D を伴っているシードを移動させる。
- 4 ) 解凍のモードにスイッチする。
- 5 ) クロックサイクル L を M P - L F S R に適用することによってテストパターンを解凍する。
- 6 ) 機能モードにスイッチする。
- 7 ) テストパターンをテストされる回路に適用する。
- 8 ) 応答をテスト応答アナライザにシフトアウトする。」（乙 1 ， 1 2 頁末行， 1 3 頁）。

(カ) 「したがって，もし擬似ランダム生成をおこなうための L F S R が既に実施されている場合には，解凍器・P R P G が必要とするのは，多項式の I D を保存するための q のフリップフロップ，M P - L F S R のフィードバックのプログラムを作成するための論理とデコーダ，シー

ドを移動させるためのマルチプレクサ，MP - L F S Rのフリップフロップのためのリセットの回路構成要素からなる最小限の面積オーバーヘッドのみである。」（乙１，１３頁）。

（キ） 「本節では，S T U M P Sのアーキテクチャの構成に類似している組込自己テストの構成を持つマルチプルスキャンチェーンの設計のための二次元のハードウェアの解凍器が提案される。この設計の目標は，数の大きい特定されるビットを持つテストキューブの解凍を可能にするとともに，面積オーバーヘッドを最小限に抑えることにある。このため，解凍器は，P R P Gのフリップフロップ並びにスキャンチェーンからのフリップフロップを使用することによって実施される。」（乙１，１５頁，１６頁）。

（ク） 「単一のスキャンチェーンの事例の場合と同様に，生成器は，ランダムと決定論的の二つの運転モードを持つ。ランダムモードでは，P R P Gが独立して動作し，擬似ランダムパターンを生成する。しかし，決定論的モードの場合には，特別なフィードバックが解凍器を実施するために使用可能にされる。」（乙１，１７頁）。

（ケ） 「各回路に対して，10Kのランダムなパターンが，ランダムモードの中で作動するP R P Gによって生成され，テストするのが容易な故障を検知するために回路に適用された。これの後に，動的圧縮を伴う決定論的テストパターンの自動生成器（第５節を参照）が，完全な縮退故障カバレッジ率を実現するのに必要とされるテストキューブを作り出すために使用された。」（乙１，１７頁３７行～１８頁２行）。

イ 以上によれば，組込テストのために，１組の擬似ランダムパターンと，１組の決定論的テストパターンを生成するようにテストパターンを生成する「解凍器・P R P G」（図５の「L F S R」），擬似ランダムパターンと，決定論的テストパターンのいずれかを生成するようにテストパ

ターンを与える手段を構成する手段としての「テストコントローラ」，回路としての「テストされる回路」（図５の「ＣＵＴ」）を相互に接続することが記載されている。

この点について，原告は，甲１１の図５の解凍器，スキャンチェーンが，回路内（被テスト回路を含むマイクロチップ上・甲１４の【００１０】）に設けられていることが示されていないとも主張する。しかし，甲１１の図５における解凍器及びスキャンチェーンは，テストされる回路と接続して「組込（ビルト・イン）テスト」として用いられるものであり，１つの回路内に設けられていると理解するのが自然であるというべきであるから，原告の上記主張は理由がない。

したがって，甲１１には，「１組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」を「回路」内に設ける技術が開示されている。

### (3) 甲１２について

ア 甲１２（その翻訳文である乙２）には，以下の記載がある。

(ア) 「混合モードに指向したテストニング〔８〕 - 〔１２〕は，完全な故障検出率を達成するために２タイプのテストパターンを利用する。擬似ランダムテストパターンは，イージー・トウ・テスト欠陥をカバーするのに応用されるが，決定論的テストパターンは残されたハード・トウ・テスト欠陥をターゲットとしている。明確に保存するために要求されたメモリ量として，決定論的テストパターンは実際の施行には大き過ぎる。混合モードのテストパターン生成の成否は，大部分がテストパターンを圧縮及び解凍するのに使用される方法に依存する。

近年，複数多項式線形フィードバック・シフトレジスタ（ＭＰ ＬＦＳＲ）の再シードに基づく方法は，決定論的及び擬似ランダムテストパターン〔９〕 〔１２〕を生成するように提案してきた。この方法はス



キャン設計と互換性を有し，再シードに使用された同じM P L F S R が擬似ランダムテストパターン生成に再使用される。」（乙 2 ， 1 頁）。

(イ) 「本書は，決定論的及び擬似ランダムテストパターンを生成するための新たな方式を呈示するものである。この方式は，再シードのコンセプトに基づいているが，決定論的テストパターンを圧縮及び解凍するのに可変長シードを使用する。」（乙 2 ， 2 頁）。

(ウ) 「 2 基本構想

図 1 に示すように， $2^k$  原初多項式と関連した  $k$  ビット M P L F S R を考慮し， $L$  ビットのスキャンチェーンにリンクすると仮定する。」と記載され（乙 2 の 2 頁 1 3 ～ 1 5 行），図 1 が示されている。そして，当該図 1 には，P R P G，スキャンチェーン（S c a n C h a i n）及びテストされる回路（C i r c u i t U n d e r T e s t）のそれぞれの接続関係が記載されている（乙 2 ， 2 頁）。

(エ) 「 5 ハードウェア手段

提案された解凍方式は，混合モード・テストパターンを使用するビルトイン・テスト戦略の一部とするハードウェアで実施可能である。全体のアーキテクチャは，テストコントローラ，オンチップ解凍器を有する多数の I C 及びメモリユニットから構成される。ひとつの決定論的テストパターンを適用するために，テストコントローラはメモリーから圧縮されたテストデータを取り出し，それをスロー（シリアル）チャンネルを通じて I C に転送する。オンチップ・テスト・ハードウェアは，受信したデータを解凍し，生成されたテストパターンをテストされる回路に応用する。」（乙 2 ， 9 頁）。

(オ) 「図 6 は，解凍器・P R P G の設計を示している。」（乙 2 ， 9 頁 2 4 行）と記載され，同頁（甲 1 2 ， 4 3 0 頁）に図 6 が示されてい

る。そして、当該図 6 には、解凍器・PRPG、スキャン (Scan) のそれぞれの接続関係が記載されている。

(カ) 「解凍器・PRPGは、3モードの一つで作動する(表5)：

- ・ 擬似ランダム モード： 解凍器・PRPGは擬似ランダムテストパターンを生成する。
- ・ シフト・モード：シード及び多項式IDは、解凍器・PRPGにシフトされる。多項式IDはシードに添付されるため、POLY IDレジスタに保存され、シードはMP LFSRに包含される。
- ・ 解凍モード： 解凍器・PRPGは、シード及び多項式IDに関連したテストパターンを生成する。

ひとつのテストパターンを解凍及び応用するために、テストコントローラによって実行されるステップは下記の通りである：

- 1．スキャンと共有したフリップフロップを含むLFSRをリセットする。
- 2．シフトモードにスイッチする。
- 3．添付された多項式IDを有するシードをシフトする。
- 4．解凍モードにスイッチする。
- 5．Lクロック・サイクルをMP LFSRに応用することにより、テストパターンを解凍する。
- 6．機能モードにスイッチする。
- 7．テストパターンをテストされる回路に応用する。
- 8．署名アナライザにレスポンスをシフトアウトする。」(乙2, 10頁)。

(キ) 「更に、擬似ランダムテストパターン生成に係るLFSRが既に実施されていると、解凍器・PRPGは最小面積のオーバーヘッドだけを要求し、qフリップフロップは多項式IDを保存し、幾つかのロジッ

ク及びデコーダがMP LFSRのフィードバックをプログラムする。

1個のマルチプレクサがシードをシフトし、最後にMP LFSRのフリップフロップに係る回路系をリセットする。」(乙2, 11頁)

イ 以上によれば、ビルト・イン・テストのために、1組の擬似ランダムパターンと、1組の決定論的テストパターンを生成するようにテストパターンを生成する「解凍器・PRPG」、擬似ランダムパターンと、決定論的テストパターンのいずれかを生成するようにテストパターンを与える手段を構成する手段としての「テストコントローラ」、回路としての「テストされる回路」を相互に接続することが記載されている。

この点についても、原告は、甲12の図1の解凍器、スキャンチェーンが、回路内(被テスト回路を含むマイクロチップ上・甲14の【0010】)に設けられていることが示されていないと主張する。しかし、甲12の図1における解凍器及びスキャンチェーンは、テストされる回路と接続して「組込(ビルト・イン)テスト」として用いられるものであり、1つの回路内に設けられていると理解するのが自然であるというべきであるから、原告の上記主張は理由がない。

したがって、甲12には、「1組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」を「回路」内に設けることが技術が開示されている。

#### (4) 周知技術の認定及び容易想到性の誤りについて

以上のとおり、甲10ないし甲12には、いずれも「1組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段」を「回路」内に設ける技術が開示されている。

原告は、審決には、甲10ないし甲12のうち具体的にどの記載に基づいて、上記の周知事項を認定したかを明らかにしていない理由不備の違法があると主張する。

しかし，原告の上記主張は，理由がない。すなわち，審決は，「『動作の決定論的段階において，１組の決定論パターンを生成』する手段を用いること，および，『動作の擬似ランダム段階において，１組の擬似ランダムパターンを生成し，動作の決定論的段階において，１組の決定論的パターンを生成するように前記テストパターンを与える手段を構成する手段』を回路に設けることは，優先日前に頒布された刊行物である特開平１１－１７４１２６号公報（特に，段落【００１５】～【００１７】および図１における，『アドレスカウンタ１１９』と『補助パターン記憶メモリ１１６』とからなる構成，および「セレクト１０８」についてそれぞれ参照）（判決注甲１０），RAJSKI J ET AL: “TEST DATA DECOMPRESSION FOR MULTIPLE SCAN DESIGN WITH BOUNDARY SCAN” IEEE TRANSACTIONS ON COMPUTERS, IEEE INC. NEW YORK, US, vol. 47, no. 11, November 1998(1998-11), pages 1188-1200（判決注 甲１１），および ZACHARIA N ET AL: “Decompression of test data using variable-length seed LFSRs” 30 April - 3 May 1995, PROCEEDINGS 13TH IEEE VLSI TEST SYMPOSIUM IEEE COMPUT. SOC. PRESS LOS ANGELES, CA, USA, PAGE(S) 426-433（判決注 甲１２）に示されているとおり周知のことであり，」と記載して，周知事項の根拠を説示している（審決書１１頁５行目以下）。そして，甲１１及び甲１２については，論文集の一部を特定，抜粋することにより，説示したものであるが，前記(3)，(4)で検討したとおり，特定抜粋部分は，図面を含み，全体の論旨を明確に示したものであること，特定抜粋部分の分量も，それぞれ１３頁，８頁であって，出願人に大して過大な検討を強いるものではないこと，甲１０の具体的な説示部分と相まって，審決の指摘した趣旨が十分に把握できるものであること等に照らすならば，審決における周知事項の説示が不明確であるとの原告の主張は理由がない。

そして，補正後発明は引用発明及び周知事項に基づいて当業者が容易に発

明することができたということができるから，特許法 29 条 2 項の規定により独立して特許を受けることができないと認定した審決は適法であり，原告主張の取消事由 2 は理由がない。

- 2 取消事由 1（意見書提出の機会が与えられなかった手続上の違反）について原告は，本件拒絶査定には，請求項 1 が容易想到であるとの判断のみ記載され，請求項 3 1 についての判断は記載されていなかったから，本件の審判手続において，請求項 3 1 に関する拒絶理由通知を発するべきであるにもかかわらず，そのような手続をしなかった点において，審判には，意見書及び補正書の提出の機会を与えなかった手続上の瑕疵があり，審決は違法であると主張する。

しかし，原告の上記主張は，以下のとおり，理由がない。

(1) 手続の経緯について

各証拠によれば，以下の手続経緯を認定することができる。

ア 拒絶理由通知

拒絶理由通知には，以下の記載がある（甲 1）。

「（理由 1）この出願の下記の請求項に係る発明は，その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基づいて，その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから，特許法第 29 条第 2 項の規定により特許を受けることができない。

記（引用文献等については引用文献等一覧参照）

（請求項 1 - 5，9 - 15，17 - 20，24 - 33 について）引用文献 1 - 3

引用文献 1 の段落 0005 には，疑似ランダムテストパターンを用いる STUMPS 法と決定論的テストパターンを用いる DSP T 法を組み合わせる試験を行う点が記載されている。

圧縮したテストパターンを復元してDUTに印加することは引用文献2に、また、セル状のオートマトンにより疑似ランダムデータを発生させることは引用文献3にそれぞれ示されるように従来より周知の事項である。

#### 引用文献等一覧

- 1．特開平4 - 236378号公報
- 2．特開平11 - 153655号公報
- 3．特開平9 - 130378号公報」

#### イ 意見書・補正書

##### (ア) 補正書

請求項31については、以下のように補正された(甲2, 3~4頁)。

##### 【請求項31】

前記スキャンチェーンにテストパターンを与える手段と、  
動作の疑似ランダム段階において、1組の疑似ランダムパターンを生成し、動作の決定論的段階において、1組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段と、  
回路ロジックと、  
前記テストパターンを与える手段により生成されたテストパターンを受け取り、前記回路ロジックにより生成された前記テストパターンに対する応答を取得するよう動作可能である、前記回路ロジックに結合されたスキャンチェーンが設けられた回路。

##### (イ) 意見書

また、原告は、請求項31に係る発明に容易想到性がないことについて、以下のとおり記載した意見書を提出した(甲3, 2頁)。

「したがって、当業者にとっても、引用文献1, 2, 3に基づき請求項1, 13, 17, 31, 33に係わる発明に想到することは容易ではあ

りません。第 29 条第 2 項に基づく拒絶理由（理由 1）は，解消されたものと確信いたします。同様に請求項 2 - 5，9 - 12，14，15，18 - 20，24 - 30，32 の拒絶理由も同様の理由で解消されたものと確信いたします。」

#### ウ 本件拒絶査定

本件拒絶査定には以下の記載がある（甲 4）。

「この出願については，平成 16 年 4 月 9 日付け拒絶理由通知書に記載した理由 1 によって，拒絶をすべきものである。

なお，意見書及び手続補正書の内容を検討したが，拒絶理由を覆すに足る根拠が見いだせない。

#### 備考

出願人は，意見書において，引用文献 1 における DSP T 法のテストパターンは圧縮されたものではなく，引用文献 1 には，テストから圧縮されたテストパターンを供給し，これを解凍するという請求項 1 記載の発明の特徴点が記載も示唆もされていないと主張している。

しかしながら，先の拒絶理由通知において指摘したように，圧縮したテストパターンを復元して DUT に印加することは引用文献 2 に示されるように従来周知の事項であるから，引用文献 1 記載のものにおいて，DSP T 法のテストパターンとして圧縮したものをを用い，これを解凍して DUT に印加することは当業者が容易に想到し得たことである。

したがって，出願人の上記主張を採用することはできない。」

#### エ 審判請求

##### （ア） 審判請求書

原告は，請求項 31 に係る発明について，以下の事項を主張した。

「請求項 31 に記載の回路は，『スキャンチェーンにテストパターンを与える手段と，動作の疑似ランダム段階において，1 組の疑似ランダム

パターンを生成し、動作の決定論的段階において、１組の決定論的テストパターンを生成するように前記テストパターンを与える手段を構成する手段と』を有することを特徴とする。この特徴は引用文献１と２には記載も示唆もされていない。したがって、請求項３１に記載の発明は進歩性を有する。」（甲５，３頁）

また、請求項３１以外の請求項については、以下の事項を主張した（甲５，２頁）。

「本願につき、本審判請求書と同日付の手続補正書により、請求項１，１３，１７，３３を補正し、引用文献との相違点を明確にした。」

#### （イ） 補正書

原告は、請求項３１について、「前記」を削除する補正をした（甲６，３頁）。

#### （２） 判断

上記認定した手続経緯に基づいて判断する。

拒絶理由通知においては、その「理由１」において、「請求項１－５，９－１５，１７－２０，２４－３３について」と明示しているのであるから、審査官が、出願時の請求項３１に係る発明について、「理由１」に記載した拒絶理由が存在する旨を通知したことは明らかである。原告は、請求項３１に係る発明についても、同拒絶理由に対して、補正と意見書を提出しているのであるから、拒絶理由に、いかなる請求項に対する拒絶理由を示したかについて、不明確な点はない。

次に、拒絶査定においては、「この出願については、平成１６年４月９日付け拒絶理由通知書に記載した理由１によって、拒絶をすべきものである。なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。」と明示しているのであるから、審査官が、請求項３１に係る発明についても、拒絶理由通知（「理由１」）と同一の拒絶理由が



存在すると判断したことは明らかであり，拒絶査定には，いかなる請求項に対する拒絶理由を示したかについて不明確な点はない。

この点，拒絶査定では，「備考」として，原告が意見書に記載した点のうち，特に「引用文献 1 には，・・・請求項 1 記載の発明の特徴点が記載も示唆もされていない・・・」との主張に対して，上記の拒絶理由で指摘した引用文献 1，引用文献 2 を根拠として，原告の述べた意見書の主張が失当である理由を具体的に記載することによって，原告の主張を排斥している。

しかし，拒絶理由において，このような判断内容が「備考」欄において記載されたからといって，その体裁，内容に照らして，拒絶査定の理由が，請求項 1 に対する拒絶理由に限定され，他の請求項に対する拒絶理由が解消されたと読まれる合理的な根拠はない。すなわち，拒絶査定の備考欄の記載は，「初期値から 1 組の疑似ランダムパターン を生成する」「動作の決定論的段階において，テストから 1 組の圧縮された決定論的テストパターン を供給する」（判決注 下線部は補正箇所）などとの事項を補正した請求項 1 についてもなおかつ拒絶理由通知に記載された「理由 1」と同じ拒絶の理由が存在し，これにより拒絶されるべきものであるとの判断を示したものと理解するのが自然であるから，そのような判断が備考欄に追加付記されたことによって，その余の請求項についての拒絶理由が解消したと理解される余地はない。）。

のみならず，原告は，審判手続において，請求項 3 1 を含む他の請求項 1 3，1 7，3 3 について，補正をし，各請求項について，進歩性について意見を述べているのであって，原告自身も，拒絶理由が請求項 1 に限られたものでないと理解していたことが推認される。

以上の経緯に照らすならば，審判手続において，意見書等提出の機会を与えなかったために，実質的に原告の利益保護を欠いたとする手続違背はない。

その他，原告は，審決の手續違背について，縷々主張するが，いずれも，理由がない。

(3) 以上のとおり，審判の審理手續には瑕疵がなく，審決の手續は適法にされたものであるから，原告主張の取消事由 1 は，理由がない。

### 3 結 論

以上によれば，原告主張の取消事由はいずれも理由がない。その他原告は，審決の違法について縷々主張するが，いずれも理由がない。よって，主文のとおり判決する。

#### 知的財産高等裁判所第 3 部

裁 判 長 裁 判 官                      飯              村              敏              明

裁 判 官                                  齊              木              教              朗

裁 判 官                                  嶋              末              和              秀