

判決言渡 平成19年7月10日

平成18年(行ケ)第10485号 審決取消請求事件

口頭弁論終結日 平成19年6月26日

判 決

原 告	日 本 サ ム ス ン 株 式 会 社
訴訟代理人弁護士	片 山 英 二
同	佐 長 功
同	服 部 誠
同	高 橋 雄 一 郎
同	中 村 閑
訴訟代理人弁理士	廣 瀬 隆 行
同	林 佳 輔
同	望 月 尚 子
同	小 野 曜
被 告	松 下 電 器 産 業 株 式 会 社
訴訟代理人弁護士	森 崎 博 之
同	松 山 智 恵
訴訟代理人弁理士	稲 葉 良 幸
同	澤 井 光 一

主 文

- 1 特許庁が無効2005-80172号事件について平成18年9月15日にした審決を取り消す。
- 2 訴訟費用は被告の負担とする。

事 実 及 び 理 由

第1 請求

主文と同旨

第2 事案の概要

被告は、後記特許の特許権者であるが、原告において上記特許の請求項1（訂正前）について無効審判請求をしたところ、特許庁が平成17年11月28日付けでこれを無効とする旨の審決（第1次審決）をしたことから、被告が当庁に第1次審決の取消しを求める訴訟を提起した。

その後被告が、上記特許につき訂正審判請求をしたことから、当庁が平成18年4月14日付けで特許法（以下「法」という。）181条2項に基づく審決取消しの決定をしたので、特許庁において再び上記無効審判請求の当否について審理されることになった。そして特許庁は、平成18年9月15日付けで第1次審決の結論とは逆に、無効審判請求不成立の審決（第2次審決）をしたことから、原告がその取消しを求めたのが本件訴訟である。

第3 当事者の主張

1 請求の原因

(1) 特許庁等における手続の経緯

ア 被告は、優先権主張日を平成2年7月6日（日本国）として、平成3年1月28日、名称を「半導体記憶装置」とする発明について特許出願（特願平3-8713号）をし、平成10年3月13日、特許庁から特許第2758504号として設定登録を受けた（請求項1～9。甲10。以下「本件特許」という）。

ところが原告から、本件特許の請求項1につき特許無効審判請求がなされたので、特許庁はこれを無効2005-80172号事件として審理した上、平成17年11月28日、「特許第2758504号の請求項1に係る発明についての特許を無効とする。」旨の審決（甲11。第1次審決）をした。

イ これに対し被告から審決取消訴訟が提起され、当庁（平成18年（行ケ）第10005号）で審理したところ、被告から平成18年4月4日付

けで本件特許につき訂正審判請求（訂正２００６－３９０４６号。請求項を１ないし１１等とすることを内容とするもの。以下「本件訂正」ということがある。乙５）がされたことから，当庁は平成１８年４月１４日，法１８１条２項により，上記審決を取り消す決定をした。

ウ　そこで，特許庁で，上記無効２００５－８０１７２号事件について再び審理され，法１３４条の３第５項により上記訂正審判請求書が訂正請求書とみなされたところ，特許庁は，平成１８年９月１５日，「訂正を認める。本件審判の請求は，成り立たない。」旨の審決をし，その謄本は平成１８年９月２７日原告に送達された。

(2) 本件訂正前発明の内容

本件訂正前の特許請求の範囲は，請求項１～９から成るが（以下この請求項を「旧請求項」という。），その内容は，次のとおりである（甲１０）。

【請求項１】　第１の方向に複数の第１の配線群を形成し，前記第１の方向に交差する第２の方向に複数の第２の配線群を形成し，前記第１の配線群と前記第２の配線群間を等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第１および第２の配線群の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。

【請求項２】　複数の感知増幅器駆動回路は，記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している請求項１記載の半導体記憶装置。

【請求項３】　複数の感知増幅器駆動回路は，感知増幅器の配置領域内に配置している請求項１記載の半導体記憶装置。

【請求項４】　複数の感知増幅器駆動回路は，記憶素子領域のワード線の電位変化を速くする手段が配置された領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している請求項１記載の半導体記憶装置。

【請求項 5】 第 1 および第 2 の配線群は少なくとも接地線および電源線の何れか一方であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 第 1 および第 2 の配線群は記憶素子領域および感知増幅器上に形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 第 2 の配線群は第 1 の配線群と絶縁状態で形成され，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする請求項 1 または請求項 6 記載の半導体記憶装置。

【請求項 8】 第 1 の配線群を感知増幅器列の方向と同一方向に形成し，複数の感知増幅器駆動回路に前記第 1 の配線群の最寄りの箇所から電源供給したことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】 複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする請求項 1 または請求項 8 記載の半導体記憶装置。

(3) 本件訂正の内容

本件訂正の内容は，以下のとおりである（下線は訂正部分。ただし，訂正事項 9 以下においては下線省略）。

ア 訂正事項 1

特許請求の範囲の「【請求項 1】第 1 の方向に複数の第 1 の配線群を形成し，前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し，前記第 1 の配線群と前記第 2 の配線群とを等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。」を，

「【請求項 1】第 1 の方向に電源線および接地線からなる複数の第 1 の配線群を形成し，前記第 1 の方向に交差する第 2 の方向に電源線および接地

線からなる複数の第 2 の配線群を前記複数の第 1 の配線群と絶縁状態で形成し，前記第 1 の配線群と前記第 2 の配線群とを等電位のもの同士で交点においてスルーホール部を介して電氣的に接続し，複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し，感知増幅器を駆動する複数の感知増幅器駆動回路を前記各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。」と訂正する。

イ 訂正事項 2

特許請求の範囲の「【請求項 5】第 1 および第 2 の配線群は少なくとも接地線および電源線の何れか一方であることを特徴とする請求項 1 記載の半導体記憶装置。」を，

「【請求項 5】第 1 の方向に複数の第 1 の配線群を形成し，前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し，第 1 および第 2 の配線群は少なくとも接地線および電源線の何れか一方であることを特徴とする半導体記憶装置。」と訂正する。

ウ 訂正事項 3

特許請求の範囲の「【請求項 6】第 1 および第 2 の配線群は記憶素子領域および感知増幅器上に形成されていることを特徴とする請求項 1 記載の半導体記憶装置。」を，

「【請求項 6】第 1 の方向に複数の第 1 の配線群を形成し，前記第 1 の方

向に交差する第 2 の方向に複数の第 2 の配線群を形成し，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し，第 1 および第 2 の配線群は記憶素子領域および感知増幅器上に形成されていることを特徴とする半導体記憶装置。」と訂正する。

エ 訂正事項 4

特許請求の範囲の「【請求項 7】第 2 の配線群は第 1 の配線群と絶縁状態で形成され，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする請求項 1 または請求項 6 記載の半導体記憶装置。」の一部を，

「【請求項 7】第 2 の配線群は第 1 の配線群と絶縁状態で形成され，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする請求項 6 記載の半導体記憶装置。」と訂正する。

オ 訂正事項 5

特許請求の範囲の「【請求項 7】第 2 の配線群は第 1 の配線群と絶縁状態で形成され，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする請求項 1 または請求項 6 記載の半導体記憶装置。」の一部を，

「【請求項 8】第 1 の方向に複数の第 1 の配線群を形成し，前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し，前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配

線群の最寄りの箇所から電源供給し，第２の配線群は第１の配線群と絶縁状態で形成され，前記第１の配線群と前記第２の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする半導体記憶装置。」と訂正する。

カ 訂正事項 6

特許請求の範囲の「【請求項 8】第１の配線群を感知増幅器列の方向と同一方向に形成し，複数の感知増幅器駆動回路に前記第１の配線群の最寄りの箇所から電源供給したことを特徴とする請求項 1 記載の半導体記憶装置。」を，

「【請求項 9】第１の方向に複数の第１の配線群を形成し，前記第１の方向に交差する第２の方向に複数の第２の配線群を形成し，前記第１の配線群と前記第２の配線群間を等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し，前記複数の感知増幅器駆動回路に前記第１および第２の配線群の最寄りの箇所から電源供給し，第１の配線群を感知増幅器列の方向と同一方向に形成し，複数の感知増幅器駆動回路に前記第１の配線群の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。」と訂正する。

キ 訂正事項 7

特許請求の範囲の「【請求項 9】複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする請求項 1 または請求項 8 記載の半導体記憶装置。」の一部を，

「【請求項 10】複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする請求項 9 記載の半導体記憶装置。」と訂正する。

ク 訂正事項 8

特許請求の範囲の「【請求項 9】複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする請求項 1 または請求項 8 記載の半導体記憶装置。」の一部を、

「【請求項 1 1】第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする半導体記憶装置。」と訂正する。

ケ 訂正事項 9

発明の詳細な説明・段落【0013】の「【課題を解決するための手段】 請求項 1 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給したことを特徴とする。」を、

「【課題を解決するための手段】 請求項 1 記載の半導体記憶装置は、第 1 の方向に電源線および接地線からなる複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に電源線および接地線からなる複数の第 2 の配線群を前記複数の第 1 の配線群と絶縁状態で形成し、前記第 1 の配線群と前記第 2 の配線群とを等電位のもの同士で交点においてスルーホール部を介して電氣的に接続し、複数の記憶素子群および感知増幅器列が

配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し、感知増幅器を駆動する複数の感知増幅器駆動回路を前記各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給したことを特徴とする。」と訂正する。

コ 訂正事項 1 0

発明の詳細な説明・段落【0014】の「請求項 2 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路を、記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している。請求項 3 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路を、感知増幅器の配置領域内に配置している。請求項 4 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路を、記憶素子領域のワード線の電位変化を速くする手段が配置された領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している。請求項 5 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、第 1 および第 2 の配線群が少なくとも接地線および電源線の何れか一方であることを特徴とする。請求項 6 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、第 1 および第 2 の配線群が記憶素子領域および感知増幅器上に形成されていることを特徴とする。請求項 7 記載の半導体記憶装置は、請求項 1 または請求項 6 記載の半導体記憶装置において、第 2 の配線群が第 1 の配線群と絶縁状態で形成され、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする。請求項 8 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、

第 1 の配線群を感知増幅器列の方向と同一方向に形成し、複数の感知増幅器駆動回路に前記第 1 の配線群の最寄りの箇所から電源供給したことを特徴とする。請求項 9 記載の半導体記憶装置は、請求項 1 または請求項 8 記載の半導体記憶装置において、複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする。」を、

「請求項 2 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路は、記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している。請求項 3 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路は、感知増幅器の配置領域内に配置している。請求項 4 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、複数の感知増幅器駆動回路は、記憶素子領域のワード線の電位変化を速くする手段が配置された領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している。請求項 5 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 1 および第 2 の配線群は少なくとも接地線および電源線の何れか一方であることを特徴とする。請求項 6 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1

および第 2 の配線群の最寄りの箇所から電源供給し、第 1 および第 2 の配線群は記憶素子領域および感知増幅器上に形成されていることを特徴とする。請求項 7 記載の半導体記憶装置は、請求項 6 記載の半導体装置において、第 2 の配線群は第 1 の配線群と絶縁状態で形成され、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする。請求項 8 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 2 の配線群は第 1 の配線群と絶縁状態で形成され、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする。請求項 9 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 1 の配線群を感知増幅器列の方向と同一方向に形成し、複数の感知増幅器駆動回路に前記第 1 の配線群の最寄りの箇所から電源供給したことを特徴とする。請求項 10 記載の半導体記憶装置は、請求項 9 記載の半導体記憶装置において、複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする。請求項 11 記載の半導体記憶装置は、第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成

し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする。」と訂正する。

(4) 本件訂正後発明の内容

本件訂正後の特許請求の範囲は、上記(3)のとおり請求項 1 ～ 11 から成るが（以下この請求項を「新請求項」という。）、その内容を整理すると、次のとおりである（以下、このうち請求項 1 に係る発明を「訂正発明」という。下線は訂正部分。乙 5 ）。

【請求項 1】 第 1 の方向に電源線および接地線からなる複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に電源線および接地線からなる複数の第 2 の配線群を前記複数の第 1 の配線群と絶縁状態で形成し、前記第 1 の配線群と前記第 2 の配線群とを等電位のもの同士で交点においてスルーホール部を介して電氣的に接続し、複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し、感知増幅器を駆動する複数の感知増幅器駆動回路を前記各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。

【請求項 2】 複数の感知増幅器駆動回路は、記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している請求項 1 記載の半導体記憶装置。

【請求項 3】 複数の感知増幅器駆動回路は、感知増幅器の配置領域内に配

置している請求項 1 記載の半導体記憶装置。

【請求項 4】 複数の感知増幅器駆動回路は、記憶素子領域のワード線の電位変化を速くする手段が配置された領域をビット線方向に延在させて感知増幅器列と交差する領域に配置している請求項 1 記載の半導体記憶装置。

【請求項 5】 第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 1 および第 2 の配線群は少なくとも接地線および電源線の何れか一方であることを特徴とする半導体記憶装置。

【請求項 6】 第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 1 および第 2 の配線群は記憶素子領域および感知増幅器上に形成されていることを特徴とする半導体記憶装置。

【請求項 7】 第 2 の配線群は第 1 の配線群と絶縁状態で形成され、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄

りの箇所から電源供給し、第 2 の配線群は第 1 の配線群と絶縁状態で形成され、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士でスルーホール部を介して電氣的に接続したことを特徴とする半導体記憶装置。

【請求項 9】 第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、第 1 の配線群を感知増幅器列の方向と同一方向に形成し、複数の感知増幅器駆動回路に前記第 1 の配線群の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。

【請求項 10】 複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 第 1 の方向に複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に複数の第 2 の配線群を形成し、前記第 1 の配線群と前記第 2 の配線群間を等電位のもの同士で電氣的に接続し、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し、前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群の最寄りの箇所から電源供給し、複数の感知増幅器駆動回路が共通の感知増幅器駆動線に接続されていることを特徴とする半導体記憶装置。

(5) 審決の内容

ア 審決の内容は、別添審決写しのとおりである。

その要点は、本件訂正を認めた上、特許無効審判請求人たる原告主張の下記無効理由 1 ないし 3 は、いずれも認めることはできないから、訂正発明は無効とすべきものではない、としたものである。

記

(ア) 無効理由 1：訂正発明は特開平 2 - 3 1 4 6 号公報（甲 1。以下「引用例」といい、これに記載された発明を「引用発明」という。）と同一であるから、法 2 9 条 1 項 3 号に違反する。

(イ) 無効理由 2：訂正発明は上記引用例に基づいて当業者が容易に発明をすることができたから、法 2 9 条 2 項に違反する。

(ウ) 無効理由 3：訂正発明は特願平 2 - 1 2 1 3 3 4 号の願書に添付された明細書及び図面（甲 2。以下「先願明細書」といい、これに記載された発明を「先願発明」という。）と同一であるから、法 2 9 条の 2 に違反する。

イ なお審決は、引用発明の内容、同発明と訂正発明との一致点及び相違点を、次のとおり認定した。

<引用発明の内容>

第 1 の方向に配置された 3 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ 、 $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）であって、メモリセルアレイの外部に配置された 2 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ ）及びメモリセルアレイの内部に配置された 1 組の共通接続配線（ $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）と、

前記第 1 の方向に交差する第 2 の方向に配置された 4 組の p チャネル側及び n チャネル側センスアンプ駆動用電源線 S_{AP} 、 S_{AN} であって、4 つのセンスアンプ部（ 4_1 、 4_2 、 4_3 、 4_4 ）の各々の内部に 1 組ずつ配置された p チャネル側及び n チャネル側センスアンプ駆動用電源線 S_{AP} 、 S_{AN} とを有し、

前記 3 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ 、 $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）のうちの 3 本の共通接続配線（ $6_1 \sim 6_3$ 、 $6_4 \sim 6_6$ 、 $6_7 \sim 6_9$ ）と前記 4 組のセンスアンプ駆動用電源線 S_{AP} 、 S_{AN} のうちの

4本のpチャンネル側センスアンプ駆動用電源線 SAP とが電氣的に接続され、前記3組の共通接続配線 ($6_1 \sim 6_3$ と $7_1 \sim 7_3$, $6_4 \sim 6_6$ と $7_4 \sim 7_6$, $6_7 \sim 6_9$ と $7_7 \sim 7_9$) のうちの残りの3本の共通接続配線 ($7_1 \sim 7_3$, $7_4 \sim 7_6$, $7_7 \sim 7_9$) と前記4組のセンスアンプ駆動用電源線 SAP , SAN のうちの4本のnチャンネル側センスアンプ駆動用電源線 SAN とが電氣的に接続されており、

さらに、

センスアンプの活性時に前記pチャンネル側センスアンプ駆動用電源線 SAP を電源電圧 V_{CC} に、前記nチャンネル側センスアンプ駆動用電源線 SAN を接地電圧 V_{SS} に、それぞれ短絡するセンスアンプ駆動用電源クロックの発生およびイコライズ回路と、

各々の前記センスアンプ部を構成する複数のビット線センスアンプと前記pチャンネル側センスアンプ駆動用電源線 SAP との間にそれぞれ設けられたpチャンネルMOSトランジスタからなる複数のトランスファークロスタと、前記複数のビット線センスアンプと前記nチャンネル側センスアンプ駆動用電源線 SAN との間にそれぞれ設けられたnチャンネルMOSトランジスタからなる複数のトランスファークロスタとを備えたことを特徴とする半導体記憶装置。

< 一致点 >

「第1の方向に複数の第1の配線群を形成し、前記第1の方向に交差する第2の方向に複数の第2の配線群を形成し、前記第1の配線群と前記第2の配線群とを等電位のもの同士で電氣的に接続し、複数の回路を各感知増幅器列に対してそれぞれ配置し、前記複数の回路に前記第1および第2の配線群から電源供給したことを特徴とする半導体記憶装置。」である点

< 相違点 1 >

訂正発明においては、「第1の方向に電源線および接地線からなる複数

の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に電源線および接地線からなる複数の第 2 の配線群を前記複数の第 1 の配線群と絶縁状態で形成し」ているのに対して、

引用発明においては、「第 1 の方向に配置された 3 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ 、 $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）であって、メモリセルアレイの外部に配置された 2 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ ）及びメモリセルアレイの内部に配置された 1 組の共通接続配線（ $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）と」、「前記第 1 の方向に交差する第 2 の方向に配置された 4 組の p チャンネル側及び n チャンネル側センスアンプ駆動用電源線 SAP 、 SAN であって、4 つのセンスアンプ部（ 4_1 、 4_2 、 4_3 、 4_4 ）の各々の内部に 1 組ずつ配置された p チャンネル側及び n チャンネル側センスアンプ駆動用電源線 SAP 、 SAN とを有」している点。

<相違点 2>

訂正発明においては、「前記第 1 の配線群と前記第 2 の配線群とを等電位のもの同士で交点においてスルーホール部を介して電氣的に接続し」ているのに対して、

引用発明においては、「前記 3 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ 、 $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）のうちの 3 本の共通接続配線（ $6_1 \sim 6_3$ 、 $6_4 \sim 6_6$ 、 $6_7 \sim 6_9$ ）と前記 4 組のセンスアンプ駆動用電源線 SAP 、 SAN のうちの 4 本の p チャンネル側センスアンプ駆動用電源線 SAP とが電氣的に接続され、前記 3 組の共通接続配線（ $6_1 \sim 6_3$ と $7_1 \sim 7_3$ 、 $6_4 \sim 6_6$ と $7_4 \sim 7_6$ 、 $6_7 \sim 6_9$ と $7_7 \sim 7_9$ ）のうちの残りの 3 本の共通接続配線（ $7_1 \sim 7_3$ 、 $7_4 \sim 7_6$ 、 $7_7 \sim 7_9$ ）と前記 4 組のセンスアンプ駆動用電源線 SAP 、 SAN のうちの 4 本の n チャンネル側センスアンプ駆動用電源線 SAN とが電氣的に接続され」ている点。

< 相違点 3 - 1 >

訂正発明においては、「複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し」との構成を備えているのに対して、引用発明は、前記構成を備えていない点。

< 相違点 3 - 2 >

訂正発明においては、「感知増幅器を駆動する」「感知増幅器駆動回路」を有しているのに対して、引用発明においては、「センスアンプ駆動用電源クロックの発生およびイコライズ回路」と、「pチャネルMOSトランジスタからなる複数のトランスファークラーク」及び「nチャネルMOSトランジスタからなる複数のトランスファークラーク」とを有している点。

< 相違点 3 - 3 >

訂正発明においては、「複数の感知増幅器駆動回路を前記各感知増幅器列に対してそれぞれ分散配置し」ているのに対して、引用発明においては、「各々の前記センスアンプ部を構成する複数のビット線センスアンプと前記pチャネル側センスアンプ駆動用電源線 S_{AP} との間にそれぞれ設けられたpチャネルMOSトランジスタからなる複数のトランスファークラークと、前記複数のビット線センスアンプと前記nチャネル側センスアンプ駆動用電源線 S_{AN} との間にそれぞれ設けられたnチャネルMOSトランジスタからなる複数のトランスファークラークとを備えた」点。

< 相違点 4 >

訂正発明においては、「前記複数の感知増幅器駆動回路に前記第1および第2の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給した」のに対して、

引用発明においては、「各々の前記センスアンプ部を構成する複数のビット線センスアンプと前記pチャネル側センスアンプ駆動用電源線 S_{AP}

との間にそれぞれ設けられた p チャンネル MOS トランジスタからなる複数のトランスファークゲートと、前記複数のビット線センスアンプと前記 n チャンネル側センスアンプ駆動用電源線 V_{SAN} との間にそれぞれ設けられた n チャンネル MOS トランジスタからなる複数のトランスファークゲートとを備えた」点。

ウ また審決は、先願発明の内容、同発明と訂正発明との一致点及び相違点を、次のとおり認定した。

< 先願発明の内容 >

第 1 の方向であって、 $(i + 1)$ 個のメモリブロックの外部に、データ線充電電圧端子 (V_{DL}) に接続されるセンスアンプ用電源線と接地電圧端子 (V_{SS}) に接続されるセンスアンプ用電源線との組を 2 組、前記 $(i + 1)$ 個のメモリブロックの内部に、データ線充電電圧端子 (V_{DL}) に接続されるセンスアンプ用電源線と接地電圧端子 (V_{SS}) に接続されるセンスアンプ用電源線との組を 1 組、それぞれ配置し、

前記第 1 の方向と交差する第 2 の方向であって、前記 $(i + 1)$ 個のメモリブロックの外部に、データ線充電電圧端子 (V_{DL}) に接続されるセンスアンプ用電源線と接地電圧端子 (V_{SS}) に接続されるセンスアンプ用電源線との組を 2 組、前記 $(i + 1)$ 個の各々のメモリブロックの内部に、データ線充電電圧端子 (V_{DL}) に接続されるセンスアンプ用電源線と接地電圧端子 (V_{SS}) に接続されるセンスアンプ用電源線との組を 1 組ずつ、それぞれ配置し、

前記第 1 の方向に配置された 3 組のセンスアンプ用電源線の組と、前記第 2 の方向に配置された $(i + 3)$ 組のセンスアンプ用電源線の組との、データ線充電電圧端子 (V_{DL}) に接続されるセンスアンプ用電源線同士を電氣的に接続し、また、接地電圧端子 (V_{SS}) に接続されるセンスアンプ用電源線同士を電氣的に接続し、

複数のセンスアンプのそれぞれに対応して、センスアンプ駆動用トランジスタMP4，MN4を配置し，

前記センスアンプ駆動用トランジスタMP4に，該センスアンプ駆動用トランジスタMP4に近接して配置されたデータ線充電電圧端子（VDL）に接続されるセンスアンプ用電源線の最寄りの箇所から電源供給し，前記センスアンプ駆動用トランジスタMN4に，該センスアンプ駆動用トランジスタMN4に近接して配置された接地電圧端子（VSS）に接続されるセンスアンプ用電源線の最寄りの箇所から電源供給したことを特徴とするDRAM。

<一致点>

「第1の方向に電源線及び接地線からなる複数の第1の配線群を形成し，前記第1の方向に交差する第2の方向に電源線及び接地線からなる複数の第2の配線群を形成し，前記第1の配線群と前記第2の配線群とを等電位のもの同士で電氣的に接続し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ配置し，前記複数の感知増幅器駆動回路に前記第1および第2の配線群の最寄りの箇所から電源供給したことを特徴とする半導体記憶装置。」である点

<相違点1>

訂正発明においては，「第1の方向に電源線および接地線からなる複数の第1の配線群を形成し，前記第1の方向に交差する第2の方向に電源線および接地線からなる複数の第2の配線群を前記複数の第1の配線群と絶縁状態で形成し」ているのに対して，

先願発明においては，「第1の方向であって， $(i + 1)$ 個のメモリブロックの外部に，データ線充電電圧端子（VDL）に接続されるセンスアンプ用電源線と接地電圧端子（VSS）に接続されるセンスアンプ用電源線との組を2組，前記 $(i + 1)$ 個のメモリブロックの内部に，データ線

充電電圧端子（VDL）に接続されるセンスアンプ用電源線と接地電圧端子（VSS）に接続されるセンスアンプ用電源線との組を1組，それぞれ配置し，「前記第1の方向と交差する第2の方向であって，前記（ $i + 1$ ）個のメモリブロックの外部に，データ線充電電圧端子（VDL）に接続されるセンスアンプ用電源線と接地電圧端子（VSS）に接続されるセンスアンプ用電源線との組を2組，前記（ $i + 1$ ）個の各々のメモリブロックの内部に，データ線充電電圧端子（VDL）に接続されるセンスアンプ用電源線と接地電圧端子（VSS）に接続されるセンスアンプ用電源線との組を1組ずつ，それぞれ配置し」ている点。

<相違点2>

訂正発明においては，「前記第1の配線群と前記第2の配線群とを等電位のもの同士で交点においてスルーホール部を介して電氣的に接続し」ているのに対して，

先願発明においては，「前記第1の方向に配置された3組のセンスアンプ用電源線の組と，前記第2の方向に配置された（ $i + 3$ ）組のセンスアンプ用電源線の組との，データ線充電電圧端子（VDL）に接続されるセンスアンプ用電源線同士を電氣的に接続し，また，接地電圧端子（VSS）に接続されるセンスアンプ用電源線同士を電氣的に接続し」ている点。

<相違点3>

訂正発明においては，「複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し，感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列に対してそれぞれ分散配置し」ているのに対して，

先願発明においては，「複数のセンスアンプのそれぞれに対応して，センスアンプ駆動用トランジスタMP4，MN4を配置し」ている点。

<相違点4>

訂正発明においては、「前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給した」のに対して、

先願発明においては、「前記センスアンプ駆動用トランジスタ M P 4 に、該センスアンプ駆動用トランジスタ M P 4 に近接して配置されたデータ線充電電圧端子 (V D L) に接続されるセンスアンプ用電源線の最寄りの箇所から電源供給し、前記センスアンプ駆動用トランジスタ M N 4 に、該センスアンプ駆動用トランジスタ M N 4 に近接して配置された接地電圧端子 (V S S) に接続されるセンスアンプ用電源線の最寄りの箇所から電源供給した」点。

(6) 審決の取消事由

しかしながら、審決は、本件訂正の適否の判断を誤り（取消事由 1 ）、訂正発明の認定を誤り（取消事由 2 ）、引用発明の認定を誤り（取消事由 3 ）、引用発明との相違点 1 ～ 4 の判断を誤り（取消事由 4 ～ 9 ）、先願発明の認定を誤り（取消事由 1 0 ）、先願発明との相違点 3 、 4 の判断を誤った（取消事由 1 1 、 1 2 ）から、違法として取り消されるべきである。

ア 取消事由 1（本件訂正を認めた判断の誤り）

（ア） 本件訂正後の特許請求の範囲には、請求項が 1 1 個含まれているが、審決は、請求項 1 についてのみ特許要件を判断し、請求項 2 以降の 1 0 個の請求項については独立特許要件の判断を脱漏し、しかも本件訂正後の請求項 5 ～ 1 1 は、引用発明及び先願発明等との関係から明らかに独立特許要件を満たさないにもかかわらず、誤って訂正を認めたものである。すなわち、複数の請求項を有する特許について、訂正請求とみなされた訂正審判が請求された場合であって、特許無効審判の請求対象となっていない請求項についても特許請求の範囲の減縮を目的とする訂正がなされたときは、特許無効審判の請求の対象となる請求項を除く全ての

請求項についても独立特許要件が判断されなければならないところ，本件特許も上記の場合に当たるものである。

(イ) まず，訂正事項４及び７は，多数項引用形式請求項の引用請求項を減少するものである。すなわち，訂正事項４は，訂正前の請求項１または請求項６を引用する請求項７から「請求項６」のみを引用する請求項に訂正するものであるところ，これは，訂正前の請求項１を引用していた部分を削除するものであって，明確にその範囲が狭まるものであるから，特許請求の範囲の減縮に該当する。このことは，訂正事項７についても同様である。

(ウ) また，訂正事項５及び８は，２項引用している１の請求項を独立請求項に変更するものである。すなわち，訂正事項５は，訂正前の「請求項１または請求項６」を引用する請求項７から「請求項１」を引用する請求項を独立請求項に訂正するとともに，請求項の項番を新たな「請求項８」とするものであるが，この訂正は，２項を引用していた請求項を１項のみ引用する請求項に限定しており，その範囲を狭めたものであるから，特許請求の範囲の減縮に該当する。このことは，訂正事項８についても同様である。

(エ) 上記(イ)，(ウ)が特許請求の範囲の減縮でないとすると，択一的記載を複数の請求項に分け，後にその一つを放棄することにより，独立特許要件を判断せずに特許請求の範囲の減縮ができてしまうことになり，極めて不当である。

イ 取消事由２（発明の要旨の認定の誤り）

(ア) 審決は，訂正発明（新請求項１）の「…複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成」することとは，複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線およ

び接地線が緻密に組まれている状態を意味すると述べるが、誤りである。すなわち、「メッシュ状」という表現のみからはその目の細かさは表されておらず、これが直ちに、緻密に組まれているメッシュと解釈されるものでもない。つまり、「メッシュ状」とは、網の目状、すなわち、縦方向及び横方向にそれぞれ複数組ずつ配置されている状態を意味するというのが、自然な文言解釈である。

(イ) 広辞苑第五版(乙3)の「メッシュ」の項目には、メッシュの目が粗いか細かいかの限定はなく、「メッシュ」の一つの意味として「網の目」を挙げているに過ぎず、さらに「網の目」については、「網に編んだものの糸・針金に囲まれたすきま。緻密に組まれているものにたとえる」と記載されている。すなわち、広辞苑では、ものの譬えとして「網の目」という言葉を使う場合に「緻密に組まれている」ものを意味すると述べているものであって、「メッシュ」そのものに関して「緻密に組まれた網の目」を意味するとしたものではなく、単に「メッシュ」と言えば「網に編んだものの糸・針金に囲まれたすきま」を意味するものと記載しているものである。なお、松村明編「大辞林第三版」株式会社三省堂(甲14)からは、「メッシュ」は縦線と横線を組み合わせたものを意味し、その粗密は問わず、松村明監修「大辞泉第一版」株式会社小学館(甲15)からも、「メッシュ」は複数の線を組み合わせたものを意味し、その粗密は問わないものである。

(ウ) また、審決は、本件訂正明細書(乙5)の段落【0037】～【0039】の記載から、「メッシュ状」を緻密に組まれている状態と限定解釈しているが、請求項1は「メッシュ状」と記載しているに過ぎず、段落【0037】から【0039】に記載のような作用効果を奏するものだけが、訂正発明における「メッシュ状」の意味であるとする根拠になりうる記載は存在しない。このように、粗密につき何ら限定のない

「メッシュ状」という特許請求の範囲の記載を解釈するに際して、特許請求の範囲の技術的意義が（「粗いメッシュ」も「緻密なメッシュ」も含む点で）一義的に明確に理解できるにもかかわらず、特段の事情なく、実施例の記載を参酌して「緻密に組まれているメッシュ」と限定解釈することは許されない。

ウ 取消事由 3（引用発明の認定の誤り）

審決は、引用発明は「...メモリセルアレイの内部に配置された 1 組の共通接続配線（67～69と77～79）...」を開示していると述べている。しかし、引用例（甲1）には、「...セルアレイの内部を通す共通接続配線67～69および77～79は、ワード線のスナップ部を通す。」（3頁右下欄13行～15行）との記載があり、このワード線のスナップ部とは、「...セルアレイ中で最低1箇所以上互いに接続されている...」部分であるから（3頁右下欄7行～8行）、引用発明には「1組」ではなく「多数組」の共通接続配線が開示されているといえる。

エ 取消事由 4（引用発明との相違点 1 の判断の誤り）

（ア） 審決は、引用発明の n チャンネル側電源線 S_{AN} と p チャンネル側電源線 S_{AP} を接地線または電源線と呼ばない旨述べるが、誤りである。

すなわち、文言上も「n チャンネル側電源線 S_{AN} 」、「p チャンネル側電源線 S_{AP} 」にはそれぞれ「電源線」という語が用いられており、電源であることが明らかになっている。また電源線の一般論からしても、非動作時に電源電圧が変化するような半導体装置は多数存在するのであって、引用発明のように、センスアンプ駆動回路に対して「センスアンプ活性時」に電源電圧や接地電圧を供給するための配線であって「センスアンプ活性化」の前から電源電圧、接地電圧となっている配線であれば、これを電源線、接地線と呼んで差し支えないものである。

（イ） 被告は、センスアンプ活性時のみに、各々、電源電圧 V_{CC} 及び接

地電圧 V_{SS} になる配線を電源線及び接地線とは呼ばないと主張する。

しかし、仮に引用発明の n チャンネル側電源線 S_{AN} と p チャンネル側電源線 S_{AP} は、それぞれ「接地線」と「電源線」とは形式的・表現的に異なるとしても、引用発明の n チャンネル側電源線 S_{AN} と p チャンネル側電源線 S_{AP} は、非動作時（センスアンプ非活性時）に $V_{CC}/2$ の電圧にイコライズされるに過ぎず、これは、訂正発明の作用効果を奏する上で全く無関係であるから、センスアンプ動作時に電源線や接地線として機能する引用発明の p チャンネル側電源線 S_{AP} と n チャンネル側電源線 S_{AN} は、それぞれ、実質的に「電源線」や「接地線」であるといえる。

オ 取消事由 5（引用発明との相違点 2 の判断の誤り）

相違点 1 が相違点でないか、容易に発明できたものである以上、相違点 2 も相違点ではないか、容易に発明できたものである。

カ 取消事由 6（引用発明との相違点 3 - 1 の判断の誤り）

審決は、引用発明との相違点 3 - 1 を判断する前提として、そもそも「メッシュ状」を緻密に組まれているという意味に誤って限定解釈している上、仮に「メッシュ状」を「緻密に組まれている」と解釈できたとしても、引用発明には、上記ウで述べたとおり、「多数組」の共通接続配線が開示されているといえるから、これは緻密に組まれていると十分評価できる。また仮にそう評価できないとしても、「多数組」と「緻密」と評価される程の組数とは、境界の明確でない概念であり、結局のところ程度問題であるから、既に複数組の電源線の組が開示されている以上、これを増やすこと自体には何ら困難性はない。

キ 取消事由 7（引用発明との相違点 3 - 2 の判断の誤り）

相違点 1 が相違点でないか、容易に発明できたものである以上、相違点 3 - 2 も相違点ではないか、容易に発明できたものである。

ク 取消事由 8（引用発明との相違点 3 - 3 の判断の誤り）

相違点 1 及び相違点 3 - 1 が相違点でないか，容易に発明できたものである以上，相違点 3 - 3 も相違点ではないか，容易に発明できたものである。

ケ 取消事由 9（引用発明との相違点 4 の判断の誤り）

相違点 1 及び相違点 3 - 1 が相違点でないか，容易に発明できたものである以上，相違点 4 も相違点ではないか，容易に発明できたものである。

コ 取消事由 10（先願発明の認定の誤り）

審決は，先願発明を「...メモリブロックの内部に，データ線充電電圧端子（V D L）に接続されるセンスアンプ用電源線と接地電圧端子（V S S）に接続されるセンスアンプ用電源線との組を 1 組，...配置し，」と認定する。しかし，先願明細書（甲 2）には，「...選択信号線によって同時に活性化されるセンスアンプ群を複数のブロックに分割し，該センスアンプ群毎にセンスアンプ駆動用の電源線を選択信号線と交差するように設けることにより...各電源線あたりの負荷容量は $1 / n$ （ n ：分割数）に減少する...」（4 頁 9 行～16 行）との記載があるから，メモリブロックの内部に，図面上は 1 組しか電源線対の開示がないとしても，「多数組」の電源線対が実質的に開示されているといえる。さらに，メモリセルアレイがサブアレイに分割され，サブアレイとサブアレイの間にデコーダやセンスアンプ等が含まれている場合であっても，全体としてメモリセルアレイがアレイ状に配置されていれば，その領域はメモリセルアレイといえるから，先願明細書の第 3 図に記載された全ての領域がアレイの領域であるということもできる。

サ 取消事由 11（先願発明との相違点 3 の判断の誤り）

審決は，先願発明との相違点 3 を判断する前提として，そもそも「メッシュ状」を緻密に組まれているという意味に誤って限定解釈している上，仮に「メッシュ状」を「緻密に組まれている」と解釈できたとしても，先

願発明は、上記コで述べたとおり、メモリブロックの内部に「多数組」の電源線対が実質的に開示されているといえるから、これは緻密に組まれていると十分評価できる。また仮にそう評価できないとしても、「多数組」と「緻密」と評価される程の組数とは、境界の明確でない概念であり、結局のところ程度問題であるから、既に複数組の電源線の組が開示されている以上、先願発明との相違点3は実質的なものではない。

シ 取消事由12（先願発明との相違点4の判断の誤り）

上記相違点3が相違点でないか、実質的なものではない以上、相違点4も相違点ではないか、実質的なものではない。

2 請求原因に対する認否

請求原因(1)～(5)の各事実は認めるが、同(6)は争う。

3 被告の反論

審決の認定判断は正当であり、原告主張の取消事由はいずれも理由がない。

(1) 取消事由1に対し

本件訂正を認めた審決の判断に誤りはない。そもそも、本件無効審判請求の対象となっていない請求項（本件訂正後の請求項2～11）については、特許請求の範囲の減縮を目的とする訂正がなされていない。訂正事項4、5、7及び8について見ても、2項引用している1の請求項を2個の請求項に変更したに過ぎず、その内容に何ら変更はない。原告は、本件訂正後の請求項4、7が従属請求項であり、本件訂正後の請求項5、8が独立請求項であるという形式的な違いに着目し、無理に誤った事例に本件訂正を当てはめた上で誤った主張をしている。

(2) 取消事由2に対し

審決の認定に誤りはない。すなわち、「メッシュ」とは「網の目」を意味し（広辞苑第五版・乙3）、また、「網の目」とは「緻密に組まれているものにたとえる」のであるから（同・乙3）、「電源線同士および接地線同士

それぞれメッシュ状に構成」とは、電源線同士および接地線同士が網の目状に構成されている、すなわち、緻密に組まれている状態を意味していることは明らかである。

原告は、広辞苑第五版（乙３）の「網に編んだものの糸・針金に囲まれたすきま」との記載を取り上げ、当該「...すきま」が、本件訂正後の請求項１における「メッシュ」の意味である旨主張するが、本件訂正後の請求項１の「...電源線同士および接地線同士それぞれメッシュ状に構成...」及び「...第１および第２の配線群によりメッシュ状に構成された電源線および接地線...」との記載から、配線の状態を指して「メッシュ状」としていることは明らかである。

(3) 取消事由３に対し

審決の認定に誤りはない。すなわち、引用例（甲１）には、多数組の共通接続配線がメモリセルアレイの内部を通っていることは一切記載されておらず、スナップ部に共通接続配線を通すからといって、スナップ部の数だけ共通接続配線の数が存在するわけではないことは明らかである。原告の指摘は、引用例（甲１）の第２図に示される、メモリセルアレイの内部に通る１組の共通接続配線６７～６９および７７～７９がスナップ部を通っていることをいうものに過ぎない。

(4) 取消事由４に対し

審決の判断に誤りはない。すなわち、電源線及び接地線とは、通常の状態において、各々、電源電位及び接地電位を維持しているものをいうことは当業者にとって常識であり、引用発明におけるｐチャンネル側電源線 S_{AP} 及びｎチャンネル側電源線 S_{AN} のように、センスアンプ活性時のみに、各々、電源電圧 V_{CC} 及び接地電圧 V_{SS} になる配線を電源線及び接地線とは呼ばないことは明らかである。

(5) 取消事由５に対し

取消事由 4 に関する原告の主張は失当であるので、取消事由 5 に関する原告の主張も失当である。

(6) 取消事由 6 に対し

審決の判断に誤りはない。すなわち、上記(2)、(3)に照らし、審決の訂正発明、引用発明の認定に誤りはないし、しかも、引用発明の p チャンネル側電源線 S_{AP} 及び n チャンネル側電源線 S_{AN} に接続された共通接続配線は、ビット線にノイズを与える懸念のあるものであり、かかる共通接続配線をメッシュ状となるまでアレイ上に設けようなどとは、当業者であれば考えるはずもないから、訂正発明に対して動機付けになり得るようなものではない。さらに引用発明では、そもそも第 1 の方向に配線は 3 組しかないのであるから、これでは、感知増幅器駆動回路の電源配線の幅に感知増幅遅延時間が依存しなくなり電源配線の幅を狭く設定することができるなどの訂正発明の作用効果は何ら生じない。

(7) 取消事由 7 に対し

取消事由 4 に関する原告の主張は失当であるので、取消事由 7 に関する原告の主張も失当である。

(8) 取消事由 8 に対し

取消事由 4 及び 6 に関する原告の主張は失当であるので、取消事由 8 に関する主張も失当である。

(9) 取消事由 9 に対し

取消事由 4 及び 6 に関する原告の主張は失当であるので、取消事由 9 に関する原告の主張も失当である。

(10) 取消事由 10 に対し

審決の認定に誤りはない。すなわち、先願明細書（甲 2 の 1～3）には、多数組のセンスアンプ用電源線がメモリブロックの内部を通っていることは一切記載されておらず、その第 1 図（a）に記載されているのは、センスアン

ブ駆動信号入力端子V N i及びV P iから延びている配線を通る選択信号によって同時に活性化されるセンスアンプ群をn個のメモリブロックM A i (i = 0 ~ n - 1) に分けるということである。そして、真ん中を縦に延びているセンスアンプ用電源線は、「...メモリブロック (M A 0 ~ M A i) 間で接続し共用したものであ...」り (先願明細書〔甲2の2〕の5頁14～15行)、縦に1組の電源線が延びていることを前提としているものであるから、メモリブロックをn個に分けたからといって、センスアンプ用電源線の数が増えるわけではないことは明らかである。また、原告のアレイの領域に関する主張も、先願明細書の第3図の「周辺回路」、「メインアンプ」、「パッド群」及び「S H R ・ P C 」を含む領域をメモリセルアレイと呼ばないことが自然であることなどに照らし、失当である。

(11) 取消事由11に対し

審決の判断に誤りはない。すなわち、上記(10)で述べたとおり、先願明細書(甲2)には、多数組のセンスアンプ用電源線がメモリブロックの内部を通っていることは一切記載されておらず、そもそも1組しか開示されていないのであるから、複数組の開示を前提とする原告の主張は失当である。

(12) 取消事由12に対し

取消事由11に関する原告の主張は失当であるので、取消事由12に関する原告の主張も失当である。

第4 当裁判所の判断

1 請求原因(1)(特許庁等における手続の経緯)、(2)(本件訂正前発明の内容)、(3)(本件訂正の内容)、(4)(本件訂正後発明の内容)、(5)(審決の内容)の各事実は、いずれも当事者間に争いが無い。

2 取消事由1(本件訂正の適否の判断の誤り)について

(1) 原告は、本件訂正後の特許請求の範囲には、(新)請求項が11個含まれるが、審決は、(新)請求項1のみの特許要件を判断し、(新)請求項2

以降の 10 個の請求項については独立特許要件の判断を脱漏し，しかも本件訂正後の（新）請求項 5 ～ 11 は，引用発明及び先願発明との関係から明らかに独立特許要件を満たさないにもかかわらず，誤って訂正を認めたものである，すなわち，複数の請求項を有する特許について，訂正請求とみなされた訂正審判が請求されている場合であって，特許無効審判の請求対象となっていない請求項についても特許請求の範囲の減縮を目的とする訂正がなされたときは，特許無効審判の請求の対象となる請求項を除く全ての請求項についても独立特許要件が判断されなければならないのに，これを誤って判断を脱漏して，本件訂正を認めたものであり，とりわけ請求項 4 及び 7，請求項 5 及び 8 はこれに該当する旨主張するので，検討する。

(2) ア　ところで，平成 3 年 1 月 28 日に出願された本件特許の訂正に適用される平成 6 年法律第 116 号による改正前の特許法 126 条によれば，

1 項：特許権者は，第 123 条第 1 項の審判が特許庁に係属している場合を除き，願書に添付した明細書又は図面の訂正をすることについて審判を請求することができる。ただし，その訂正は，願書に添付した明細書又は図面に記載した事項の範囲内においてしなければならず，かつ，次に掲げる事項を目的とするものに限る。

- 1　特許請求の範囲の減縮
- 2　誤記の訂正
- 3　明りょうでない記載の釈明

2 項：前項の明細書又は図面の訂正は，実質上特許請求の範囲を拡張し，又は変更するものであってはならない。

3 項：第 1 項ただし書第 1 号の場合は，訂正後における特許請求の範囲に記載されている事項により構成される発明が特許出願の際独立して特許を受けることができるものでなければならない。

とされていることから，本件訂正に係る（新）請求項 5 ないし 11（訂正

事項 2 ～ 8) が「特許請求の範囲の減縮」に該当すれば上記独立特許要件（上記 1 2 6 条 1 項 3 項）が訂正の可否の審査要件となるが「誤記の訂正」又は「明りょうでない記載の釈明」であれば独立特許要件が訂正の可否の審査要件となることはないことになる。

イ 一方，本件訂正請求の内容は，添付の第 2 次審決によれば，

旧請求項 1 を新請求項 1 に変更すること（訂正事項 1 ），

旧請求項 5 を新請求項 5 に変更すること（訂正事項 2 ），

旧請求項 6 を新請求項 6 に変更すること（訂正事項 3 ），

旧請求項 7 の一部を新請求項 7 に変更すること（訂正事項 4 ），

旧請求項 7 の一部を新請求項 8 に変更すること（訂正事項 5 ），

旧請求項 8 を新請求項 9 に変更すること（訂正事項 6 ），

旧請求項 9 の一部を新請求項 1 0 に変更すること（訂正事項 7 ），

旧請求項 9 の一部を新請求項 1 1 に変更すること（訂正事項 8 ），

本件特許明細書（甲 1 0 ）の段落【 0 0 1 3 】,【 0 0 1 4 】を

上記 ないし に合わせて変更すること（訂正事項 9 , 1 0 ），

であるところ，第 2 次審決は，いずれも願書に添付した明細書又は図面に記載した事項の範囲内においてなされ，実質上特許請求の範囲を拡張し，又は変更するものではないとした上，

a 訂正事項 1 についての訂正（新請求項 1 ）は，特許請求の範囲の減縮を目的とするものである，

b 訂正事項 2 , 3 （新請求項 5 , 6 ）は，訂正前の旧請求項 1 を引用する請求項から独立請求項に訂正するものであって，明りょうでない記載の釈明を目的とするものに該当する（したがって，独立特許要件の審査は不要），

c 訂正事項 4 は，訂正前の旧請求項 1 又は旧請求項 6 を引用する旧請求項 7 から旧請求項 6 のみを引用する請求項に訂正するものであって，

明りょうでない記載の釈明を目的とするものに該当する（したがって独立特許要件の審査は不要），

d 訂正事項 5 は，訂正前の旧請求項 1 又は旧請求項 6 を引用する旧請求項 7 から，旧請求項 1 を引用する請求項を独立請求項に変更するとともに，請求項の項番を新請求項 8 とするものであって，明りょうでない記載の釈明を目的とするものに該当する（したがって，独立特許要件の審査は不要），

e 訂正事項 6 は，旧請求項 1 を引用する旧請求項 8 から独立請求項に変更するとともに，新請求項 8 の項番を「 8 」から「 9 」とするものであって，明りょうでない記載の釈明を目的とするものに該当する（したがって，独立特許要件の審査は不要），

f 訂正事項 7 は，旧請求項 1 又は旧請求項 8 を引用する旧請求項 9 から，旧請求項 8 のみを引用する新請求項 10 に変更するものであって，明りょうでない記載の釈明を目的とするものに該当する（したがって，独立特許要件の審査は不要），

g 訂正事項 8 は，旧請求項 1 又は旧請求項 8 を引用する旧請求項 9 から，旧請求項 1 を引用する請求項を独立請求項に変更するとともに，請求項の項番を新請求項 11 とするものであって，明りょうでない記載の釈明を目的とするものに該当する（したがって，独立特許要件の審査は不要），

h 訂正事項 9 ， 10 は，旧請求項から新請求項への内容を整合させるためのものであって，明りょうでない記載の釈明を目的とするものに該当する，

としたものである。

ウ そこで，以上を前提にして，新請求項 5 以下（訂正事項 2 ないし 10 ）について検討を加える。

(ア) 訂正事項 2 , 3

この事項は、前記認定のとおり、旧請求項 5 , 6 に対して、訂正前の旧請求項 1 を引用する請求項から独立請求項の形式に変更するものであって、その内容に何ら変更がないから、明りょうでない記載の釈明を目的とするものに該当し、特許請求の範囲の減縮を内容とするものとはいえない。

(イ) 訂正事項 4

この訂正は、前記認定のとおり、旧請求項 7 を新請求項 7 とするものであって、訂正前の旧請求項 1 または旧請求項 6 を引用する請求項の形式から旧請求項 6 のみを引用する請求項の形式に変更するものであるから、内容が実質的に減少しており、特許請求の範囲の減縮に該当するというほかない。

被告は、旧請求項 7 と新請求項 7 , 8 とを対比すれば、その技術的内容に変更がないのであるから、特許請求の範囲の減縮に該当しないと主張する。しかし、平成 6 年法律第 116 号による改正前の法 36 条 5 項の規定等から明らかなように、特許請求の範囲は、特許を受けようとする発明の構成に欠くことのできない事項のみを記載した項である請求項に区分して記載しなければならない、同発明の有効性（新規性、進歩性等）についてもかかる各請求項毎に独立して判断され、放棄も各請求項毎にできるものであることに照らせば、減縮の有無も各請求項毎に判断されるべきものであるから、被告の上記主張は失当である。

(ウ) 訂正事項 5

この訂正は、前記認定のとおり、訂正前の旧請求項 1 又は旧請求項 6 を引用する旧請求項 7 から旧請求項 1 を引用する請求項を独立請求項に変更するとともに、請求項の項番を新たな新請求項 8 とするものであって、上記(イ)に照らし、特許請求の範囲の減縮に該当する。

(エ) 訂正事項 6

この訂正は、旧請求項 8 に対して、旧請求項 1 を引用する旧請求項 8 から独立請求項に変更するとともに、新請求項の項番を「 8 」から「 9 」とするものであって、その内容に何ら変更がないものであるから、明りょうでない記載の釈明を目的とするものに該当し、特許請求の範囲の減縮を内容とするものとはいえない。

(オ) 訂正事項 7

この訂正は、訂正前の旧請求項 1 又は旧請求項 8 を引用する請求項の形式から、旧請求項 8 のみを引用する新請求項 1 0 に変更するものであって、上記(イ)に照らし、特許請求の範囲の減縮に該当する。

(カ) 訂正事項 8

この訂正は、訂正前の旧請求項 1 又は旧請求項 8 を引用する請求項から旧請求項 1 を引用する請求項の形式を独立請求項の形式に変更するとともに、請求項の項番を新たな新請求項 1 1 とするものであって、上記(イ)に照らし、特許請求の範囲の減縮に該当する。

(キ) 訂正事項 9

この訂正は、訂正事項 1 により訂正された新請求項 1 の内容に整合させるために、発明の詳細な説明の段落【 0 0 1 3 】の記載を新明細書(乙 5)の段落【 0 0 1 3 】のとおり変更するものであって、明りょうでない記載の釈明を目的とするものに該当し、また、願書に添付した明細書又は図面に記載された事項の範囲内においてなされたものであって、実質上特許請求の範囲を拡張し、又は変更するものではない。

(ク) 訂正事項 1 0

この訂正は、訂正事項 2 ないし 8 により訂正された新たな請求項 5 ないし 1 1 の内容に整合させるために、発明の詳細な説明の段落【 0 0 1 4 】の記載を新明細書(乙 5)の段落【 0 0 1 4 】のとおり変更するも

のであって、明りょうでない記載の釈明を目的とするものに該当し、また、願書に添付した明細書又は図面に記載された事項の範囲内においてなされたものであって、実質上特許請求の範囲を拡張し、又は変更するものではない。

ウ 上記イの検討によると、本件訂正の訂正事項 4，5，7 及び 8 については「特許請求の範囲の減縮」に該当するところ、審決は、前記のとおり「明りょうでない記載の釈明」に当たるとして、独立特許要件の判断をしないで本件訂正を認容したものであるから、違法というほかない。

エ もっとも、訂正に係る新請求項 5 ないし 11 について独立特許要件が具備されていると判断されるのであれば、上記判断の遺脱は審決の結論に影響を及ぼさないと解する余地がある。しかし、新請求項 5 ないし 11 が引用するのが新請求項 1（訂正発明）であれば後記のとおり独立特許要件を具備していると解されるものの、前記のとおり新請求項 5 ないし 11 が引用しているのは実質的には旧請求項 1 であって、同請求項は、第 1 次審決（甲 11）が指摘するように、特許要件を欠くと解されるから、結局、上記判断の遺脱は審決の結論に影響を及ぼすというべきである。

原告の取消事由 1 の主張は理由がある。

なお、本件訴訟の審理の経緯にかんがみ、訂正発明の特許要件の有無に関する取消事由 2 ないし 12 について、念のため判断する。

3 取消事由 2（訂正発明の要旨の認定の誤り）について

(1) ア 訂正発明の特許請求の範囲（請求項 1）は、前記第 3，1(4)に記載したとおりであるところ、同特許請求の範囲においては、「メッシュ状」に関し、

(ア) 「…複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において電源線同士および接地線同士それぞれメッシュ状に構成し、…」

(イ) 「第 1 の方向に電源線および接地線からなる複数の第 1 の配線群を形成し、前記第 1 の方向に交差する第 2 の方向に電源線および接地線からなる複数の第 2 の配線群を前記複数の第 1 の配線群と絶縁状態で形成し、...前記複数の感知増幅器駆動回路に前記第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給した...」

と記載されているが、上記(ア)からは、「メッシュ状」とは、複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において、電源線同士で構成されたものの形態、及び、接地線同士で構成されたものの形態、を示す用語であると認められ、また、上記(イ)からは、「メッシュ状」とは、電源線および接地線からなる複数の第 1 の配線群及び第 2 の配線群により構成された形態を示す用語と認められる。

イ 広辞苑第五版(乙 3)によれば、「メッシュ」とは「網の目」を意味し、かかる「網の目」とは「緻密に組まれているものにたとえる」ものである。そして、訂正発明が、「メッシュ」そのものではなく「メッシュ状」という文言を使用し、形状(状態)を表していることに照らせば、「メッシュ状」との文言は、網の目状に、「緻密に組まれているものにたとえる」という意味を有すると認められる。

ウ 以上のア、イに、訂正発明の特許請求の範囲(請求項 1)の記載から、複数の記憶素子群および感知増幅器列が配置されてなるアレイの領域において、該複数の各感知増幅器列に対してそれぞれ分散配置された複数の感知増幅器駆動回路に、第 1 および第 2 の配線群によりメッシュ状に構成された電源線および接地線の最寄りの箇所から電源供給した構成が把握できることを併せ考慮すれば、当業者(その発明の属する技術の分野における通常の知識を有する者)は、「メッシュ状」とは、網の目状に、緻密に組まれているものと理解するというべきである。

(2) 以上のことは、訂正明細書（甲１０，乙５）の記載からも裏付けられる。

ア すなわち、訂正明細書の発明の詳細な説明には、以下の(ア)～(カ)の記載がある。

(ア) 産業上の利用分野

この発明は、半導体記憶装置、主としてダイナミックランダムアクセスメモリ（以下、ＤＲＡＭと略す）に関連したものである。（段落【００１】）

(イ) 従来の技術

a 図６(a)は従来のＤＲＡＭの要部構成図を示すものである。同図において、１は情報を蓄える記憶素子（メモリセル）、２，２は記憶素子１から読み出した信号電荷を転送するビット線、３は特定の記憶素子１を選択するワード線、４は特定のワード線３を駆動するローデコード回路、６はビット線２，２を通して送られてきた微小信号を増幅する感知増幅器（センスアンプ）、５は指定された感知増幅器６を選択するためのコラムデコード回路、７は感知増幅器６のＮチャネル側を引き抜き駆動するＮチャネル側感知増幅器駆動線、８は感知増幅器６のＰチャネル側を引き上げ駆動するＰチャネル側感知増幅器駆動線、９はＮチャネル側感知増幅器駆動線７を駆動するＮチャネル型感知増幅器駆動用ＭＯＳトランジスタ、１０はＰチャネル側感知増幅器駆動線８を駆動するＰチャネル型感知増幅器駆動用ＭＯＳトランジスタである。１１は接地線、１２は電源線、ＶＳＳは接地線電位、ＶＤＤは電源線電位である。１３および１４は感知増幅器６からデータを出力するためのデータ線である。１６は主増幅器である。（段落【０００２】）

b つぎに…従来のＤＲＡＭの動作を説明する。ローデコード回路４によって１本のワード線３が選択される。これによって、このワード線３に接続された記憶素子１のデータが例えばビット線２に出力される。この

結果，ビット線 2 と 2 間に微小な電位差が発生し，これを感知増幅器 6 が増幅する。この増幅されたデータは，図 7 中のデータ出力用トランジスタ 15 A，15 B を介してデータ線 13，14 を通り，さらに主増幅器 16 によって増幅されチップ外に出力される。（段落【0004】）

- c 図 8 において，実線 A1 および A2 はビット線 2，2 の電位波形であり，N チャンネル側感知増幅器駆動線 7 および P チャンネル側感知増幅器駆動線 8 の配線抵抗が無視できる場合を示している。ところが実際の場合，それらの配線抵抗は無視できず，N チャンネル型感知増幅器駆動用 MOS トランジスタ 9 および P チャンネル型感知増幅器駆動用 MOS トランジスタ 10 から遠い位置にある対となっているビット線 2，2 の場合，一点鎖線 B1 および B2 で示すような電位波形となる。なぜなら，例えば N チャンネル側感知増幅器駆動線 7 は，感知増幅器 6 を介して群を構成する多数本のビット線 2，2 の電位を引き抜き，その結果ビット線 2，2 の電位を下げているが，この N チャンネル側感知増幅器駆動線 7 が全てのビット線 2，2 に共通であるため，N チャンネル型感知増幅器駆動用 MOS トランジスタ 9 から遠い地点ほど N チャンネル側感知増幅器駆動線 7 の実際の電位降下は遅く，その結果感知増幅が遅れるわけである。（段落【0006】）

（ウ） 発明が解決しようとする課題

- a 前記のような従来例の構成では，感知増幅器の N チャンネル側電源線 V_{SN} および P チャンネル側電源線 V_{SP} の配線抵抗のため，感知増幅器の場所によっては大きな感知増幅遅延が発生し，半導体記憶装置全体のアクセスタイムが長くなるという問題があった。また，この感知増幅遅延時間は，高集積化のために感知増幅器の N チャンネル側電源線 V_{SN} および P チャンネル側電源線 V_{SP} の線幅を細くすると急増し，半導体記憶装置の高集

積化の障害となっていた。(段落【0011】)

- b 従って、この発明の目的は、感知増幅器へ給電する電源配線の配線抵抗に起因する感知増幅遅延時間を短くしてアクセスタイムを短くするとともに、高集積化を可能とする半導体記憶装置を提供することである。

(段落【0012】)

(エ) 作用

- a 請求項1記載の構成によれば、第1の配線群と第2の配線群とをそれらの交点で等電位のもの同士で相互に接続することにより、第1および第2の配線群をメッシュ状に構成する。また、感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列について分散配置するとともに、メッシュ状となって配線抵抗が小さくなった第1および第2の配線群の最寄りの箇所から感知増幅器駆動回路に電源供給する。これによって、感知増幅器と感知増幅器駆動回路との配線距離を短くするレイアウトが可能となり、このレイアウトにより、感知増幅器の感知増幅遅延時間を短くすることが可能となり、全体としてアクセスタイムを短くすることができる。(段落【0015】)

- b また、感知増幅器駆動回路に給電する電源配線(第1および第2の配線群)をメッシュ状に構成すると、感知増幅器駆動回路の電源配線の幅に感知増幅遅延時間が依存しなくなり、上記電源配線の幅を狭く設定することができる。従って、電源配線をアレイ上に設けることができ、高集積化が可能となる。さらに、感知増幅器駆動回路の電源配線をメッシュ状にすると、感知増幅器の電源配線と周辺回路の電源配線とを分離することができる。この結果、クロストークを抑えることができる。(段落【0016】)

- c また、感知増幅器駆動回路の電源配線をメッシュ状にすると、電源配線の各々を細くしても全体として必要な電源容量を得ることができ、各

配線を細くしても電源容量的にまったく問題はない。請求項 2 記載の構成によれば、感知増幅器駆動回路を記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増幅器列と交差する領域に配置しているため、トータルチップサイズに対するセルアレイ（記憶素子領域）の比率を高めることができる。（段落【0017】）

（オ） 実施例

- a この半導体記憶装置の特徴は、記憶素子群の配置領域 102 上、感知増幅器列の配置領域 101 およびワード線裏打ち領域 44 を含めて電源配線（電源線 12 および接地線 11）をメッシュ状に形成するとともに、感知増幅器を駆動する感知増幅器駆動回路を分散配置し、メッシュ状の電源配線の最寄りの箇所から感知増幅器駆動回路に給電し、感知増幅器駆動回路と感知増幅器との配線距離を短くするレイアウトを採用した点であり、その点から従来の DRAM にはなかった種々の効果が生じるのである。（第 1 の実施例・段落【0021】）
- b 以上の構成によれば...まず、感知増幅器駆動線 7、8 の配線抵抗に起因する感知増幅器遅延を最小限にすることができる。なぜなら、データ出力用の感知増幅器駆動回路 57 を感知増幅器駆動線 7、8 上に分散的に配置することができ、この結果感知増幅器 6 から感知増幅器駆動回路 57 までの感知増幅器駆動線 7、8 の平均距離を従来の場合の 8 分の 1 から 32 分の 1 にすることが可能であり、その分、配線抵抗を低減させ、感知増幅遅延を最小にすることができる。このことは、記憶素子領域上、感知増幅器 6 上およびワード線裏打ち領域 44 を含めてメッシュ状に電源線 12 および接地線 11 の配線を形成したことによって初めて可能となったものである。すなわち、メッシュ状の電源線 12 および接地線 11 から分散配置した複数の感知増幅器駆動回路 57 に給電する構成であ

るので、複数の感知増幅器駆動回路 5 7 に対して動作に十分な電流を供給することが可能となったのである。(段落【0029】)

(カ) 発明の効果

a 請求項 1 記載の半導体記憶装置によれば、第 1 の配線群と第 2 の配線群とをそれらの交点で等電位のもの同士で相互に接続することにより、第 1 および第 2 の配線群をメッシュ状に構成し、かつ感知増幅器を駆動する複数の感知増幅器駆動回路を各感知増幅器列について分散配置するとともに、メッシュ状となって配線抵抗が小さくなった第 1 および第 2 の配線群の最寄りの箇所から感知増幅器駆動回路に電源供給するので、感知増幅器と感知増幅器駆動回路との配線距離を短くするレイアウトが可能となり、このレイアウトにより、感知増幅器の感知増幅遅延時間を短くすることが可能となり、全体としてアクセスタイムを短くすることができる。(段落【0037】)

b また、感知増幅器駆動回路に給電する電源配線(第 1 および第 2 の配線群)をメッシュ状に構成すると、感知増幅器駆動回路の電源配線の幅に感知増幅遅延時間が依存しなくなり、上記電源配線の幅を狭く設定することができ、従って電源配線をアレイ上に設けることができ、高集積化が可能となる。さらに、感知増幅器駆動回路の電源配線をメッシュ状にすると、感知増幅器の電源配線と周辺回路の電源配線とを分離することができるので、クロストークを抑えることができる。(段落【0038】)

c また、感知増幅器駆動回路の電源配線をメッシュ状にすると、電源配線の各々を細くしても全体として必要な電源容量を得ることができ、各配線を細くしても電源容量的にまったく問題はない。請求項 2 記載の半導体記憶装置によれば、感知増幅器駆動回路を記憶素子領域のワード線の裏打ちをするワード線裏打ち領域をビット線方向に延在させて感知増

幅器列と交差する領域に配置しているため、トータルチップサイズに対するセルアレイ（記憶素子領域）の比率を高めることができる。（段落【００３９】）

イ 以上のア(ア)～(カ)の記載によれば、訂正発明は、感知増幅器駆動線の配線抵抗に起因する感知増幅遅延時間の発生という課題を解決するため、電源線同士および接地線同士をそれぞれ「メッシュ状」に構成し、「メッシュ状」となって配線抵抗が小さくなった第１および第２の配線群の最寄りの箇所から感知増幅器駆動回路に電源供給する構成を採用したことにより、感知増幅遅延の最小化を図ったものと認められるから、「メッシュ状」との文言も、感知増幅器駆動線の配線抵抗を小さくして感知増幅遅延時間を短くすることを可能とする程度に密に組まれているものと理解することができる。

(3) 以上の(1)、(2)によれば、訂正発明の「電源線同士および接地線同士それぞれメッシュ状に構成」とは、電源線同士および接地線同士が、網の目状に、緻密に組まれている状態を意味していると解するのが相当であるから、原告主張の取消事由２は理由がない。

(4) 原告の主張に対する補足的説明

ア 原告は、訂正発明の「メッシュ状」という表現のみからはその目の細さは表されておらず、これが直ちに、緻密に組まれているメッシュと解釈されるものでもない、「メッシュ状」とは、網の目状、すなわち、縦方向及び横方向にそれぞれ複数組ずつ配置されている状態を意味するというのが自然な文言解釈であると主張する。

しかし、上記(1)～(3)で説示したとおり、訂正発明の「メッシュ状」との文言は、当業者であれば、その特許請求の範囲の文言の通常の意味として、電源線同士および接地線同士が、網の目状に、緻密に組まれている状態を意味していると解することができるものであって、かかる解釈は、本

件訂正明細書（甲１０，乙５）の記載にも裏付けられるものである。

以上によれば，原告の上記主張は採用することができない。

イ また原告は，広辞苑第五版（乙３）の「メッシュ」の項目には，メッシュの目が粗いか細かいかの限定はなく，「メッシュ」の一つの意味として「網の目」を挙げているに過ぎず，さらに「網の目」については「網に編んだものの糸・針金に囲まれたすきま」を意味するものと記載している旨主張する。

しかし，上記(1)イに説示したとおり，広辞苑第五版（乙３）によれば，「メッシュ」とは「網の目」を意味し，かかる「網の目」とは「緻密に組まれているものにたとえる」と認められるところ，訂正発明が，「メッシュ」そのものではなく「メッシュ状」という文言を使用し，形状（状態）を表していることに照らせば，「メッシュ状」との文言は，網の目状に「緻密に組まれているものにたとえる」という意味を有すると認められる。そして，これに上記アで説示したとおり，訂正発明の「メッシュ状」との文言は，当業者であれば，その特許請求の範囲の文言の通常の意味として，電源線同士および接地線同士が，網の目状に，緻密に組まれている状態を意味していると解することができるものであって，かかる解釈は，本件訂正明細書（甲１０，乙５）の記載にも裏付けられるものであることも併せ考慮すれば，これを「網に編んだものの糸・針金に囲まれたすきま」を意味するものとみることはできない。

以上によれば，原告の上記主張を採用することはできない。

ウ また原告は，粗密につき何ら限定のない「メッシュ状」という特許請求の範囲の記載を解釈するに際して，特許請求の範囲の技術的意義が一義的に明確に理解できるにもかかわらず，特段の事情なく，実施例の記載を参酌して「緻密に組まれているメッシュ」と限定解釈することは許されない旨主張する。

しかし，上記(1)～(3)で説示したとおり，訂正発明の「メッシュ状」との文言は，当業者であれば，その特許請求の範囲の文言の通常の意味として，電源線同士および接地線同士が，網の目状に，緻密に組まれている状態を意味していると解することができるものであるから，訂正発明の「メッシュ状」との文言が粗密につき何ら限定のないものであるとの原告の主張の前提が既に失当と言わなければならない。

4 取消事由 3（引用発明の認定の誤り）について

(1) 引用例（甲 1）には，以下の記載がある。

ア 「第 2 図は，半導体基板上に第 1 図で示した DRAM 要部構成を複数個配置した構成を示す。複数個のメモリセルアレイ $3(3_1, 3_2, \dots)$ とセンスアンプ $4(4_1, 4_2, \dots)$ が図のように配置されている。ここでは，ロウアドレスストロブ信号 (\overline{RAS}) が活性の時に同時に選択されるメモリセルアレイがチップ全体の半分である，二分の一パーシャルアクティブ方式の場合について説明する。 \overline{RAS} が活性の時に同時に選択されるワード線は，偶数番目のセルアレイ，あるいは奇数番目のセルアレイだけに含まれ，偶数番目のセルアレイのワード線と奇数番目のセルアレイのワード線が同時に選択されることはない。各センスアンプ部にはセンスアンプ部によって異ったビット線センスアンプ選択クロック $SSP(SSP_1, SSP_2 \dots)$ ， $SSN(SSN_1, SSN_2 \dots)$ が配設されている。各センスアンプ部に配設されたセンスアンプ駆動用電源線 SAP, SAN は活性化されるセンスアンプ部と非活性のセンスアンプ部で最小限一箇所以上お互いに接続されている。この実施例では，セルアレイの外部で共通接続配線 $6_1 \sim 6_6$ および $7_1 \sim 7_6$ により，セルアレイ内部で共通接続配線 $6_7 \sim 6_9$ および $7_7 \sim 7_9$ により，共通接続されている。」(3 頁右上欄 19 行～右下欄 2 行)

イ 「一般にワード線は，その配線遅延を小さくするためにポリシリコンに

代表される第１の配線材料と、それよりも抵抗率の小さい、アルミニウムに代表される第２の配線材料からなる２重構造を取り、第１の配線材料と第２の配線材料とは、セルアレイ中で最低１箇所以上互いに接続されている。この接続部分をワード線のスナップ部と呼ぶ。このワード線のスナップ部では、ビット線の間隔が他に比べて大きくなっているため、この部分に配線を通すとビット線に与えるノイズの影響を小さくすることができる。従って、セルアレイの内部を通す共通接続配線６７～６９および７７～７９は、ワード線のスナップ部を通す。」(同頁右下欄２行～１５行)

- (2) 上記(1)ア、イによれば、上記「ワード線スナップ部」と呼ばれる「セルアレイ中で最低１箇所以上互いに接続されている」部分は、ワード線を構成する「ポリシリコンに代表される第１の配線材料」と、「それよりも抵抗率の小さい、アルミニウムに代表される第２の配線材料」とがセルアレイ中で接続されている部分であり、その第１及び第２の配線材料とが１箇所以上接続されていることを示しているに止まり、このことが、直ちに共通接続配線が多数組存在することを示すものとはいえない。これは、上記(1)イの「...このワード線のスナップ部では、ビット線の間隔が他に比べて大きくなっているため、この部分に配線を通すとビット線に与えるノイズの影響を小さくすることができる。従って、セルアレイの内部を通す共通接続配線６７～６９および７７～７９は、ワード線のスナップ部を通す。」との記載からも裏付けられる。なぜなら、同記載によれば、配線によるビット線へのノイズの影響を小さくするために、「６７～６９および７７～７９」で示される１組の「共通接続配線」を、「ワード線のスナップ部」に通すことが理解できるからである。
- (3) 原告は、引用例(甲１)には、「...セルアレイの内部を通す共通接続配線６７～６９および７７～７９は、ワード線のスナップ部を通す。」(３頁右下欄１３行～１５行)との記載があり、このワード線のスナップ部とは、「...

セルアレイ中で最低 1 箇所以上互いに接続されている…」部分であるから（ 3 頁右下欄 7 行～ 8 行），引用発明には「 1 組」ではなく「多数組」の共通接続配線が開示されているといえると主張するが，上記(2)の説示に照らし，採用することができない。

以上によれば，原告の取消事由 3 の主張は理由がない。

5 取消事由 4（引用発明との相違点 1 の判断の誤り）について

(1) 引用例（甲 1）には，以下のア，イの記載があり，以下のウの図面がある。

ア 「…各ビット線対 B_L ， B_L にはメモリセル 1 から読み出された情報を増幅するためのビット線センスアンプ 2 が設けられている。このビット線センスアンプ 2 は，第 4 図に示すように二個の p チャネル MOS トランジスタ Q_{21} ， Q_{22} と二個の n チャネル MOS トランジスタ Q_{23} ， Q_{24} から構成された CMOS フリップフロップからなる周知のものであるが，従来とは異なって，p チャネル側の駆動用電源線 S_{AP} と二個の p チャネル MOS トランジスタ Q_{21} ， Q_{22} のソースとの間に，p チャネル MOS トランジスタ Q_{25} からなるトランスファークロップを設ける。同様に n チャネル側の駆動用電源線 S_{AN} と二個の n チャネル MOS トランジスタ Q_{23} ， Q_{24} のソースとの間に n チャネル MOS トランジスタ Q_{26} からなるトランスファークロップを設ける。選択されたセルを含むセルアレイに接続されたビット線センスアンプの選択的な活性化は，これらのトランスファークロップ Q_{25} ， Q_{26} のゲートに入力されたビット線センスアンプ選択クロック S_{SP} ， S_{SN} により行なわれる。…」（ 3 頁左上欄 12 行～右上欄 12 行）

イ 「第 2 図において，5（ 5_1 ， 5_2 ，…）はセンスアンプ駆動用電源クロックの発生およびイコライズ回路である。このセンスアンプ駆動用電源クロックの発生およびイコライズ回路は第 5 図に示すように，センスアン

プ活性時に p チャンネル側電源線 S_{AP} を電源電圧 V_{CC} に，n チャンネル側電源線 S_{AN} を接地電圧 V_{SS} にそれぞれ短絡する P チャンネル MOS トランジスタ Q_{51} ，N チャンネル MOS トランジスタ Q_{52} と，イコライズ用クロック EQ_L をゲート入力信号とし， \overline{RAS} が非活性時に S_{AP} と S_{AN} をイコライズする N チャンネル MOS トランジスタ Q_{55} ，および， \overline{RAS} が非活性時に S_{AP} ， S_{AN} の電位をビット線のプリチャージの電位と等しい V_{EQL} にプリチャージするため， V_{EQL} と S_{AP} および V_{EQL} と S_{AN} を短絡する N チャンネル MOS トランジスタ Q_{53} ， Q_{54} により構成される。センスアンプ駆動用電源線 S_{AP} ， S_{AN} は複数個のセンスアンプ部にわたって共通であるから，電源クロックおよびイコライズ回路 5 は各センスアンプ部ごとに配置しなくても良いが， \overline{RAS} の活性時に V_{CC} と S_{AP} ， V_{SS} と S_{AN} の電位ができるだけ等しくなるように，各センスアンプ部ごとに配置することが望ましい。」(3 頁右下欄下 5 行～ 4 頁左上欄下 2 行)

ウ 第 4 図：ビット線センスアンプの構成を示す図

第 5 図：ビット線センスアンプ駆動用電源クロックの発生回路およびイコライズ回路の構成を示す図

< 第 4 図 >

< 第 5 図 >

- (2) 上記(1)ア～ウによれば，引用発明のセンスアンプ（第 4 図）は，そのセンスアンプ活性時に，P チャンネル MOS トランジスタ Q_{51} 及び N チャンネ

ルMOSトランジスタ Q_{52} を介して、電源電圧 V_{cc} となるpチャネル側駆動用電源線 S_{AP} 及び接地電圧 V_{ss} となるnチャネル側駆動用電源線 S_{AN} に接続されるものであるから、pチャネル側駆動用電源線 S_{AP} 及びnチャネル側駆動用電源線 S_{AN} は、センスアンプ（第4図）に電源を供給しこれを駆動する配線であるとは言えるが、センスアンプを駆動する回路（第5図）に電源を供給する電源線、接地線に相当するものということとはできない。そして、引用例（甲1）において、センスアンプを駆動する回路（第5図）に電源を供給するものについては、僅かに第5図において、左上部に位置しPチャネルMOSトランジスタ Q_{51} を介して電源電圧 V_{cc} につながる電源線、及び、右上部に位置しNチャネルMOSトランジスタ Q_{52} を介して接地電圧 V_{ss} につながる接地線であることを示唆する配線が記載されているが、二つの配線が略平行に記載されているのみで交差もしておらず、各配線群が具体的にどのような方向にどのような状態で形成されているかは不明であり、これ以外には、センスアンプを駆動する回路に電源を供給する配線についての記載自体がそもそも見当たらない。

以上によれば、引用発明との相違点1に係る構成である電源線および接地線からなる配線群の形成の状態につき、引用発明においては、各配線群が具体的にどのような方向にどのような状態で形成されているかがそもそも明らかでないのであるから、相違点1は実質的な相違点であるというべきであるし、かかる引用発明に基づいて、当業者が、上記相違点1についての訂正発明の構成を容易に想到できたものということもできない。

以上によれば、原告主張の取消事由4は理由がない。

(3) 原告の主張に対する補足的説明

ア 原告は、引用発明のnチャネル側電源線 S_{AN} とpチャネル側電源線 S_{AP} はそれぞれ訂正発明の「接地線」と「電源線」に相当することを前提に、審決の相違点1の判断は誤りであるとの主張をするが、かかる原告の

主張は、上記(2)の説示に照らし失当である。

イ 原告は、引用発明のnチャンネル側電源線 S_{AN} とpチャンネル側電源線 S_{AP} が、「接地線」と「電源線」とは形式的・表現的に異なるとしても、引用発明のnチャンネル側電源線 S_{AN} とpチャンネル側電源線 S_{AP} は、非動作時（センスアンプ非活性時）に $V_{CC}/2$ の電圧にイコライズされるに過ぎず、これは、訂正発明の作用効果を奏する上で、全く無関係であって、センスアンプ動作時に電源線や接地線として機能する引用発明のpチャンネル側電源線 S_{AP} とnチャンネル側電源線 S_{AN} は、それぞれ、実質的に「電源線」や「接地線」である旨主張する。

しかし、センスアンプの非活性時の状態や動作時の状態いかにかわらず、上記(2)で説示したとおり、pチャンネル側駆動用電源線 S_{AP} 及びnチャンネル側駆動用電源線 S_{AN} は、センスアンプ（第4図）に電源を供給しこれを駆動する配線であるとは言えるが、センスアンプを駆動する回路（第5図）に電源を供給する電源線、接地線に相当するものということとはできないのであるから、原告の上記主張は失当である。

6 取消事由5（引用発明との相違点2の判断の誤り）について

原告の取消事由5に係る主張は、その内容自体から、取消事由4を前提とするものであることが明らかであるが、上記5に説示したとおり、取消事由4は理由がないのであるから、その余について判断するまでもなく、取消事由5の主張も理由がない。

7 取消事由6（引用発明との相違点3-1の判断の誤り）について

原告は、審決は、引用発明との相違点3-1を判断する前提として、そもそも「メッシュ状」を緻密に組まれているという意味に誤って限定解釈している上、仮に「メッシュ状」を「緻密に組まれている」と解釈できたとしても、引用発明には「多数組」の共通接続配線が開示されているといえるから、これは緻密に組まれていると十分評価できる、また仮にそう評価できないとしても、

「多数組」と「緻密」と評価される程の組数とは、境界の明確でない概念であり、結局のところ程度問題であるから、既に複数組の電源線の組が開示されている以上、これを増やすこと自体には何ら困難性はないと主張する。

しかし、前記３、４で説示したとおり、審決の訂正発明に係る「メッシュ状」の文言解釈や引用発明に開示された共通接続配線の組数についての認定に誤りはない。また、上記５に説示したとおり、訂正発明の相違点３－１に係る構成である電源線同士および接地線同士の配線態様につき、引用発明においては、各配線群が具体的にどのような方向にどのような状態で形成されているかがそもそも明らかでないのであるから、相違点３－１は実質的な相違点というべきであるし、かかる引用発明に基づいて、当業者が、相違点３－１についての訂正発明の構成を容易に想到できたものということもできない。

以上によれば、原告主張の取消事由６は理由がない。

８ 取消事由７（引用発明との相違点３－２の判断の誤り）について

原告の取消事由７に係る主張は、その内容自体から、取消事由４を前提とするものであることが明らかであるが、上記５に説示したとおり、取消事由４の主張には理由がないのであるから、その余について判断するまでもなく、取消事由７の主張も理由がない。

９ 取消事由８（引用発明との相違点３－３の判断の誤り）について

原告の取消事由８に係る主張は、その内容自体から、取消事由４及び６を前提とするものであることが明らかであるが、上記５及び７に説示したとおり、取消事由４及び６の主張にはいずれも理由がないのであるから、その余について判断するまでもなく、取消事由８の主張も理由がない。

１０ 取消事由９（引用発明との相違点４の判断の誤り）について

原告の取消事由９に係る主張は、その内容自体から、取消事由４及び６を前提とするものであることが明らかであるが、上記５及び７に説示したとおり、取消事由４及び６の主張にはいずれも理由がないのであるから、その余につい

て判断するまでもなく、取消事由 9 の主張も理由がない。

1 1 取消事由 1 0（先願発明の認定の誤り）について

(1) 先願明細書（甲 2 の 1～3）には、以下のア～ウの記載があり、エの内容の記載がなされた図面がある。

ア 「【発明が解決しようとする課題】...従来技術においては、...負荷容量や配線抵抗の増加に伴う充放電時間の遅延に対処することが困難になる。本発明の目的は、このような問題を改善し、高速で動作可能な半導体集積回路技術を提供することにある。

【課題を解決するための手段】上記目的は、選択信号線によって同時に活性化されるセンスアンプ群を複数のブロックに分割し、該センスアンプ群毎にセンスアンプ駆動用の電源線を選択信号線と交差するように設けることにより達成される。

【作用】

上記手段によって、各電源線あたりの負荷容量は $1/n$ （ n ：分割数）に減少するため、充放電の時定数を大幅に低減でき...るようになる。」

（〔甲 2 の 2〕4 頁 1 行～下 3 行）

イ 「第 1 図は、本発明の第 1 の実施例である。この回路は各センスアンプ SA 内に、センスアンプ駆動用 MOS トランジスタ（MP 4，MN 4）を設け、センスアンプ用電源線をメモリブロック（MA 0～MA i）間で接続し共用したものである。この、センスアンプ駆動用 MOS トランジスタの定数はセンスアンプを構成する MOS トランジスタの定数と同程度でよい。

...本発明では、センスアンプ用電源線を選択メモリブロック（MA 0）と非選択メモリブロック（MA 1～MA i）間で接続し共用しているため、電源線抵抗を小さくできる。このため、センスアンプを構成するトランジスタのソ - ス電圧の上昇が小さくなり、センスアンプを構成するトランジ

スタが十分オンし、デ・タ線を高速で増幅できる。」(同5頁11行～6頁16行)

ウ 「一方、第2図に示すような従来の構造では、センスアンプ用駆動信号線をメモリブロック(MA0～MAi)間で接続し共用できないため、信号線の抵抗が大きくなる。このため、センスアンプを構成するトランジスタのソ・ス電圧が大きく上昇し、センスアンプを構成するトランジスタが十分オンせず、デ・タ線を高速で増幅できなくなる。」(7頁5行～11行)

エ 第1図(a),(d)の回路構成図には、縦に延びる電源線であるセンスアンプ駆動用の電源線は、メモリブロック(MA0～MAi)外の左端、メモリブロック(MA0～MAi)内部の中央及びメモリブロック(MA0～MAi)外の右端、の3組が存在している。

(2) 上記(1)ア～エによれば、先願発明は、センスアンプ群を複数のメモリブロックに対応させて分割し、そのセンスアンプ群毎にセンスアンプ駆動用の電源線をセンスアンプの選択信号線に交差するように設け、これを該メモリブロック(MA0～MAi)間で接続し共用する構成を採用することにより、負荷容量や配線抵抗の増加に伴う充放電時間の遅延という問題を改善し、高速で動作可能な半導体集積回路技術を提供するものと認められる。

したがって、先願発明は、センスアンプ駆動用の電源線をセンスアンプの選択信号線に交差するように設け、これを該メモリブロック(MA0～MAi)間で接続し共用するものであるが、そのセンスアンプ駆動用の電源線の組数については、先願明細書(甲2の1～3)中にも、上記(1)エのとおりメモリセルアレイの内部のセンスアンプ駆動用の電源線が1組開示された図面があるに止まり、これ以外に、上記電源線の組数について示唆する記載は何も見当たらない。

以上によれば、原告主張の取消事由10は理由がない。

(3)ア 原告は、先願明細書（甲２の２）には、「...選択信号線によって同時に活性化されるセンスアンブ群を複数のブロックに分割し、該センスアンブ群毎にセンスアンブ駆動用の電源線を選択信号線と交差するように設けることにより...各電源線あたりの負荷容量は $1/n$ （ n ：分割数）に減少する...」（４頁９行～１６行）との記載があるから、メモリブロックの内部に、図面上は１組しか電源線対の開示がないとしても、「多数組」の電源線対が実質的に開示されているといえると主張する。

しかし、先願明細書には、上記(1)アのように、「【課題を解決するための手段】上記目的は、選択信号線によって同時に活性化されるセンスアンブ群を複数のブロックに分割し、該センスアンブ群毎にセンスアンブ駆動用の電源線を選択信号線と交差するように設けることにより達成される。」と記載され、「分割」とはセンスアンブ群を複数のブロックに分けるという意味で使用されており、また、「各電源線あたりの負荷容量」の各電源線とは、「各電源線あたりの負荷容量」の記載に先行する「上記手段によって、」との記載から、センスアンブ群毎のセンスアンブ駆動用の電源線を意味することは明らかであるところ、そのセンスアンブ群毎のセンスアンブ駆動用の電源線が複数のブロック（ n ）に分割することで構成されるために、「各電源線あたりの負荷容量は $1/n$ （ n ：分割数）に減少する」という作用を得るものと認められるのであるから、上記の「 $1/n$ （ n ：分割数）」の n は、メモリセルアレイの内部のセンスアンブ駆動用の電源線の組数に結びつくものではなく、分割されたメモリブロック及びセンスアンブ群のブロック数を意味するに過ぎないと解するのが相当である。

以上によれば、原告の上記主張は採用することができない。

イ 原告は、メモリセルアレイがサブアレイに分割され、サブアレイとサブアレイの間にデコーダやセンスアンブ等が含まれている場合であっても、

全体としてメモリセルアレイがアレイ状に配置されていれば、その領域はメモリセルアレイといえるから、先願明細書の第3図に記載された全ての領域がアレイの領域であると主張する。

しかし、先願発明は、上記(1)アに記載されるように、選択信号線によって活性化されるセンスアンプ群が複数のメモリブロックに分割されるものであるから、メモリブロックの外側にセンスアンプ群が配置されているということとはできないし、デコーダについても、その位置について先願明細書の発明の詳細な説明に何ら記載がなされていないことに照らすと、同明細書(甲2)の第1図はあくまで模式的な記載に過ぎないと見るのが自然である。また、先願明細書(甲2)の第3図を見ても、少なくとも「周辺回路」、「メインアンプ」、「パッド群」及び「SHR・PC」と記載された部分はアレイの領域ということとはできないから、この部分においても電源線、接地線の配線群がつながっているとみることはできない。

以上によれば、原告の上記主張は採用することができない。

12 取消事由11(先願発明との相違点3の判断の誤り)について

原告は、審決は、先願発明との相違点3を判断する前提として、そもそも「メッシュ状」を緻密に組まれているという意味に誤って限定解釈している上、仮に「メッシュ状」を「緻密に組まれている」と解釈できたとしても、先願発明は、メモリブロックの内部に「多数組」の電源線対が実質的に開示されているといえるから、これは緻密に組まれていると十分評価できるし、仮にそう評価できないとしても、「多数組」と「緻密」と評価される程の組数とは、境界の明確でない概念であり、結局のところ程度問題であるから、既に複数組の電源線の組が開示されている以上、先願発明との相違点3は実質的なものではないと主張する。

しかし、前記3で説示したとおり、審決の訂正発明に係る「メッシュ状」の文言解釈に誤りはないし、また、前記11で説示したとおり、先願発明は、セ

ンスアンプ駆動用の電源線をセンスアンプの選択信号線に交差するように設け、これを該メモリブロック（MA 0 ～ MA i ）間で接続し共用するものであるが、メモリセルアレイの内部のセンスアンプ駆動用の電源線はせいぜい 1 組開示されているに過ぎないのであるから、このような先願発明が、訂正発明の相違点 3 に係る構成である電源線同士および接地線同士のメッシュ状の構成と実質的に同一ということとはできない。

以上によれば、原告主張の取消事由 1 1 は理由がない。

1 3 取消事由 1 2（先願発明との相違点 4 の判断の誤り）について

原告の取消事由 1 2 に係る主張は、その内容自体から、取消事由 1 1 を前提とするものであることが明らかであるが、上記 1 2 に説示したとおり、取消事由 1 1 の主張には理由がないのであるから、その余について判断するまでもなく、取消事由 1 2 の主張も理由がない。

1 4 結語

以上によれば、原告主張の取消事由 1 は理由があることになるから、審決は違法として取消しを免れない。

よって、原告の本訴請求はこれを認容することとして、主文のとおり判決する。

知的財産高等裁判所 第 2 部

裁判長裁判官 中 野 哲 弘

裁判官 今 井 弘 晃

裁判官 田 中 孝 一