

平成13年（行ケ）第467号 審決取消請求事件 （平成14年9月3日口頭弁論終結）

原告 訴訟代理人 同被指定代理人 同同同同	弁護士 弁理士 告	判決 ユナイテッド・モジュール・コーポレーション 深井俊至 大塚官太 特許庁長官 池内春和 内岡信栄 小林栄二
--------------------------------	-----------------	--

主 文
原告の請求を棄却する。
訴訟費用は原告の負担とする。
この判決に対する上告及び上告受理申立てのための付加期間を30日と定める。

事実及び理由

第1 当事者の求めた裁判

- 1 原告
特許庁が不服2000-17659号事件について平成13年5月28日にした審決を取り消す。
訴訟費用は被告の負担とする。
- 2 被告
主文と同旨

第2 当事者間に争いのない事実

- 1 特許庁における手続の経緯
訴外ウエハスケール インテグレーション、インコーポレイテッド（以下「訴外会社」という。）は、名称を「自己整合型分割ゲートEPROM」とする発明につき、1984年（昭和59年）5月15日にアメリカ合衆国でされた出願の優先権を主張して昭和60年5月14日にした特許出願（特願昭60-100632号）の一部を分割して平成9年6月30日に特許出願（特願平9-174572号。以下「本件出願」又は「本願」という。）をしたところ、平成12年8月1日付けで拒絶査定がされたので、同年11月6日に拒絶査定不服審判を請求した。
特許庁は、この請求を不服2000-17659号事件として審理したうえ、平成13年5月28日に「本件審判の請求は、成り立たない。」との審決をし、その謄本を同年6月20日に訴外会社へ送達した（出訴期間として90日を付加）。
原告は、訴外会社から本件出願に関して特許を受ける権利の譲渡を受け、平成13年10月16日付け出願人名義変更届をもって特許庁長官にその旨の届出をして、当事者の地位を承継した。

2 本願発明の要旨（特許請求の範囲の記載）

【請求項1】書込可能なリードオンリメモリ用の自己整合型分割ゲート単一トランジスタメモリセルにおいて、
チャンネル領域によって分離されている第1ドープ領域とメモリセルの書込及び消去の内の少なくとも一方の動作期間中に前記第1ドープ領域よりも大きな電圧を受取る構成とされている第2ドープ領域とを具備する半導体基板、
前記チャンネル領域の第1部分上に形成されている浮遊ゲートであって前記浮遊ゲートの第1端部が前記第2ドープ領域の一端と整合されると共に前記浮遊ゲートの第2端部が前記チャンネル領域上であって且つ前記チャンネル領域の第2部分によって前記第1ドープ領域の最近接端から分離されている浮遊ゲート、
前記浮遊ゲート上に形成されているがそれから分離されていると共に前記チャンネル領域の前記第2部分上に形成されているがそれから分離されている制御ゲート、
を有することを特徴とするメモリセル。」

(請求項 8、9、10 については記載省略)

3 審決の理由の要点

審決は、別紙審決の理由写し(以下「審決書」という。)に記載のとおり、本願請求項 1 に記載の発明(以下「本願第 1 発明」という。)は、米国特許第 4412311 号明細書(以下「引用例」という。甲第 4 号証)に記載された発明であり、特許法 29 条 1 項 3 号の規定に該当し、特許を受けることができないものであるから、本願は、特許請求の範囲の請求項 8、請求項 9 及び請求項 10 に記載された発明に言及するまでもなく、拒絶すべきものであるとした。

第 3 原告の主張(取消事由)の要点

審決の理由中、「1. 手続の経緯・本願発明の要旨」、「2. 引用例」の一部(2 頁 36 行ないし 38 行の「メモリセルの書込の動作期間中に基板電圧又は接地電圧 V_{ss} に保持される n ドープ領域 4 (ソース) と +25V に設定された n ドープ領域 6 (ドレイン) とを具備する」を除く部分)及び「3. 対比、判断」の一部(3 頁 10 行「引用例の発明」から 14 行「周知の技術である」まで、並びに 3 頁 22 行から 37 行のうち、引用例の発明の「p 導電形のシリコン基板」が本願第 1 発明の「半導体基板」に相当すること及び引用例記載の発明と本願第 1 発明の両者が浮遊ゲート及び制御ゲートを有するメモリセルであること)は認めるが、「2. 引用例」のその余及び「3. 対比、判断」のその余は否認する。

審決は、引用例に記載された発明の認定を誤り、本願第 1 発明が引用例に記載された発明であると誤って認定したものであるから、取り消されるべきである。

1 引用例には n ドープ領域 4 すべてがドレインとなり、n ドープ領域 6 すべてがソースとなるとの説明はない。

(1) 審決は、引用例には「メモリセルの書込の動作期間中に基板電圧又は接地電圧 V_{ss} に保持される n ドープ領域 4 (ソース) と +25V に設定された n ドープ領域 6 (ドレイン) とを具備する p 導電形のシリコン基板」(審決書 2 頁 36 行～末行)との技術的事項が記載されていると認定し、引用例の 1B 図における n ドープ領域 4 がメモリセルの書込の動作期間中に基板電圧又は接地電圧 V_{ss} に保持されるソースであり、n ドープ領域 6 が +25V に設定されるドレインであると認定しているが、これは重大な誤りである。

引用例の 1B 図には、n ドープ領域 4 及び n ドープ領域 6 の記載があり、1B 図に関し、ソース電極 20 は一般には基板電圧又は接地電圧 V_{ss} に保持され、書き込みではドレイン電極 18 は +25V に設定される旨の記載(甲第 4 号証 3 欄 15 行～19 行、訳文 3 頁末行～4 頁 2 行)がある。審決は、上記記載から直ちに、n ドープ領域 4 すべてがドレインとなり、n ドープ領域 6 すべてがソースとなると認定して、ドレインとソースの役割を逆転できると認定している。

しかし、引用例の 1B 図にも 1B 図の説明にも、n ドープ領域 4 すべてがドレインとなり、n ドープ領域 6 すべてがソースとなるとの説明はないし、そう解すべき技術上の根拠もない。n ドーピングされた領域がソース領域又はドレイン領域に当然なるということにはならない。このことは、後述する甲第 5 号証(米国特許第 4122544 号明細書)の 2a 図において、n ドープ領域である 11 と 22 (この両者を引用例の 1B 図では領域 6 と記載)のうち領域 11 のみがソースとされていることから明らかである。

審決は全く根拠なしに、n ドープ領域 4 すべてがドレインとなり、n ドープ領域 6 すべてがソースとなると認定し、ドレインとソースの役割を逆転できるとの記載から、n ドープ領域 4 がソースとなり、n ドープ領域 6 がドレインとなると認定しており、失当である。

(2) 被告は、基板内でトランジスタのチャネル領域を挟んで形成された一様な濃度(ほぼ一様とみなせる濃度)の単一のドープ領域であってトランジスタのソース電極及びドレイン領域に接続している領域のことをそれぞれソース領域及びドレイン領域という主張しているが、否認する。

電界効果トランジスタにおいて、あるバイアス条件の下で、キャリア(電子又は正孔)を放出する領域をソース領域、キャリアを吸い込む領域をドレイン領域という。

被告は、また、引用例の 1B 図において、n ドープ領域 4 のすべて及び n ドープ領域 6 のすべてのそれぞれは同じ種類のハッチングで表現され、濃度の異なる複数

のドーブ領域から構成することは記載されていないから、nドーブ領域4のすべて及びnドーブ領域6のすべてはそれぞれ一様な濃度の単一の領域として形成されていると主張する。

しかし、1B図において、領域4及び領域6になされたハッチングは単に当該領域がnドーブ領域であるということを示すだけであり、何ら領域4及び領域6それぞれが一様な濃度であることを示すものではない。

(3) 被告は、引用例の2B図について、6'を除いた領域6のみがドレイン領域であるとの主張をしているが誤っている。「ドレイン領域6は領域6'によってソース領域4の方へ拡張されている」(3欄46行～47行)、「制御ゲート114は、・・・ソース領域4及びドレイン領域6、6'の向かい合う両端の間に渡って設けられている。」(3欄52行～57行)との記載から明らかなように、2B図に記載のメモリセルにおいては、領域6及び6'がドレイン領域であり、ソース領域の一端は制御ゲート114の一端に整合し、ドレイン領域の一端も制御ゲート114の一端に整合している。ソース領域又はドレイン領域の一端は全く浮遊ゲートの一端に整合していない。

引用例の1B図と2B図の比較は、原告の前記(1)の主張を裏付けるものである。被告も主張するように、2B図に記載のメモリセルは、1B図に記載された既知のメモリセルを改良したメモリセルである。上記のとおり、2B図に記載のメモリセルにおいて、ドレイン領域の一端は制御ゲートの一端に整合し、ソース領域の一端も制御ゲートの一端に整合しているから、当業者は、1B図においても、ソース領域の一端は浮遊ゲート10ではなく制御ゲート14の一端に整合し、ドレイン領域の一端も浮遊ゲート10ではなく制御ゲート14の一端に整合していると理解する。

2 引用例の1A図及び1B図(以下まとめて「1図」ということがある。)に記載されたメモリセルは、甲第5号証(米国特許第4,122,544号明細書)の2a図及び2b図に記載されたメモリセルである。

(1) 引用例の1B図及び1B図の説明自体に、どの部分がソース領域となり、どの部分がドレイン領域となるかの記載がないのは、引用例の1図に記載されたものが甲第5号証のメモリセルだからである。

すなわち、「1A図及び1B図に示した既知のメモリセル」(引用例2欄59行～60行)との記載から明らかなように、引用例の1図に記載のメモリセルは、従来例として記載されたものである。そして、「直交するアレーの蓄積セルから本質的に構成されるメモリは例えばデイビッド・ジェイ・マックエルロイに対する米国特許第4,122,544号から知られている。」(引用例1欄15行～17行)との記載、「1A図は米国特許第4,122,544号に記載されたタイプの従来のメモリセルを形成する半導体構造の一部平面図、1B図は1A図の1B-1B線における断面図」(同2欄46行～50行)との記載、及び1A図及び1B図の説明中の「マックエルロイ米国特許第4,122,544号の教示によると」(同3欄11行～12行)との記載から明らかなように、引用例の1図は上記米国特許第4,122,544号(甲第5号証)のメモリセルである。

引用例の1図は従来例であるから詳しく説明する必要はない。当該従来のメモリセルの概要と当該メモリセルが記載されている出典(特許番号)さえ記載しておけば十分である。当業者には当該従来のメモリセルの構造は既に知られているのであり、また、出典を記載しておけば当業者は必要に応じて当該出典を参照することで詳細な構造等を知ることができるからである。詳細な説明が必要なのは出願に係る発明であって、従来例については概要や出典のみが示されることは頻繁に行われている。引用例においても、従来例は概要の説明と1図に概略図を記載し、出典を明記することによって従来例の説明としては十分と考えたと考えられる。

以上の理由により、引用例自体には、1図及び1図の説明において、どの部分がソース又はドレインとなるかは記載されていないのである。

(2) 被告は、引用例の1図は甲第5号証のメモリセルそのものではないとして、引用例の1図と甲第5号証の図との差異を主張しているが、各主張自体誤った理解に基づくものであるか、全く本質と関係ない部分についての主張である。以下被告の主張(後記第4の2(1)中の①ないし④)に対し反論しておく。

ア ①について

引用例の1B図は概略図にすぎない。被告の①の主張は、原告の当該主張に対する反論になっていない。

イ ②について

引用例の1 B図の領域4及び6の深さ並びに甲第5号証の2 a図の領域1 2'、1 1及び2 2の深さはどの部分がドレイン又はソースとなるかということと無関係である。引用例の1 B図は甲第5号証の2 a図の概略図なのであって、当該メモリセルの理解のために意味のない部分について全く同一の図を記載する必要は全くない。

ウ ③及び④について

甲第5号証の6図のc及びdから明らかなように、酸化膜2 3は浮遊ゲート1 3の長さを超えて基板表面に形成され、酸化膜2 4は浮遊ゲート1 3のみを覆うようにその後で形成される。したがって、酸化膜2 3が浮遊ゲート1 3のみを覆っており、酸化膜2 4が浮遊ゲート1 3及び基板の一部を覆っているとの被告の主張は誤りである。

被告の主張は上記のとおり誤っているが、いずれにせよ、浮遊ゲートの接触面及び制御ゲートの接触面を覆うという酸化膜の役割に関して、引用例の1 B図の1 2及び1 6からなる酸化膜の部分は甲第5号証の2 a図の2 3及び2 4からなる酸化膜の部分と同じである。

(3) 被告は、引用例の1 A図及び1 B図に記載されたメモリセルは甲第5号証の2 a図及び2 b図に記載されたメモリセルと全く同一のものではないと主張している。

しかし、引用例の1 A図及び1 B図に記載されたメモリセルは甲第5号証の2 a図及び2 b図に記載されたメモリセル「そのもの」であると理解する場合と、引用例の1 A図及び1 B図に記載されたメモリセルは甲第5号証の2 a図及び2 b図に記載されたメモリセルの「タイプ」の従来のメモリセルであると理解する場合とで違いは生まれない。甲第5号証の2 a図及び2 b図に記載されたメモリセルの「タイプ」の従来のメモリセルでは、ソース領域の一端は制御ゲートの一端に整合し、ドレイン領域の一端も制御ゲートの一端に整合しており、甲第5号証の2 a図に記載のように、高濃度にドーピングされた領域1 1と低濃度にドーピングされた領域2 2が存在する。したがって、引用例の1 A図及び1 B図に記載のメモリセルは当該従来のメモリセルのタイプのメモリセルである以上、同じ構造を有すると理解するのが合理的である。引用例の発明者が従来技術として理解し、引用例に接した当業者がそこに記載の従来技術として理解するのは、甲第5号証のメモリセルであることは明白である。

(4) 甲第5号証の2 a図に記載のメモリセルにおいても、領域1 2'と領域1 1及び2 2の役割を交換することができる。ソースとドレインの役割の変更という技術思想は当業者にとって技術常識である。電圧をどのようにかけるかによって、ある領域がドレインとなったりソースとなったりするのである。したがって、技術常識であるから、「甲第5号証に当該技術思想の開示がないから引用例の1 A図及び1 B図に記載のメモリセルが甲第5号証に記載のメモリセルを引用したものではない」との被告の主張は失当である。

3 引用例の1 A図及び1 B図に記載されたメモリセルのどの部分がソース又はドレインであるかは、出典である米国特許第4, 1 2 2, 5 4 4号明細書(甲第5号証)を参照して理解すべきである。

引用例自体には、1図及び1図の説明において、どの部分がソース又はドレインとなるかは記載されていないからといって、当業者が当該従来例においてどの部分がソース又はドレインとなるかを理解することができないというわけではない。出典が明記されているのであるから、どの部分がソース又はドレインとなるか引用例自体からは明らかでない場合、当該出典を参照すればよいのである。原典を参照して技術内容を確認することは技術者の常識である。

甲第5号証は引用例の1図として説明されているメモリセルが記載されている米国特許第4, 1 2 2, 5 4 4号明細書である。その2 a図が引用例の1 B図に相当する図である。引用例の1 B図では領域4と6に単に「n」と記載され、nドーピング濃度が何ら記載されていなかったが、甲第5号証の2 a図では、領域1 2'と領域1 1に「N+」と記載され、高濃度にnドーピングがなされ、領域2 2に「N」と記載され低濃度にnドーピングがなされていることが記載されている。また、6図には2 a図のメモリセルの製造方法が段階を追って記載されている。さらに、「1コのセルの構造を第2図で拡大断面図で示す。セルはここで述べるNチャンネルシリコンゲートMOSトランジスタ用のP型シリコンである半導体基板2 0

の中に形成されている。セルのトランジスタ10はソース11に接続しているN型打込み領域22に隣接するチャンネル21によりつくられる。」(2欄60行~66行)、「その結果、第6c図に示すような構造になり、残りのポリシリコン層の一部はトランジスタ10のうちの1つの浮遊ゲート13になる。次にスライスにリン打込み又は析出をして低濃度にドーピングした打込みN型領域22をつくる。」(6欄62行~68行)、及び「そして今度は析出と拡散操作により高濃度にドーピングしたN+ソース領域11とドレイン領域12(原告注「12,」の誤記)をつくる」(7欄20行~22行)との記載から、高濃度にドーピングしたN+領域11がソース、高濃度にドーピングしたN+領域12'がドレインであり、低濃度にドーピングしたN領域22はソースでもドレインでもないことが明らかである。さらに、上記6欄62行~68行及び7欄20行~22行の記載は、6図のメモリセルの製造方法を段階を追って説明した部分の一部であって、N型領域22がつくられた後にさらにN+領域11がつくられることも明らかである。仮にN型領域22がソースとなるというのであれば、わざわざN+領域11をさらにつくる必要がない。すなわち、N型領域22はソースとならないから、ソースとなるN+領域11をつくる必要があるのである。

そして、2a図及び6図から、浮遊ゲート13ではなく制御ゲート14がソース領域11の一端と整合されていることも明らかである。「打込み領域22を全く取り除くことにより浮遊ゲートの両側にエンハンスメント装置を供給することもまた可能であろう。しかしながら電子の注入はN領域が近くにあると助長されるので、この実施例の方が好ましい。」(5欄1行~5行)との記載により、N領域22はソース11からの電子が浮遊ゲートに効率的に注入されるために必要とされることも説明されている。

4 引用例の1A図及び1B図に記載されたメモリセルを、出典である甲第5号証に基づいて理解する当業者は、nドープ領域6には低濃度にドーピングされた領域が高濃度にドーピングされた領域に隣接して設けられており、この高濃度にドーピングされた領域の一端と制御ゲートの一端が整合していると理解するものである。

すなわち、前述したとおり、引用例の1図及びその説明は従来例の概略を記載するものでしかなく、その製造方法の記載もない。しかし、既に甲第5号証のメモリセルの構造が周知ないし公知となっており、引用例には1図のメモリセルが記載された出典も明記しているのである。引用例の1B図にはnドープ領域6としか記載されていない。しかし、1B図には、浮遊ゲートの両側にエンハンスメント装置が存在しないから、当業者は、電子が浮遊ゲートに効率的に注入されるために、低濃度にドーピングされた領域がソースとなる高濃度にドーピングされた領域に隣接して設けられているはずであることを当然理解するのである。上述のように、甲第5号証の2a図(製造段階を示した図は6図)のメモリセルにおいてN領域22をつくらただけでは当該N領域22はソースとならないのであって、この事実は当業者に知られている。したがって、引用例の1B図にnドープ領域6と記載されていても、当業者は、nドープ領域6すべてがソースとなるのではないこと、及び、nドープ領域6の中には、低濃度にドーピングされた領域がソースとなる高濃度にドーピングされた領域に隣接して設けられているはずであることを当然理解するのである。そして、制御ゲートがソースとなる高濃度にドーピングされた領域の一端と整合していることも当業者は当然理解するのである。

5 審決が、引用例においてはnドープ領域6がソースとなり、ソースとドレインの役割の逆転によりドレインとなり、浮遊ゲートがソース又はドレインの一端に整合していると認定したことは重大な誤りである。

(1) 上述したように、審決は、引用例の1図のメモリセルにおいては、領域6は単にnドープ領域としか記載されていないのに、何らの根拠もなく、この領域がソースであるとし、そしてソースとドレインの役割を逆転することが可能との記載を基に、当該領域がドレインとなるとの認定をしている点で誤っている。

さらに、当業者は、引用例の1図のnドープ領域6には低濃度にドーピングされた領域とソースとなる高濃度にドーピングされた領域が含まれており、制御ゲートの一端にソース領域の一端が整合されている(少なくとも、ソースとならない低濃度にドーピングされた領域の存在により、浮遊ゲートはソース領域の一端に整合しない)と理解するのであるから、この点でも審決は誤っている。

(2) 原告は、引用例の1 A図及び1 B図に記載のメモリセルがメモリセルとして機能しないなどという主張はしていない。引用例の1 A図及び1 B図に記載のメモリセルは、甲第5号証の2 a図及び2 b図に記載のメモリセル（又は当該メモリセルのタイプのメモリセル）なのであって、引用例の1 A図及び1 B図に記載のメモリセルは、甲第5号証の2 a図及び2 b図に記載のメモリセルと同じ構造を有し、メモリセルとして機能すると理解される。

被告は、引用例の1 A図及び1 B図に記載されたメモリセルにおいてソース又はドレインがどこかを明確にするために甲第5号証を参照することは誤りであると主張する。しかし、仮に、甲第5号証が出典であるとの明記にもかかわらず甲第5号証を参照しないこととし、さらに、甲第5号証が公知であって当業者が甲第5号証のメモリセルの構造を知っているにもかかわらず当該当業者の知識を考慮しないことと仮定し、引用例のみの記載に基づいて判断することにするならば、引用例の1 A図及び1 B図及びその説明には、どの部分がソース又はドレインであるかの記載がないのであるから、領域4及び領域6がソース又はドレインであるとの認定は全くできないはずであり、ソース又はドレインの一端が浮遊ゲートの一端に整合しているとの認定もできないはずである。

第4 被告の反論の要点

原告の主張はいずれも失当であり、審決の認定・判断に誤りはない。

1 原告の主張1に対して

(1) 技術常識に基づく引用例の1 B図に記載のメモリセルの検討
半導体装置の技術分野において、基板内でトランジスタのチャンネル領域を挟んで形成された一様な濃度（より正確に言うならば、注入イオンのエネルギー分布や基板内での散乱等によって生じる製造工程上不可避の濃度の差を無視すればほぼ一様とみなせる濃度）の単一のドーピング領域であって、該トランジスタのソース電極及びドレイン電極に接続している領域のことをそれぞれソース領域及びドレイン領域ということは周知の技術事項である。

そして、引用例の1 B図においてはnドーピング領域4のすべて及びnドーピング領域6のすべてのそれぞれは同じ種類のハッチングで表現された単一の領域として記載されており、1 B図の説明の箇所においても該nドーピング領域4又はnドーピング領域6を濃度の異なる複数のドーピング領域から構成することは一切記載されていない。したがって、該nドーピング領域4のすべて及びnドーピング領域6のすべてはそれぞれ一様な濃度の単一の領域として形成されているものであることに疑いはない。

また、引用例の「領域4及び6のそれぞれが備えている金属電極18及び20は、マックエルロイ米国特許4, 122, 544号の教示によると、それぞれドレイン電極及びソース電極を構成している」（3欄10行～13行）との記載から明らかのように、nドーピング領域4及び6はそれぞれドレイン電極18及びソース電極20に接続されている。

したがって、たとえ引用例にnドーピング領域4がドレインでありnドーピング領域6がソースであると明記されていなくとも、該nドーピング領域4及び6はそれぞれ一様な濃度の単一の領域として形成されていると解され、かつ、該nドーピング領域4及び6はそれぞれドレイン電極及びソース電極と接続されると記載されているので、該nドーピング領域4のすべてがドレイン領域であり、該nドーピング領域6のすべてがソース領域であると解するのが合理的である。

(2) 引用例の2 B図に記載のメモリセルとの関係に基づく引用例の1 B図に記載のメモリセルの検討

引用例には、「2 A図は1 A図に似ているが、我々の現在の改良を図解している。2 B図は2 A図のII B-II Bにおける断面図である。」（2欄51行～54行）、及び「我々の現在の発明に従うと、そして2 A図及び2 B図に図解されているように、我々はp型単結晶シリコンからなり、それぞれがソース領域とドレイン領域を構成している2つのn型領域4及び6でその上を電極18及び20によって覆われている、同様の基板2を提供する。」（3欄41行～46行）と和訳される文章が記載されている。

つまり、引用例の2 B図に記載されたメモリセルは、1 B図に記載された従来のメモリセルを改良したメモリセルであり、n型領域4及び6はそれぞれソース領域及びドレイン領域であると記載されている。そして、同一の明細書及び図面内において、従来例と本願発明において同じ機能を有する箇所を同じ番号で示すことはよ

く行われることであるから、2 B図に記載されたn型領域4及び6がそれぞれソース領域及びドレイン領域であるならば、1 B図に記載されたn型領域4及び6もそれぞれソース領域及びドレイン領域であるといえることができる（なお、引用例の3欄31行～33行に「領域4及び領域6の役割は、電極18が設置ソースで、電極20がドレインとして機能するように逆転可能である。」と記載されている。）。

2 原告の主張2に対して

引用例の1 A図及び1 B図に記載されたメモリセルは、甲第5号証の2 a図及び2 b図に記載されたメモリセルそのものではない。

(1) 引用例の1 A図及び1 B図に記載のメモリセルと、甲第5号証の2 a図及び2 b図に記載のメモリセルとを比較すると、上記両メモリセルは、①ソース側のnドープ領域については、引用例のメモリセルはnドープ領域6のみを有しているが、甲第5号証のメモリセルはN⁺領域11とN領域22の2つを有しており、②ドープ領域の深さについては、引用例のメモリセルにおいては領域4及び領域6はほぼ同じ深さであるが、甲第5号証のメモリセルにおいてはN⁺領域11とN⁺領域12'はほぼ同じ深さでありN領域22はそれよりも深くまで拡散されており、③フローティングゲートの下層のシリコン酸化膜については、引用例のメモリセルにおいては酸化膜12はフローティングゲート10の領域を越えてギャップ9、領域4の一部及び領域6の一部を覆っているが、甲第5号証のメモリセルにおいてはゲート酸化膜23はフローティングゲート13の領域のみを覆っており、④フローティングゲートの上層のシリコン酸化膜については、引用例のメモリセルにおいては酸化膜16はフローティングゲート10のみを覆っているが、甲第5号証のメモリセルにおいては酸化膜24はフローティングゲート13及びN領域22等の基板の一部を覆っている、点で相違している。

したがって、上記両メモリセルはドープ領域の構造や酸化膜の構造が上記①～④の点で相違しており、同一のメモリセルであるとは到底認められない。また、引用例の1 A図及び1 B図に記載されたメモリセルは、甲第5号証の2 a図及び2 b図に記載されたメモリセルの概略図であるとも認められない。

(2) 引用例中の原告引用の箇所は、引用例の1図が甲第5号証のメモリセルであると解する理由にならない。

引用例の2欄59行～60行には、「第1 Aおよび1 B図に示した既知のメモリセル」と記載されているが、これは、引用例の1 A図及び1 B図に記載されたメモリセルが、従来知られたメモリセルであることを述べただけであって、甲第5号証に記載されたメモリセルと同じものであることを示すものではない。

引用例の1欄15行～17行には、「直交するアレーの蓄積セルから本質的に構成されるメモリは例えばデイビッド・ジェイ・マックエルロイに対する米国特許第4, 122, 544号から知られている。」と記載されているが、これは、「例えば」という語が示すように、米国特許第4, 122, 544号を既知の直交するアレーの蓄積セルから構成されるメモリの一例を示す文献として引用しているにすぎない。

引用例の2欄46行～50行には、「1 A図は米国特許第4, 122, 544号に記載されたタイプの従来のメモリセルを形成する半導体構造の一部平面図、1 B図は1図の1 B-1 B線における断面図」と記載されている。この文章において注目すべきは、「米国特許・・・に記載されたタイプの従来のメモリセル」と記載されている点である。引用例の1 A図及び1 B図に記載されたメモリセルは、甲第5号証の2 a図及び2 b図に記載されたメモリセルそのものではなく、甲第5号証の2 a図及び2 b図に記載されたタイプのメモリセルである。換言すれば、引用例の1 A図及び1 B図に記載されたメモリセルは、引用例の発明者が従来技術と認識しているメモリセルを表したものであり、甲第5号証の2 a図及び2 b図に記載されたメモリセルそのものを直接引用したものではない。甲第5号証は、引用例の発明者が従来技術と考えている1 A図及び1 B図に記載されたタイプのメモリセルが既知のものであることを示すために引用されているにすぎない。

引用例の3欄11行～12行には、「マックエルロイ米国特許4, 122, 544号の教示によると」と記載されている。そして、マックエルロイ米国特許が教示しているのは、領域4及び6のそれぞれが備えている金属電極18及び20はそれぞれドレイン電極及びソース電極を構成しているということであり、マックエルロイ米国特許に記載されたタイプのメモリセルにおいて、該メモリセルのチャンネル領域両端のドープ領域のそれぞれにドレイン電極又はソース電極を接続するという、

当該技術分野におけるごく基本的な技術事項を説明しているにすぎない。

(3) 引用例のその他の記載について

引用例の1 A図及び1 B図に記載のメモリセルに関して、引用例の3欄31行～33行には、領域4及び6の機能を交換することができると記載されているが、このような技術思想は甲第5号証には開示されていない。この点から見ても、引用例の1 A図及び1 B図に記載のメモリセルは、甲第5号証に記載されたメモリセルをそのまま引用したものではないことが理解される。

以上の検討により、引用例の1 A図及び1 B図に記載されたメモリセルは、甲第5号証の2 a図及び2 b図に記載されたメモリセルと同じタイプのメモリセルではあるが、同一のメモリセルではなく、その概略図でもない。したがって、甲第5号証は引用例の1 A図及び1 B図に記載されたメモリセルの出典ではない。

また、引用例の1 A図、1 B図及びこれらの関連説明を参酌すれば、引用例の1 A図及び1 B図に記載されたメモリセルがメモリセルとして十分に機能するものであり、発明者らにより完成された従来技術が十分に記載されているといえる。

3 原告の主張3に対して

原告は、引用例の1 A図及び1 B図に記載されたメモリセルのどの部分がソース又はドレインであるかは出典である甲第5号証を参照して理解すべきである旨主張している。

しかしながら、上記2で述べたように、甲第5号証は引用例の1 A図及び1 B図に記載のメモリセルの出典ではないから、引用例の1 A図及び1 B図に記載されたメモリセルにおいてソース又はドレインがどこかを明確にするために甲第5号証を参照することは誤りである。

また、原告は、引用例の1 A図及び1 B図の構造を有するメモリセルには、ソースからの電子が浮遊ゲートに効率的に注入されるために浮遊ゲートの両側にエンハンスメント装置を供給するか、又は、ソース領域に隣接して低濃度にドーピングされた領域を設けることが必要である旨主張している。

しかしながら、前記のとおり甲第5号証は引用例の1 A図及び1 B図に記載のメモリセルの出典ではないので、引用例の1 A図及び1 B図に記載されたメモリセルにおいて、浮遊ゲートの両側にエンハンスメント装置を供給するか、ソース領域に隣接して低濃度にドーピングされた領域を設けることが必要であるとの原告の主張には根拠がない。なお、引用例の1 A図及び1 B図に記載されたメモリセルは、甲第5号証に記載のメモリセルのようにソース領域に隣接した低濃度にドーピングされた領域は設けられてはいないが、メモリセルとして十分に機能するものであることは当業者には明らかであり、引用例の1 A図及び1 B図に記載されたメモリセルがメモリセルとして機能しないということは、引用例には一切記載がない。

4 原告の主張4に対して

原告は、引用例の1 A図及び1 B図に記載されたメモリセルにおいて、nドープ領域6には、低濃度にドーピングされた領域がソースとなる高濃度にドーピングされた領域に隣接して設けられており、この高濃度にドーピングされた領域の一端と制御ゲートの一端が整合している、と当業者は理解する旨主張している。

しかしながら、上記4で検討したように、引用例の1 A図及び1 B図に記載されたメモリセルと甲第5号証の2 a図及び2 b図に記載されたメモリセルは同一のメモリセルではないので、たとえ当業者であっても、引用例の1 A図及び1 B図に記載されたメモリセルにおいて、nドープ領域6には、低濃度にドーピングされた領域がソースとなる高濃度にドーピングされた領域に隣接して設けられており、この高濃度にドーピングされた領域の一端と制御ゲートの一端が整合している、と理解することはない。

5 原告の主張5に対して

上記4で検討したように、引用例の1 A図及び1 B図に記載されたメモリセルにおいてnドープ領域6がソースであると認定した点に誤りはなく、引用例の3欄31行～33行には領域4及び6の役割を交換することができると記載されているので、上記nドープ領域6がドレインとなると認定した点にも誤りはない。また、引用例の1 A図及び1 B図において浮遊ゲート10の一端と領域6の一端が一致していることが読みとれるから、浮遊ゲート10の一端がドレインとなる領域6の一端に整合していると認定した点にも誤りはない。

第5 当裁判所の判断

1 審決は、米国特許第4412311号明細書（引用例、甲第4号証）の記載事項について、次のとおり認定している。

「米国特許第4412311号明細書・・・には、分割ゲートE A R O M（書込可能なリードオンリメモリ）用のメモリセルがF I G. 1 A及びF I G. 1 Bと共に開示されており、更に同公報の第2欄59行～第3欄33行には次の技術事項が記載されている。

「第1 Aおよび1 B図に示した既知のメモリセルは、その表面近傍に2個のnドープ領域4および6を有するp導電形のシリコン基板2を備えている。これらの領域は、約9 μ mの長さLのチャンネル領域8により隔離されている。チャンネル領域8、領域4および6の隣接する部分に拡がっている酸化シリコン層は、下側の層又は薄膜12及び完全に埋め込まれアクセス不可能な浮遊ゲートを囲む上側の層又は薄膜16を構成している。この酸化層は、・・・制御ゲートによって覆われている。そしてゲート14の延長部14'は、ゲート10に覆われてないチャンネル領域8のギャップ9を覆っており、主トランジスタと直列接続されたスイッチングトランジスタの制御電極として機能する。・・・動作でみると、ソース電極20は、一般には基板電圧又は接地電圧V S Sに保持される。書き込みでは、・・・制御ゲートおよびドレイン18は+25 Vに設定され・・・原理的には、領域4および6の役割は、電極18が接地ソースで、電極20がドレインとして機能するように逆転可能である。」

また、F I G. 1 A及びF I G. 1 Bにおけるnドープ領域6及び浮遊ゲート10の記載からみて、浮遊ゲート10の端部が領域6の一端と整合されていることが読み取れる。」（審決書2頁10行～30行）

この認定は、甲第4号証の記載からみて正当と認められ、原告も争っていない。

2 原告は、その主張1（1）において、審決が上記認定に基づいてした引用例記載の技術事項の認定（審決書2頁31行～3頁8行）のうち、引用例記載の発明が「メモリセルの書込の動作期間中に基板電圧又は接地電圧V s sに保持されるnドープ領域4（ソース）と+25 Vに設定されたnドープ領域6（ドレイン）とを具備する」（審決書2頁36行～38行）という点は、誤りであると主張する。

しかしながら、引用例の1 A図及び1 B図並びに上記1の争いのない事項によれば、領域4と領域6とはチャンネル領域8を挟んでこれに隣接し、領域4及び6の各々が備える電極18及び20は、各々ソース電極及びドレイン電極として機能することが明らかである。そして、引用例の1 B図において、領域4及び領域6は、各々の全領域が同じ種類のハッチングによって表示されており、引用例の記載中に領域4及び領域6のうちの一部を区分された別の領域として理解すべきことを示唆する記載は認められない。

そうすると、引用例の1 A図及び1 B図に示された構造において、領域4のすべてがソース、領域6のすべてがドレインであることは当業者には明白であるというべきである。

そして、引用例の1図についての審決の認定「F I G. 1 A及びF I G. 1 Bにおけるnドープ領域6及び浮遊ゲート10の記載からみて、浮遊ゲート10の端部が領域6の一端と整合されていることが読み取れる。」（審決書2頁28行～30行）は、原告も認めているところであり、また、引用例の領域6がドレインであると認められることは上に説示したとおりであるから、結局、引用例の1 A図及び1 B図に示されたメモリセルは、審決が認定したとおり、「メモリセルの書込の動作期間中に基板電圧又は設置電圧V s sに保持されるnドープ領域4（ソース）と+25 Vに設定されたnドープ領域6（ドレイン）とを具備する」ものと認められる。

3 原告は、その主張1（3）において、引用例の2 B図に示されたメモリセルにおいて、ドレイン領域の一端は制御ゲートの一端に整合し、ソース領域の一端も制御ゲートの一端に整合しているから、当業者は1 B図においても、ソース領域の一端は浮遊ゲート10ではなく制御ゲート14の一端に整合し、ドレイン領域の一端も浮遊ゲート10ではなく制御ゲート14の一端に整合していると理解すると主張する。

しかしながら、引用例において、1 A図及び1 B図は米国特許第4122544

号（甲第5号証）に記載されたタイプの従来のメモリセルを形成する半導体構造であると説明されているところ（甲第4号証2欄42行～50行参照）、2A図及び2B図は、これを改良した発明（引用例の発明）を示すもの（同号証2欄51行～52行参照）とされているのであるから、1A図及び1B図が2A図及び2B図とは異なる発明を示していることは明らかである。したがって、当業者が2B図に基づき、1B図を2B図と同様の構造のものとして理解すると認めることはできない。この点に関する原告の主張は採用することができない。

4 原告は、また、その主張2ないし5において、引用例の1図（1B図）に記載されたメモリセルは、甲第5号証の2図（2a図）に記載されたメモリセルであり、この甲第5号証のメモリセルにおいては、高濃度にドーピングしたN⁺領域11がソース、高濃度にドーピングしたN⁺領域12'がドレインであって、低濃度にドーピングしたN領域22はソースでもドレインでもなく、また、6図から、浮遊ゲート13ではなく制御ゲート14がソース領域の一端と整合されていることが明らかであるから、引用例の1図に記載されたメモリセルも同様の構造と理解すべきである旨主張する。

しかしながら、審決が先行技術として引用したのは、引用例に記載された発明であって、甲第5号証に記載された発明そのものではない。

そして、引用例には、甲第5号証に関して、「本発明の背景 直交するアレーの蓄積セルから本質的に構成されるメモリは例えば・・・米国特許第4,122,544号から知られている。」（1欄14行～17行）、「図面の概説・・・1A図は米国特許第4,122,544号に記載されたタイプの従来のメモリセルを形成する半導体構造の一部平面図である。1B図は1図のIB-IB線における断面図である。」（2欄42行～50行）及び「具体的説明・・・領域4と6は、マックエルロイ米国特許第4,122,544号の教示によると各々ドレイン及びソース電極を構成する金属電極18と20を各々備える。・・・電極18が接地ソースで、電極20がドレインとして機能するように逆転可能である。」（2欄58行～3欄33行）と記載されており、これらの記載中に使用されている「例えば」、「・・・に記載されたタイプの従来のメモリセル」、「教示」等の語に示されるように、甲第5号証への言及は、引用例の発明者が従来技術と考えている1A図及び1B図のタイプのメモリセルが既に知られたのものであることを示すためになされたにすぎないものと認められる。

そうである以上、引用例に従来技術として記載されたメモリセルの構造は、引用例の1A図及び1B図に直接依拠して把握すべきものであって、合理的な理由がない限り、甲第5号証の記載内容で置き換えて理解すべきものではない。本件においては、引用例の全記載を精査しても、引用例の1図に示された技術内容を甲第5号証の記載内容で置き換えて理解すべき理由を認めることはできない。

そして、引用例の1A図及び1B図が、審決が認定したとおりのメモリセルの構造を記載していると認められることは、2で説示したとおりである。

したがって、引用例の1図が甲第5号証に示されたメモリセルの構造そのものであることを前提とする原告の上記主張も採用することができない。

5 以上のとおりであるから、審決が引用例に記載のメモリセルについて、「メモリセルの書込の動作期間中に基板電圧又は接地電圧V_{ss}に保持されるnドープ領域4（ソース）と+25Vに設定されたnドープ領域6（ドレイン）とを具備する」（審決書2頁36行～38行）と認定したことに誤りはなく、引用例に記載の発明についての審決の認定に誤りがあるということとはできない。

したがって、原告主張の取消事由（引用例に記載された発明の認定の誤り）は理由がなく、その他審決にはこれを取り消すべき瑕疵は見当たらない。

よって、原告の請求を棄却することとし、主文のとおり判決する。
東京高等裁判所第18民事部

裁判長裁判官 永 井 紀 昭

裁判官 塩 月 秀 平

裁判官 古 城 春 実