

bu örnek projede diğer sık kullanılan saklayıcı tasarımlarında biri olan "kaydırmalı saklayıcı" kullanılmıştır. n bitlik kaydırmalı saklayıcı devresi gerçekleştirilmiştir.

generic_kaydırmalı_saklayıcı.vhd vhdl dilinde yazılan devrede generic tanımlaması yapılmıştır. (amaç buradaki değer daha sonra değiştirilek istegimiz sayıda

bir ve özellikte saklayıcı yapabilelim diye)

bu örnekte daha önceki (proje_44 ,proje_45) vhdl kodlarını incelemek faydalı olacaktır.

sinyal veri nesnesi yerine variable veri nesnesi kullanılmıştır.(anında değer atama yapılması için)

process içerisinde eş zamanlı olmayan reset kullanılmıştır. yani reset giriş portu '1' değerini aldığı anda tüm çıkışlara '0' atanacak

ve in_reset girişinin diğer durumlarında ise in_yon değerine bağlı olarak in_clk portunun yükselen kenarı ile birlikte koşul ifadesiyle in_giriş giriş portu değeri

v_saklayıcı değişkeninin en anlamlı bitine yada en anlamsız bitine atanmaktadır.

diğer bir ifadeyle,

örnegimizde 1 bitlik saat darbesi giriş portu,reset portu,kaydırma yönü tayin edildiği giriş portu ,data giriş portu ve n_bit çıkış portu mevcuttur.

burada kaydırma işleminin yönünü tayin için f_sola_kaydır ve f_saga_kaydır fonksyonları kullanılmıştır.

koşul durumunda göre if in_yon =0 gerçekleşmesi durumunda r_saklayıcı sinyallerin tüm bitlerini yükselen kenarla sola kaydırmakta

ve anlamsız bitine in_giriş portu atanmaktadır.

diğer durumda (if in_yon =1) r_saklayıcı sinyallerinin tüm bitleri yükselen kenarla sağ kaydırılmaktadır. ve en anlamlı bitine (msb) in_giriş giriş portu değeri yazılmaktadır.

if_sola kaydır fonksiyonu için;

ilk başta atanan "0000" değerinden dolayı ve öncelik olarak en anlamsız bite '1' değeri geldiği için

0001

sonra döngüyle

0010

...

if_saga kaydır fonksiyonu için;

önceinde bulunan "0101" değerinden dolayı ve öncelik olarak en anlamlı bite '0' değeri geldiği için

0010

değerini almış sonra reset almış .yani sıfırlanmıştır.

...

benzetim sonuçları kodumuzu doğrulamaktadır.

