

bu projede vhdl dili ile aritmetik operatörün kullanıldığı std_logic ve std_logic_signed kullanımını pekiştiren bir uygulama işlenmiş olup gerçekleştirilmiş ve simüle edilmiştir.

std_logic : std logic için

std_logic_signed : std logic aritmetik işlemler için kullanılır.

doğrulaması

$00 + 10 \Rightarrow$ toplam 10

$00 - 10 \Rightarrow$ fark 10

$00 * 10 \Rightarrow$ çarpma 0000