

bu projede vhdl dili ile toplayıcı procedure alt programı ile gerçekleştirilmiştir ve simule edilmiştir.

dogrulaması

Cin

A3 A2 A1 A0

+ B3 B2 B1 B0

-----

Cout S3 S2 S1 S0

0

0 0 0 1

+ 0 0 0 0

-----

0 0 0 1