

bu projede pekiştirme amaçlı ,n bitlik saklayıcı devresi d flip flopla gerçekleştirilmiştir.d flp flop "1 " bit uzunlugunda bilgi d mandalı ile saklanabilmektedir.bu özelliği kullanarak birden fazla d mandalı bir araya getirilerek basit bir hafıza elemanı tasarlama mümükündür.bu şekilde tasarlanmış hafıza elemanlarına "saklayıcı" (register)adı verilir.

örnegimizde n bitlik saklayıcı devresi gerçekleştirilecek.

data giriş ve çıkış portları generic parametresi içerisinde tanımlanan n_bit uzunlugundadır.

process'in in_clock in_rst in_giriş degerlerinde meydana gelen değişiklikler ile aktif olacağı belirtilmektedir.

process içerisinde yapılan tanımlamalardan görüleceğiz üzere ,saklayıcı tasarımında eş zamanlı olamayan reset kullanılmıştır.in_rst giriş portu '1' degerini aldığıında in_giriş degerleni aldığı deger farketmeksizin r_saklayıcı sinyalinin tüm bitlerine '0' degeri atanmaktadır. bu durumda out_cıkış degerinin tüm bitleri '0' olmaktadır.

diğer durumda ise in_clock giriş portunun yükselen kenarı ile ve de koşul ifadesi in_en '1' giriş portu aktif olması ile birlikte ,in_giriş port degeri r_cıkış sinyaline atanmaktadır. in_en giriş portunun pasif olması

(degerinin '0'olması) veya in_clk giriş sinyalinin yükselen kenar ının meydana gelmemesi durumunda ise r_saklayıcı bir önceki durumunu korur. (saklama)

benzetim sonuçlarımız bunu doğrulamaktadır.

doğruluk tablosu :

in_en	in_rst	saat darbesi	in_giriş	out_cıkış	out_cıkış'
-------	--------	--------------	----------	-----------	------------

1	0	cıkan kenar	0000	0000	1
---	---	-------------	------	------	---

1	0	cıkan kenar	1111	1111	0
---	---	-------------	------	------	---

1	0	cıkan kenar yok	x	out_cıkış	out_cıkış'
---	---	-----------------	---	-----------	------------

1	x		0000	0000	1111
---	---	--	------	------	------

1	x		1111	0000	1111
---	---	--	------	------	------

1	x	x	0000	1111	
---	---	---	------	------	--