

## SAAT FREKANS BÖLÜCÜ

zaman zaman tasarımlarımızda kullandığımız saat kaynağından daha yavaş çalışan ,daha düşük frekanslı saat kaynağına ihtiyaç duyarız. bu durumda

kullanabileceğimiz çeşitli yöntemler mevcuttur. örneğin FPGA üreticileri

tarafından sağlanan PLL ,DCM gibi hazır tasarım kütüphanleri kullanılabilir.

bir diğer yaklaşım ise sayıcı kullanarak frekansı düşürmektir.sayıcı kullanarak frekans düşürmenin birden çok yolu vardır. bu örnek uygulamada kullandığımız yol ise sayıcının her bitini saat kaynağı olarak kullanılması şeklindedir.

fikir gayet basittir. örneğin elimizde 3 bit bir sayıcı olduğunu düşünelim.tüm durumları

000

001

010

011

100

101

110

111

frekans bölme işlemi mantığını kavramak için kabullerimiz:

\* çalışma frekansı  $f$

\* sayıcımız yükselen kenar tetiklemlili çalışsın

\*clock cycle , $t$  süreyi temsil etmek üzere  $f$  frekans

$$t = 1/f \quad f = 1/t$$

yani ters orantılı burada t yükseltilerek frekans degerini düşürebiliriz.

normal clock için iki yükselen kenar arası süre t kadardır.

bit\_0 için iki yükselen kenar arası 2t olur. '0' için t '1' için t kadar

bit\_1 için iki yükselen kenar arası 4t olur. '0' için 2t '1' için 2t kadar

bit\_2 için iki yükselen kenar arası 8t olur. '0' için 4t '1' için 4t kadar

yani ;

$$\text{bit\_0} \quad f_{\text{yeni frekans}} = 1/2t$$

$$\text{bit\_1} \quad f_{\text{yeni frekans}} = 1/4t$$

$$\text{bit\_2} \quad f_{\text{yeni frekans}} = 1/8t \text{ olur.}$$

daha hassas bir şekilde çalışmak isteniyorsa PLL ,DCM kullanılabilir.

örnegimizde saat\_frekans\_bölücü ,

varlığımızda 2,4,8,16 ve generic olarak belirlenen N parametresine bölerek çıkış üretmektedir.

giriş portu olarak 1 bit : in\_clk,in\_rst

çıkış portu olarak 1 bit : outclk\_2,outclk\_4,outclk\_8,outclk\_16,outclk\_N,

r\_sayac\_N sinyali ise out\_clk\_N sinyalinin degerinin belirlenmesinde kullanılır.

burada r\_sayac degerinin 0. biti outclk\_2 degerine atanarak frekans degeri 2 'e bölünmektedir.

r\_sayac degerinin 1. biti outclk\_4 degerine atanarak frekans degeri 4 'e bölünmektedir.

r\_sayac degerinin 2. biti outclk\_8 degerine atanarak frekans degeri 8 'e bölünmektedir.

burada r\_sayac degerinin 0. biti outclk\_16 degerine atanarak frekans degeri 16 'e bölünmektedir.

r\_sayac\_N degeri eger generic parametre N/2 degerinden küçük ise out\_cıkış\_N çıkışına '0' degeri atanmaktadır. aksi durumda ise out\_cıkış\_N çıkışına '1' degeri atanmaktadır.

örnegimizde r\_sayac degeri yükselen kenar ile birlikte 1 artırmaktadır.

if koşul saglandığında r\_sayac\_N degeri N-1 degerine eşit ise r\_sayac\_N degeri sıfırlanmaktadır.aksi durumda ise r\_sayac\_N degeri bir artırmaktadır.

benzetim sonuclarımız bunu dogrulamaktadır.