

bu örnek projede diğer sık kullanılan saklayıcı tasarımlarında biri olan "kaydırmalı saklayıcı" kullanılmıştır.

bu tasarımda giriş portundan verilen veriler sırayla kayarak saklayıcı içinde D flip flop arasında aktarılır. mimarisi ekte verilmiştir.

kaydırmalı saklayıcı çıkışları her saat darbesi ile güncellendiği için çıkışlar gelen veriye göre sürekli değişiklik gösterecektir.

burada process dışında sinyal atama ile geçimeli olarak ve process sonunda değişim gösterir.

(sinyaller ile variable farkı, sinyaller en son process sonrası işlem yapar yani geçimelidir. variable ise anlık değişim gösterir)

yani bu örnekte r_saklayıcı sinyal olarak tanımlandığından dolayı tüm atama işlemleri process sonunda yapılmaktadır.

aslında yapılan kısaca

projede (code) eş zamanlı olmayan reset mevcuttur. ilk değer olarak '0' değeri en anlamlı bit'e aktarılıp her clock sinyalinde ,sonra gelen her veri process sinyal yapısının özelliğine göre tek tek sağa kaydırılmış olmaktadır.

1000 1 kaydır

0100 "

1000 "

0000 reset

1000 "

0100 "

1010 "

0000 reset

benzetim sonucları kodumuzu dogrulamaktadır.