

bu projede loop sözdizimi pekiştirmek amaçlıdır.döngü deyimi tekrarlı sıralı sözdizimlerinden meydana gelmektedir.

vhdl iki tip döngü desteklemektedir.

for-loop

while-loop

burada for döngüsü function içinde tanımlanmıştır.function_for fonksiyonunun döndürdüğü deger out_cıkış çıkış portuna atanmaktadır.

örnekte v_sinyal_sonuc deęişkeninin 0 ıncı bitine '0' atanmaktadır.ve in_giriş degerinin 0 1 2 3 ...7 (8 kez) bitiyle arka arkaya or işlemi döngüye sokulmuştur.

in_giriş = 00000001

= 0 or 1 =>1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

v_sinyal_sonuc(8 downto 1) = 11111111 olmaktadır.