

bu projede pekiştirme amaçlı ,saklayıcı devresi d flip flopla gerçekleştirilmiştir.d flp flop "1 " bit uzunluğunda bilgi d mandalı ile saklanabilmektedir.bu özelliği kullanarak birden fazla d mandalı bir araya getirilerek basit bir hafıza elemanı tasarlama mümkündür.bu şekilde tasarlanmış hafıza elemanlarına "saklayıcı" (register)adı verilir.

örnegimizde 4 bitlik saklayıcı devresi gerçekleştirilecek.

4 bitlik giriş ve 4 bitlik çıkışımız var. process'in in\_clock in\_rst in\_giriş degerlerinde meydana gelen değişiklikler ile aktif olacağı belirtilmektedir.

saklayıcı tasarımında eş zamanlı olamayan reset kullanılmıştır.in\_rst giriş portu '1' degerini aldığında in\_giriş degerleni aldığı deger farketmeksizin r\_saklayıcı sinyalinin tüm bitlerine '0' degeri atanmaktadır. bu durumda out\_cıkış degerinin tüm bitleri '0' olmaktadır.

in\_rst girişinin diğer durumlarında ise in\_clk giriş portunun yükselen kenarları ile birlikte in\_giriş degeri r\_cıkış sinyaline atanmaktadır.

in\_clk giriş sinyalinin yükselen kenarının meydana gelmemesi durumunda ise r\_cıkış bir önceki degerini korumaktadır.(yani saklama işlemi yapmaktadır)

benzetim sonuçlarımız bunu doğrulamaktadır.

dogruluk tablosu :

in\_rst saat darbesi in\_giriş out\_cıkış out\_cıkış'

0	cıkan kenar	0000	0000	1
---	-------------	------	------	---

0	cıkan kenar	1111	1111	0
---	-------------	------	------	---

0	cıkan kenar yok	x	out_cıkış	out_cıkış'
---	-----------------	---	-----------	------------

1	x	0000	0000	1111
---	---	------	------	------

1	x	1111	0000	1111
---	---	------	------	------

1	x	x	0000	1111
---	---	---	------	------