

VHDL ile ROM BLOGU OLUŞTURMAK (2)

ROM'ler(READ ONLY MEMORY-SADECE OKUNABİLİR HAFIZA) sadece okunabilen verilerin saklanması için kullanılan depolama birimidir.

ekte şekilde N*M bitlik ROM gösterimi verilmiştir.görüleceği üzere in_ROM_aktif giriş portunun aktif olması ile birlikte ROM'dan in_data_addr adresindeki data out out_data çıkı portuna aktarılmaktadır.

Bazı terimler ve kullanımlar:

veri_uzunlugu : hafıza biriminin veri yolu genişliğini bildirmektedir

örneğin bu değer 8 ise , tasarlanan hafıza elemanı her bir adreste 8 bit

uzunlugunda veri saklıyor demektir.

ROM_Derinligi: bu tanımlama ile tasarladığımız hafıza elemanının kaç adet veri saklayabileceği belirtilmektedir.bu adres aynı zamanda doğrudan adresleme hattının uzunlugunda belirlenmesini sağlamaktadır.

örneğin : 30 adet veri saklamak istersek rom_derinligi tanımlamasının değerinin 30 olması gerekmektedir. 30 adet veriyi adreslemek için gereken adres yolu genişliği ise $\lceil \log_2 30 \rceil \rightarrow 5$ bit olur . örneğimizde bu işlem paket içinde log2_int fonksiyonu tarafından yapılmaktadır.

örnek kodumuza gelirsek,

ROM datalarını dosyadan okuyan bir vhdl kodumuz var.

generic bildirimi ve port bildiriminde ise 1bitlik saat darbesi

giriş portu,1 bitlik ROM aktif giriş portu, generic ROM_DERİNLİĞİ paramtresine bağlı olarak hesaplanan adres giriş portu ve okunan adresteli datanın ROM dışına çıkarılması için veri_uzunlugu uzunlugunda çıkış portu mevcuttur.

ROM Adress uzunlugunun belirlenmesi için kullanılacak olan log2_int fonksiyonu satıda tanımlanan ornekler_paket paketi içerisinde tanımlanmıştır.

ve satıda veri_uzunlugu genişliğine sahip Rom_derinligi derinliginde tip

tanımlama işlemi yapılmıştır. ve baska bir satırda ROM_DATA_YUKLE procedure tanımlaması ile sinus örneklerinin bulunduğu dosyadan datalar alınmaktadır. procedure sonunda ise procedure çağrılarak dosyadan okunan datalar ROM'a yüklenmektedir.buradan ROM datası in_data_addr bilgisine göre out_data çıkışına oradanda üst modül out_data_rom_dosya ile out çıkış vermektedir.

benzetim sonuclarımız projemizi ve kodumuzu dogrulamaktadır.