

bu projede saat kullanımı pekiştirme amaçlıdır.process yapıları içinde

tetikleme sinyali olarak clock saat darbesi kullanılmadır. ve genelde saatin 0 dan 1 'e geçişi ile tetikleme yapılmaktadır.

örnekte vhdl kodunda saat darbesi uygulaması gerçekleştirilmiştir.

process hassaiyet listesinde in_clk giriş portu mevcuttur. in_clock giriş portunda değişim meydana geldiğinde ve in_clock giriş portu değeri 0'dan 1'e değiştiğinde : in_giriş_secme giriş portu değeri '0' ise out_cıkış çıkış portuna in_giriş_1 giriş portunun değeri atanmaktadır. eger in_giriş_secme giriş portu değeri '1' ise out_cıkış çıkış portuna in_giriş_2 giriş portunun değeri atanmaktadır.n_giriş_secme giriş portu değeri '0' ve '1' haricinde baska degerler alması durumunda ise out_cıkış portuna '0' değeri atanmaktadır.