

bu projede loop sözdizimi pekiştirmek amaçlıdır.döngü deyimi tekrarlı sıralı sözdizimlerinden meydana gelmektedir.

vhdl iki tip döngü desteklemektedir.

for-loop

while-loop

burada while döngüsü process içinde tanımlanmıştır.

örnekte v_sinyal_sonuc değişkeninin 0 ıncı bitine '0' atanmaktadır.ve in_giriş degerinin 0 1 2 3 ...7 (8 kez) bitiyle arka arkaya or işlemi while döngüsüne sokulmuştur.

in_giriş = 00000001

1.bit = 0 or 1=>1

2.bit = 1 or 1=> 1

3.bit = 1 or 1=> 1

4.bit = 1 or 1=> 1

5.bit = 1 or 1=> 1

6.bit = 1 or 1=> 1

7.bit = 1 or 1=> 1

8.bit = 1 or 1=> 1

v_sinyal_sonuc(8 downto 1) = 11111111 olmaktadır.