

bu projede vhdl dili ile dört bit toplayıcı(top) yapılmış ve alt devre olarak tam toplayıcı kullanılmıştır. burada amaç component ve port map konusunu pekiştirmek olmuştur.kod gerçekleştirilmiş ve simule edilmiştir.

dogrulaması

Cin

A3 A2 A1 A0

+ B3 B2 B1 B0

-----

Cout S3 S2 S1 S0

0

0 0 0 0

+ 0 0 0 1

-----

0 0 0 0 1

0

1 1 1 1

+ 1 1 1 1

-----

1 1 1 1 0