

bu projede loop sözdizimi pekiştirmek amaçlıdır.döngü deyimi tekrarlı sıralı sözdizimlerinden meydana gelmektedir.

vhdl iki tip döngü desteklemektedir.

for-loop

while-loop

burada for döngüsü process içinde tanımlanmıştır.ve process'de in\_giriş değişiminde aktif olmaktadır.

örnekte v\_sinyal\_sonuc değişkeninin 0 ıncı bitine '0' atanmaktadır.ve in\_giriş degerinin 0 1 2 3 ...7 (8 kez) bitiyle arka arkaya or işlemi döngüye sokulmuştur.

in\_giriş = 00000001

= 0 or 1 =>1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

= 1 or 1=> 1

v\_sinyal\_sonuc(8 downto 1 ) = 11111111 olmaktadır.