

bu örnek projede diğer sık kullanılan saklayıcı tasarımlarında biri olan "kaydırmalı saklayıcı" kullanılmıştır.

bir önceki verilen (proje_44) vhdl kodunda ufak bir değişiklik yapılarak tasarımda sinyal veri nesnesi yerine variable veri nesnesi kullanılmıştır.

process içerisinde eş zamanlı olmayan reset kullanılmıştır. yani reset giriş portu '1' değerini aldığı anda tüm çıkışlara '0' atanacak

ve in_reset girişinin diğer durumlarında ise in_clk portunun yükselen kenarı ile birlikte koşul ifadesiyle in_giriş giriş portu değeri

v_saklayıcı değişkeninin en anlamlı bitine atanmaktadır.

v_saklayıcı sinyalinin 3. biti 2. bitine, 2. biti 1. bitine, 1. bit en anlamsız bite atanmaktadır.

variable veri nesnesi tüm atama işlemleri o anda yapıldığından dolayı, in_giriş portunun değeri '1' olduğunda, r_saklayıcı sinyali ve out_cıkış çıkış portu "1111" değerini almaktadır.

aynı şekilde in_giriş portunun değeri '0' olduğunda, r_saklayıcı sinyali ve out_cıkış çıkış portu "0000" değerini almaktadır.

benzetim çıktılarından görüleceği üzere verilen kaydırmalı_saklayıcı.vhd VHDL kodu kaydırmalı saklayıcı işlevini yerine getirmemektedir.

kodun kaydırmalı sayıcı işlevini yapabilmesi için elsif rising_edg(in_clk) koşul yapısı içine aşağıdaki kodu yazarak değiştirirsek kaydırmalı saklayıcı işlevini sağlamış oluruz.

```
v_saklayıcı(0) := v_saklayıcı(1) ;
```

```
v_saklayıcı(1) := v_saklayıcı(2) ;
```

```
v_saklayıcı(2) := v_saklayıcı(3) ;
```

```
v_saklayıcı(3) := in_giris ;
```

benzetim sonucları kodumuzu dogrulamaktadır.