

bu projede vhdl dili ile st logic ,std logic signed ve std arith kütüphaneleri kullanılarak ve tür dönüşümü ile pekiştirme amaçlı bir uygulama yapılmıştır.simule edilmiştir.signed konusuna vurgu yapılmıştır.

dogrulaması

$0001 + 1 \Rightarrow 0010$

$0101 + 0010 \Rightarrow 0111$