

bu projede vhdl dili ile std logic vektör tipinde olan giriş değerleri integer'a diğer giriş integer tipi ise std_logic_vector'e dönüştürülerek pekiştirme amaçlı bir uygulama yapılmıştır.simule edilmiştir.

dogrulama:

000000001 -> integer-> 1

3 ->vector-> 000000011