

معماری کامپیوتر

مراجع

D. A. Patterson, J. L. Hennessy, Computer Organization and Design, 4th Edition, 2010.

■M. Mano, Computer System Architecture.

ارزیابی

امتحان میان ترم: ٥ نمره

امتحان پایان ترم: ۱۰ نمره

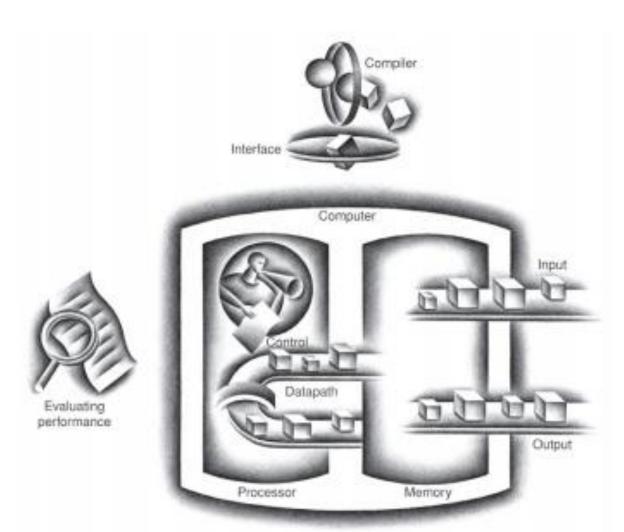
پروژه یا تحقیق: ۳ نمره

تمرین و کوئیز: ۳ نمره

فهرست مطالب درس

- مقدمه •
- ارزیابی کارایی
- معماري مجموعه دستورالعمل (ISA)
 - واحد پردازنده
 - واحد كنترل
 - واحد ALU
 - خط لوله
 - حافظه

پنج بخش اصلی یک کامپیوتر



ورودى

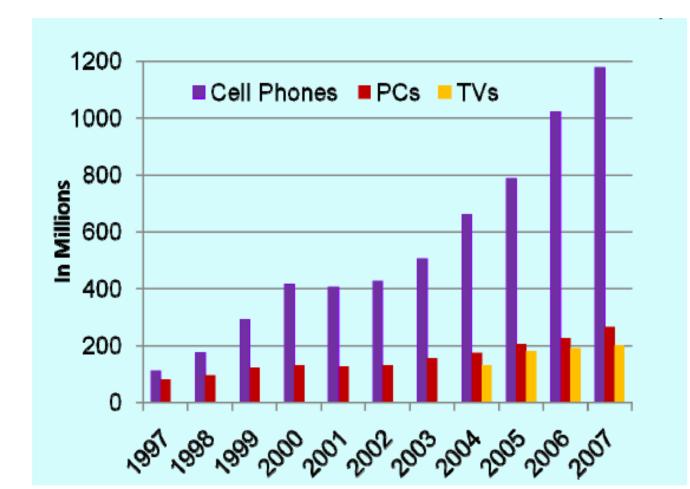
خروجي

حافظه

مسیر گذار داده

واحد كنترل

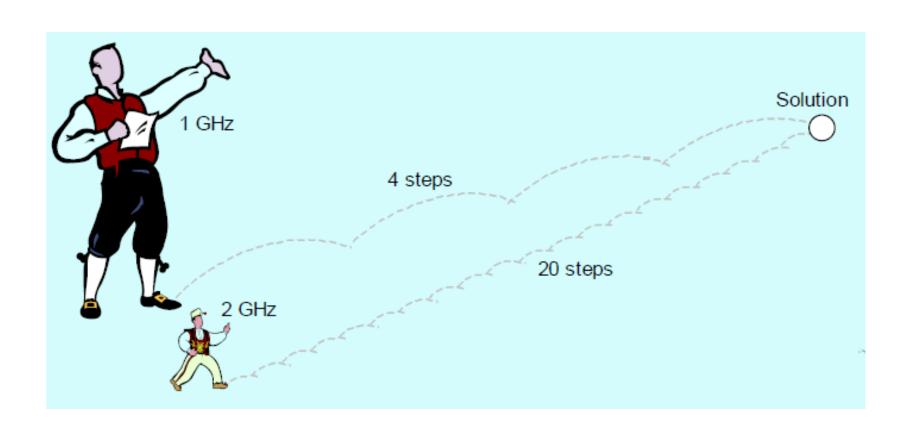
بازار پردازنده ها

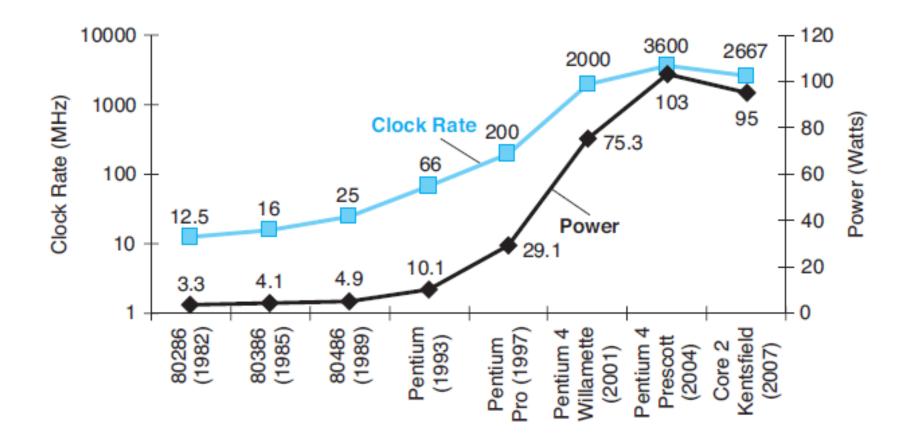


پردازنده های INTEL

پردازنده	فركانس	تعداد هسته ها
Intel Pentium	65 MHz - 250 MHz	I
Intel Pentium III	450 MHz - 1.4 GHz	I
Intel Core 2	1.06 GHz - 3.33 GHz	1,2,4
Intel Core i3	1.2 GHz - 3.7 GHz	2
Intel Core i5	1.06 GHz - 3.6 GHz	2,4
Intel Core i7	1.6 GHz - 4.4 GHz	4,6,8,10

فركانس





Power = Capacitive load × Voltage² × Frequency switched



تاریخچه

لامپ خلا:

ایراد لامپهای خلأ، حجم بزرگ آنها، عدم اطمینان و گرمای شدید است.

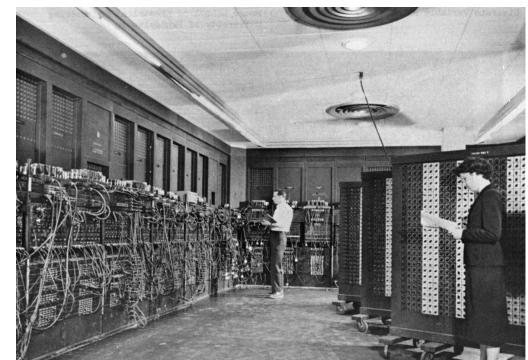
:ENIAC

تعداد لامپ خلا: 19000

توان مصرفي : **150 kW**

2.4 m \times 0.9 m \times 30 m : حجم

انیاک در سال ۱۹٤٦ میلادی آماده نصب و راهاندازی گردید و در زمان خود قادر به انجام ۲۰۰۰ عمل ضرب در هر ثانیه بود.



قانون مور

مور که یکی از بنیانگذاران اینتل است در سال ۱۹٦٥ پیش بینی کرد که تعداد ترانزیستورها در هر اینچ مربع از مدارات مجتمع هر ۱۸ ماه دو برابر خواهد شود.

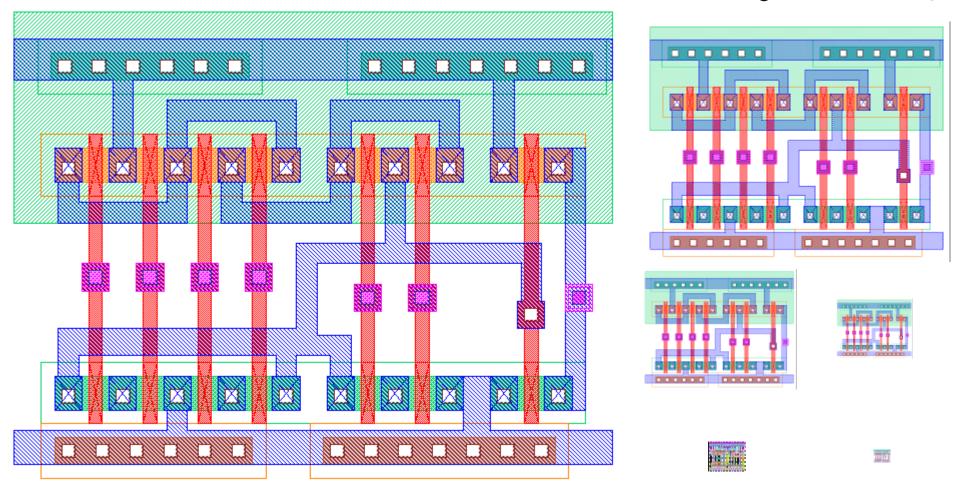
در واقع یکی از دلایلی که این قانون سالهاست که اعتبار دارد این است که صنایع نیمه هادی آنرا بعنوان هدفی برای خود برگزیده اند.

کوچک شدن ابعاد ترانزیستورها چه مزایا و معایبی دارد؟

روند پیشرفت پارامترهای ترانزیستور

Year of Introduction	1994	1997	2000	2003	2006	2009
Channel length (µm)	0.4	0.3	0.25	0.18	0.13	0.1
Gate oxide (nm)	12	7	6	4.5	4	4
V_{DD} (V)	3.3	2.2	2.2	1.5	1.5	1.5
V_T (V)	0.7	0.7	0.7	0.6	0.6	0.6
NMOS I_{Dsat} (mA/ μ m) (@ $V_{GS} = V_{DD}$)	0.35	0.27	0.31	0.21	0.29	0.33
PMOS I_{Dsat} (mA/ μ m) (@ $V_{GS} = V_{DD}$)	0.16	0.11	0.14	0.09	0.13	0.16

کوچک کردن اندازه

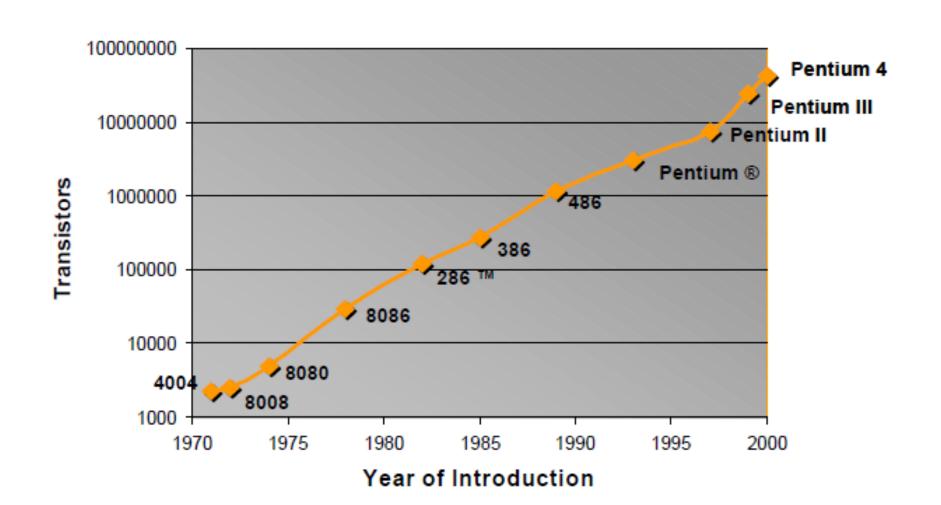


64 Gbits **;** 0.08րա 10^{10} Human memory **Human DNA** 4 Gbits $0.15 \mu m$ 10^{9} 1 Gbits 0.15-0.2μm 10^{8} 256 Mbits 0.25-0.3μm 10^{7} 64 Mbits $0.35-0.4 \mu m$ 10^{6} Book 16 Mbits $0.5-0.6 \mu m$ 4 Mibits 0.7-0.8µm 105 1 Mbits 1.0-1.2µm 104 Encyclopedia 256 Kbits 1.6-2.4um 2 hrs CD Audio 30 sec HDTV 64 Kbits Page 1970 1980 1990 2000 2010 Year

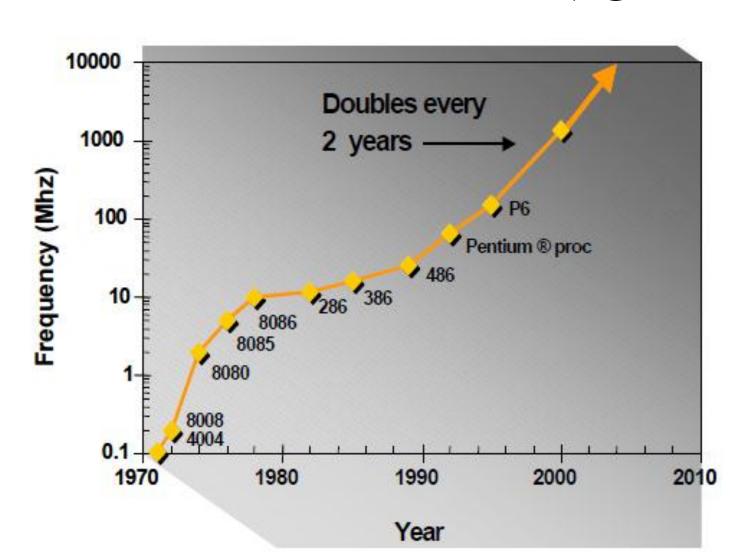
Number of bits per chip

روند پیشرفت حافظه

روند افزایش ترانزیستورهای پردازنده ها



روند افزایش کارائی پردازنده ها



مدارهای مجتمع

۱۰ – ۱۰ گیت	SSI	Small Scale Integration	مدار های مجتمع با مقیاس کو چک
۱۰۰ – ۱۰۰ گیت	MSI	Medium Scale Integration	مدار های مجتمع با مقیاس متوسط
۱۰۰۰ – ۱۰۰۰ گیت	LSI	Large Scale Integration	مدار های مجتمع با مقیاس بزرگ
بیش از ۱۰۰۰ گیت	VLSI	Very Large Scale Integration	مدار های مجتمع با مقیاس خیلی بزرگ

MODULE GATE

سطوح مختلف طراحي

مدارهای اولیه به صورت دستی ساخته میشدند که در آنها هر ترانزیستور به صورت دستی چیده میشد ،به ترانزیستورهای دیگر وصل میگردید و در محیط اطراف خودش بهینه میشد. پردازنده ع.۰۰ اینتل به این صورت ساخته شد.

اما اگر تعداد ترانزیستورها بیشتر از یک میلیون باشد، روش دستی دیگر جوابگو نخواهد بود.

→ تعریف ورودی ها و خروجی های مدار طراحی شماتیک مدار شبیه سازی مدار خیر آیا مدار مشخصات لازم را دارد طراحی Layout شبیه سازی آیا مدار مشخصات لازم را دارد ساخت نمونه تست و ارزیابی خیر، مشکل طر احی آیا مدار مشخصات خیر، مشکل ساخت لازم را دارد توليد

مراحل طراحی و ساخت یک مدار مجتمع

مراحل طراحی و ساخت یک مدار مجتمع

- ابتدا مشخصات دقیق مدار توسط طراح استخراج میشود.
- . مدار با زبانهای توصیف سخت افزار نظیر Verilogیا VHDL کد نویسی شده و توسط ابزارهای کامپیوتری آزمون وشبیه سازی میگردد.
- ۳. پس از موفقیت در آزمون ها، این کدها به یک ابزار سنتز که کامپایلر مخصوص زبانهای توصیف سخت افزار است، داده میشود، خروجی ابزار سنتز فایلی است که همه گیتهای منطقی مورد نیاز مدار و ارتباطات بین آنها داخل آن وجود دارد و اصطلاحاً فایل netlist نامیده میشود. لازم به ذکر است که قالب این فایل عمدتاً به صورت Verilog یا VHDL میباشد.
 - *. فایل netlist به ابزاری تحویل داده میشود تا گیتهای منطقی داخل آن را با در نظر گرفتن ابعاد واقعی آنها در سطح فیزیکی در کنار هم قرار داده و ارتباط آنها را با سیمهای با ابعاد مشخص ایجاد نماید. این مرحله، اصطلاحاً جایابی (Placement) و مسیریابی (Routing) نامیده میشود. خروجی حاصل از این مرحله، توصیف سطح فیزیکی یا سطح چینش مدار است که در آن جایگاه تک تک ترانزیستورهای مدار، ابعاد آنها و ارتباطات بینشان مشخص میباشد.
 - △. بعد از مرحله جایابی و مسیریابی، مرحله بعدی آزمونهایی هستند که اطمینان پذیری طرح را بالا میبرند.
- ۶. در نهایت، بعد از انجام همه آزمونهای مورد نیاز و اطمینان از صحت چینش مدار، فایلی به فرمت gds2 توسط طراح از توصیف سطح چینش مدار ساخته شده و به کارخانه سازنده ارسال میگردد تا بر اساس آن در شرکت سازنده تراشه مورد نظر ساخته شود. فایل gds2 شامل توصیف ابعاد و جایگاه همه مقطعات داخل تا به اساس آن در شرکت سازنده تراشه مورد نظر ساخته شود. فایل gds2 شامل توصیف ابعاد و جایگاه