معماری کامپیوتر

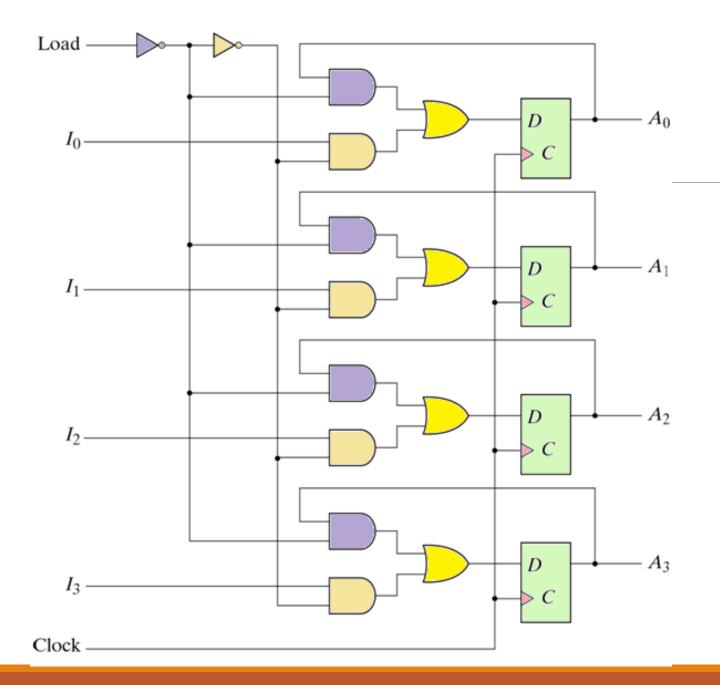
انتقال ثبات و ریز عمل (فصل ۴ کتاب معماری کامپیوتر مانو)

D_1 — $-Q_1$ Parallel Parallel data data inputs outputs D_2 CLK —

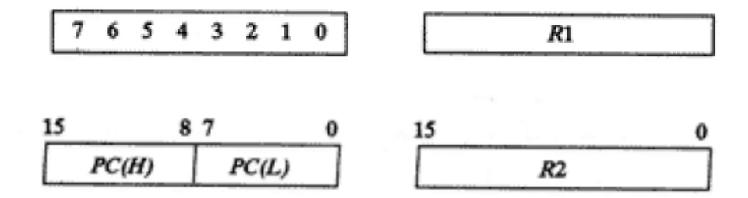
CLR —

ثبات

مجموعه ای از فلیپ فلاپ ها



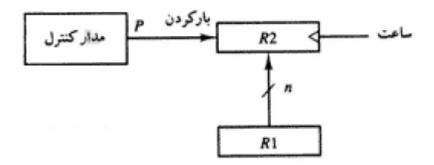
ثبات چهاربیتی با استفاده از فلیپ فلاپ D

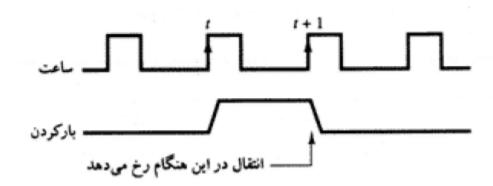


If
$$(P = 1)$$
 then $(R2 \leftarrow R1)$

$$P: P2 \leftarrow R1$$

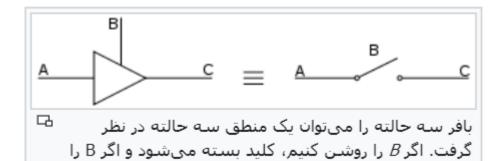
$$T: R2 \leftarrow R1, R1 \leftarrow R2$$





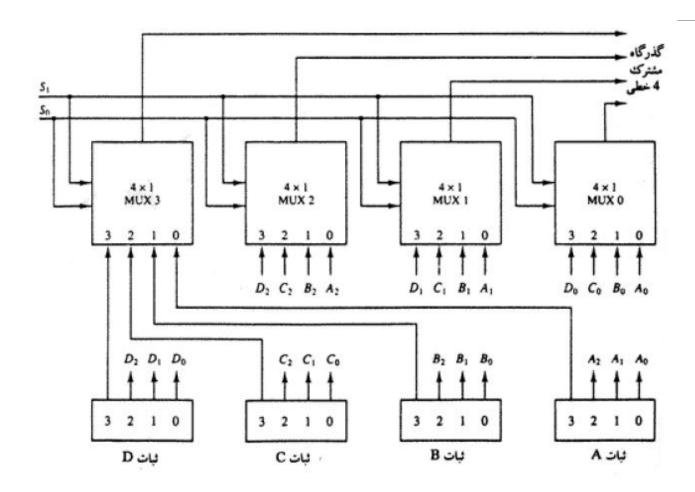
بافرهای سه حالتی

حروجی	ورودى	
С	В	Α
•	\	0
١	'	١
(امپدانس بالا)	0	Χ

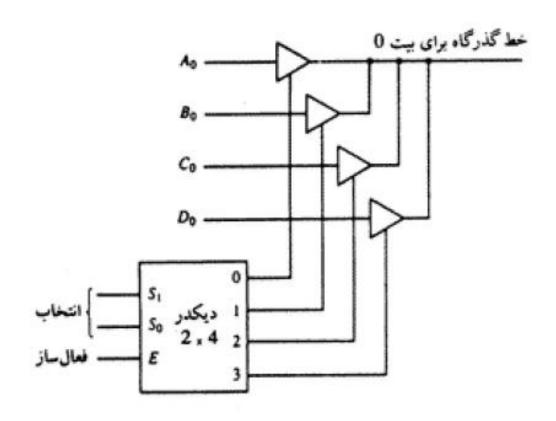


خاموش کنیم، کلید باز میشود.

گذرگاه مشترک



گذرگاه مشترک



انتقال از حافظه

Read: $DR \leftarrow M[AR]$

Write: $M[AR] \leftarrow R1$

ریز عمل ها

انتقال

ریز عمل های حسابی ریز عمل های منطقی

ریز عمل های حسابی

$$R3 \leftarrow R1 + R2$$

$$R3 \leftarrow R1 - R2$$

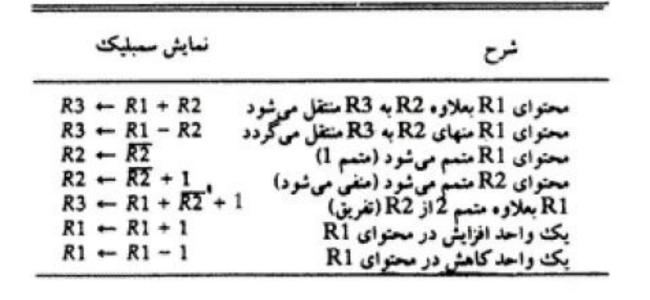
$$R2 \leftarrow \overline{R2}$$

$$R2 \leftarrow \overline{R2} + 1$$

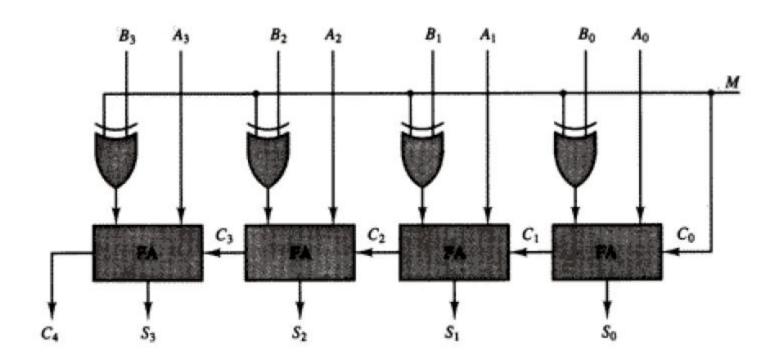
$$R3 \leftarrow R1 + \overline{R2} + 1$$

$$R1 \leftarrow R1 + 1$$

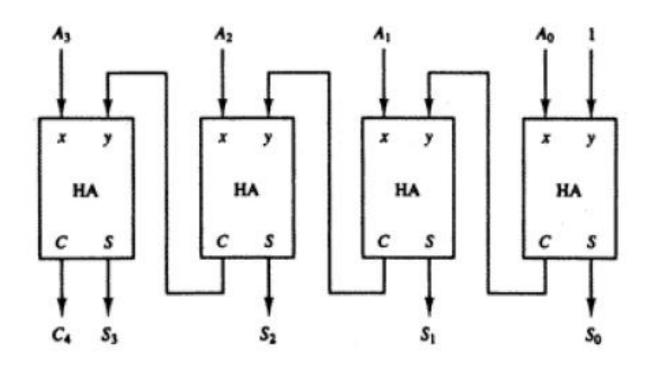
$$R1 \leftarrow R1 - 1$$

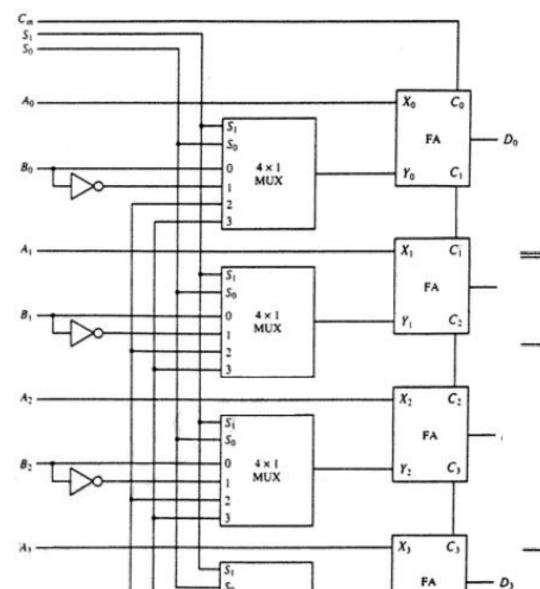


جمع و تفریق کننده



افزایشگر دودویی





4×1 MUX

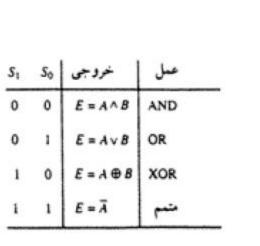
مدار محاسباتی

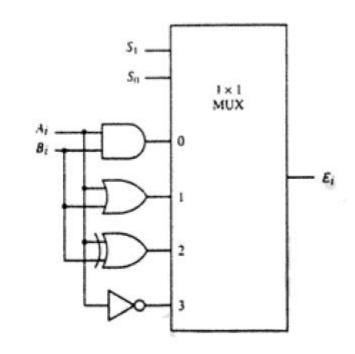
ائتخاب		خروجی ورودی			
Sı	So	C.,	Y	خروجی $D = A + Y + C_{in}$	ريزعمل
0	0	0	В	D = A + B	جمع
0	0	1	В	D=A+B+1	جمع با نقلی
0	1	0	\overline{B}	$D = A + \overline{B}$	تفریق با فرض
0	1	1	\overline{B}	$D = A + \overline{B} + 1$	تفريق
1	0	0	0	D = A	انتقال ٨
1	0	1	0	D=A+1	افزایش A
1	1	0	1	D = A - 1	كامش A
1	1	1	1	D = A	انتقال A

ریز عمل منطقی

$$P+Q: R1 \leftarrow R2 + R3, R4 \leftarrow R5 \lor R6$$

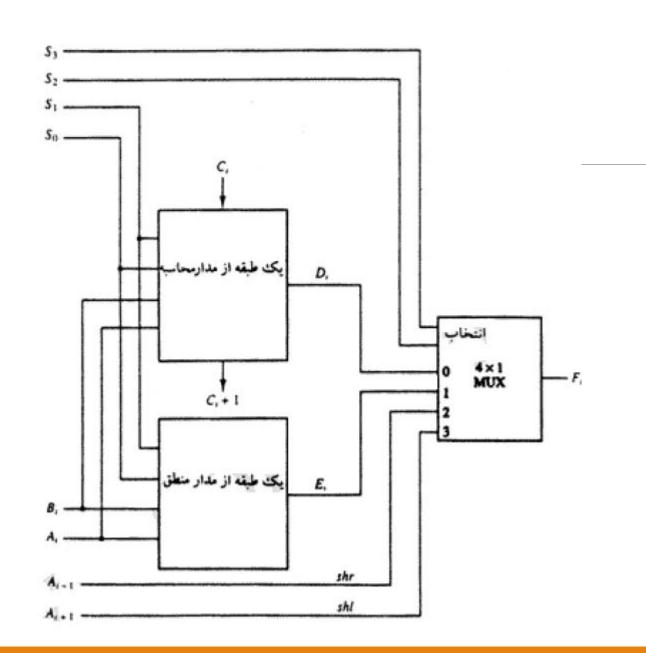
ریز عمل منطقی





شيفت

سمبل نشاندهنده	توضيح	
R ← shi R	ئىفت ئبات R بە چپ	
$R \leftarrow \operatorname{shr} R$	شیفت ثبات R به راست	
$R \leftarrow \text{cil } R$	شیفت چرخش ثبات R به چپ	
R cir R	شیفت چرخش ثبات R به راست	
$R \leftarrow ashl R$	ئىفت حسابى ئبات R به چپ	
R ← ashr R	ئىيفت حسابى ئبات R به راست	



واحد محاسبه و منطق