

معماری کامپیوتر

فصل ۵ و ۶ معماری کامپیوتر مانو

دستورالعمل های ثابتی

$$r = D_7I'T_3$$

مشترک در همه دستورالعمل های ثابتی

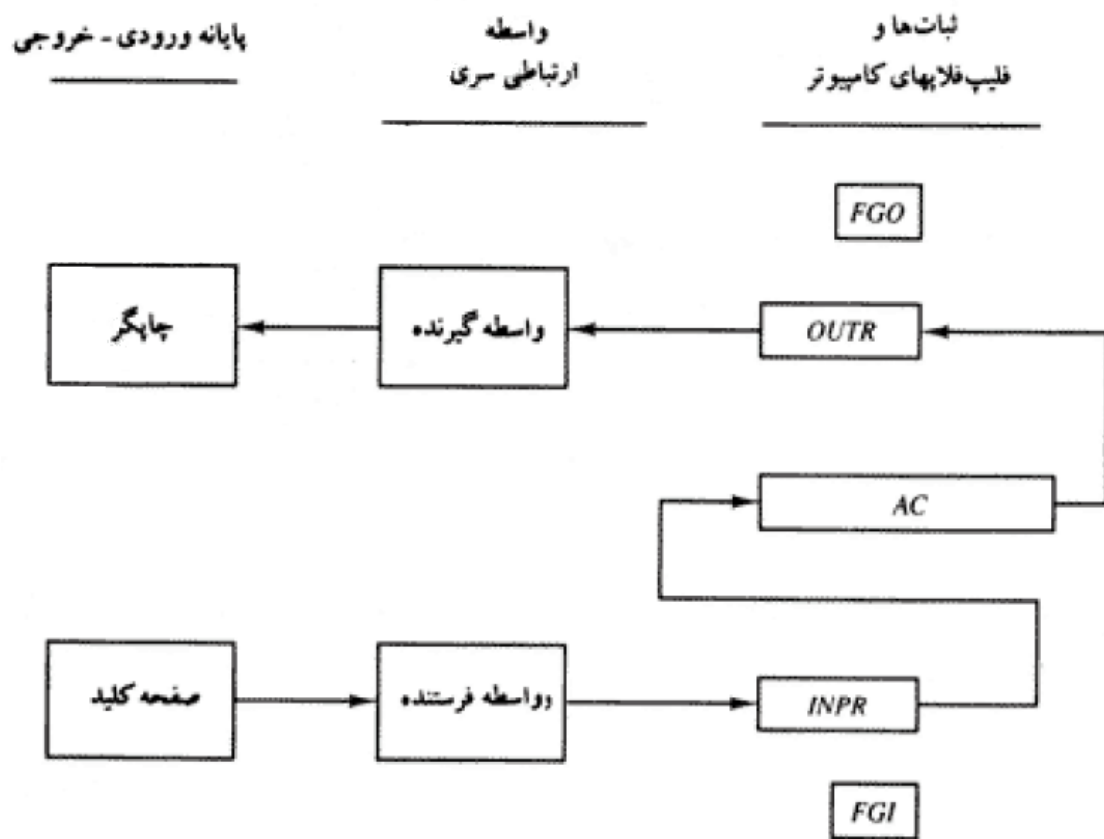
بیتی در IR(0-11) که عمل را مشخص می کند $IR(i) = B_i$

	r :	$SC \leftarrow 0$	پاک کردن SC
CLA	rB_{11} :	$AC \leftarrow 0$	پاک کردن AC
CLE	rB_{10} :	$E \leftarrow 0$	پاک کردن E
CMA	rB_9 :	$AC \leftarrow \overline{AC}$	متعم کردن AC
CME	rB_8 :	$E \leftarrow \overline{E}$	متعم کردن E
CIR	rB_7 :	$AC \leftarrow shr\ AC, AC(15) \leftarrow E, E \leftarrow AC(0)$	شیفت چرخشی به راست
CIL	rB_6 :	$AC \leftarrow shl\ AC, AC(0) \leftarrow E, E \leftarrow AC(15)$	شیفت چرخشی به چپ
INC	rB_5 :	$AC \leftarrow AC + 1$	افزایش AC
SPA	rB_4 :	If $(AC(15) = 0)$ then $(PC \leftarrow PC + 1)$	گذر در صورت مثبت بودن
SNA	rB_3 :	If $(AC(15) = 1)$ then $(PC \leftarrow PC + 1)$	گذر در صورت منفی بودن
SZA	rB_2 :	If $(AC = 0)$ then $(PC \leftarrow PC + 1)$	گذر در صورت صفر بودن AC
SZE	rB_1 :	If $(E = 0)$ then $(PC \leftarrow PC + 1)$	گذر در صورت صفر بودن E
HLT	rB_0 :	$S \leftarrow 0$	یک فلیپ فلاپ آغاز و پایان است S توقف کامپیوتر

دستورالعمل های حافظه ای

AND	$D_0T_4:$	$DR \leftarrow M[AR]$
	$D_0T_5:$	$AC \leftarrow AC \wedge DR, SC \leftarrow 0$
ADD	$D_1T_4:$	$DR \leftarrow M[AR]$
	$D_1T_5:$	$AC \leftarrow AC + DR, E \leftarrow C_{out}, SC \leftarrow 0$
LDA	$D_2T_4:$	$DR \leftarrow M[AR]$
	$D_2T_5:$	$AC \leftarrow DR, SC \leftarrow 0$
STA	$D_3T_4:$	$M[AR] \leftarrow AC, SC \leftarrow 0$
BUN	$D_4T_4:$	$PC \leftarrow AR, SC \leftarrow 0$
BSA	$D_5T_4:$	$M[AR] \leftarrow PC, AR \leftarrow AR + 1$
	$D_5T_5:$	$PC \leftarrow AR, SC \leftarrow 0$
ISZ	$D_6T_4:$	$DR \leftarrow M[AR]$
	$D_6T_5:$	$DR \leftarrow DR + 1$
	$D_6T_6:$	$M[AR] \leftarrow DR, \text{ if } (DR = 0) \text{ then } (PC \leftarrow PC + 1) \quad SC \leftarrow 0$

دستورالعمل های ورودی - خروجی



Instruction	Micro operatin
INP	$AC(0-7) \leftarrow INPR, FGI \leftarrow 0$
OUT	$OUT \leftarrow AC(0-7), FGO \leftarrow 0$
SKI	If $(FGI=1)$ Then $(PC \leftarrow PC+1)$
SKO	If $(FGO=1)$ Then $(PC \leftarrow PC+1)$
ION	$IEN \leftarrow 1$ روشن کردن فعال ساز وقفه
IOF	$IEN \leftarrow 0$ خاموش کردن فعال ساز وقفه

دستورالعمل های ورودی - خروجی

$D, IT_3 = p$ (مشترک در همه دستورالعمل های ورودی - خروجی)
 $IR(i) = B_i$ [بینی در $IR(0-11)$ که دستورالعمل را مشخص می کند]

	$p:$	$SC \leftarrow 0$	پاک کردن SC
INP	$pB_{11}:$	$AC(0-7) \leftarrow INPR, FGI \leftarrow 0$	دریافت کاراکتر ورودی
OUT	$pB_{10}:$	$OUTR \leftarrow AC(0-7), FGO \leftarrow 0$	ارسال کاراکتر خروجی
SKI	$pB_9:$	If $(FGI = 1)$ then $(PC \leftarrow PC + 1)$	گذر بر اساس پرچم ورودی
SKO	$pB_8:$	If $(FGO = 1)$ then $(PC \leftarrow PC + 1)$	گذر بر اساس پرچم خروجی
ION	$pB_7:$	$IEN \leftarrow 1$	روشن کردن فعال ساز وقفه
IOF	$pB_6:$	$IEN \leftarrow 0$	خاموش کردن فعال ساز وقفه

کنترل ثبات

$R'T_0 : AR \leftarrow PC$

$R'T_2 : AR \leftarrow IR(0-11)$

$D'_7IT_3 : AR \leftarrow M[AR]$

$RT_0 : AR \leftarrow 0$

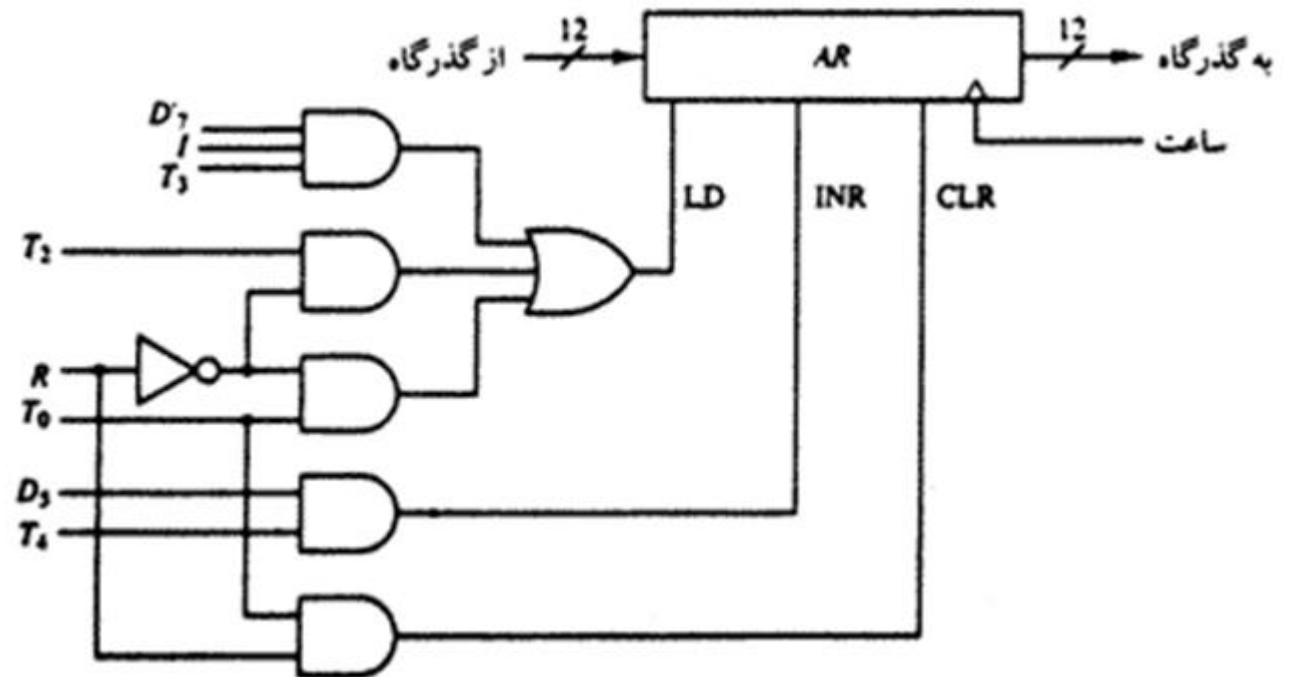
$D_5T_4 : AR \leftarrow AR + 1$

$LD(AR) = R'T_0 + R'T_2 + D'_7IT_3$

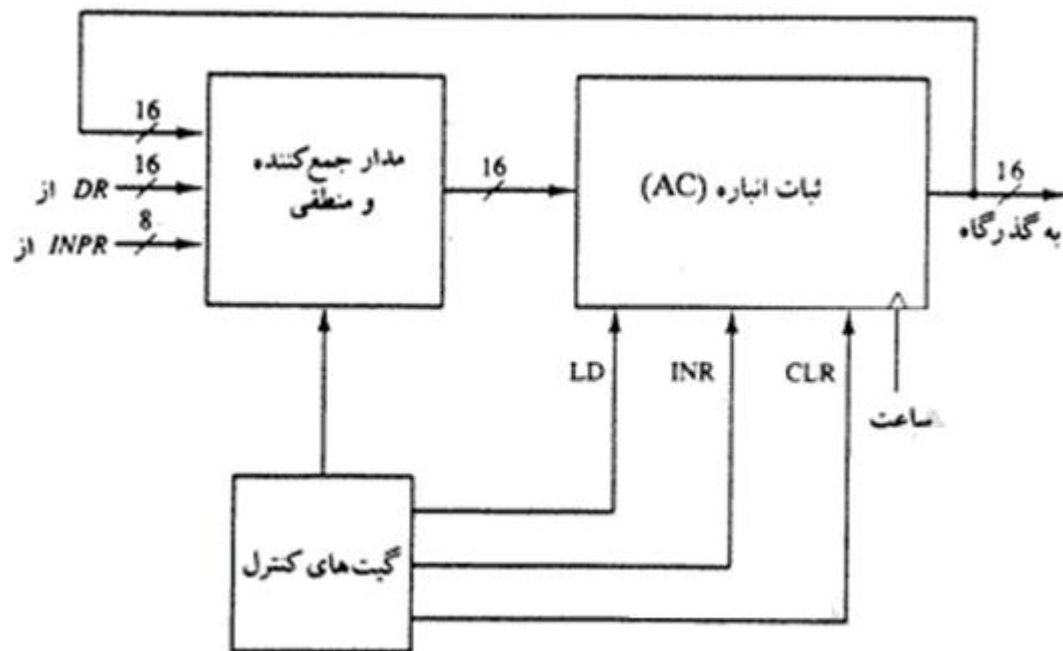
$CLR(AR) = RT_0$

$INR(AR) = D_5T_4$

تمام عبارتی که AR را تغییر می دهند



طراحی مدار منطقی انباره



$$D_0T_5: AC \leftarrow AC \wedge DR$$

$$D_1T_5: AC \leftarrow AC + DR$$

$$D_2T_5: AC \leftarrow DR$$

$$pB_{11}: AC(7-0) \leftarrow DR$$

$$rB_9: AC \leftarrow \overline{AC}$$

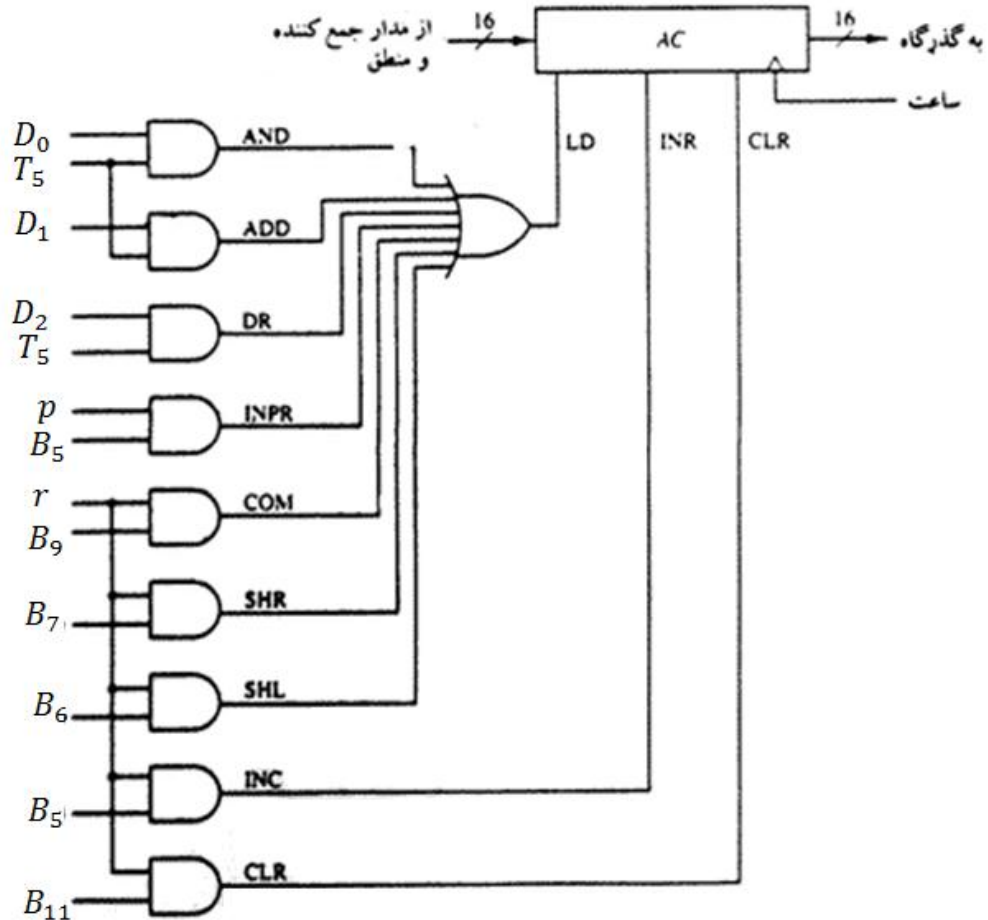
$$rB_7: AC \leftarrow shr AC, AC(15) \leftarrow E$$

$$rB_6: AC \leftarrow shl AC, AC(0) \leftarrow E$$

$$rB_{11}: AC \leftarrow 0$$

$$rB_5: AC \leftarrow AC + 1$$

کنترل ثبات AC



$$D_0T_5: AC \leftarrow AC \wedge DR$$

$$D_1T_5: AC \leftarrow AC + DR$$

$$D_2T_5: AC \leftarrow DR$$

$$pB_{11}: AC(7-0) \leftarrow INPR$$

$$rB_9: AC \leftarrow \overline{AC}$$

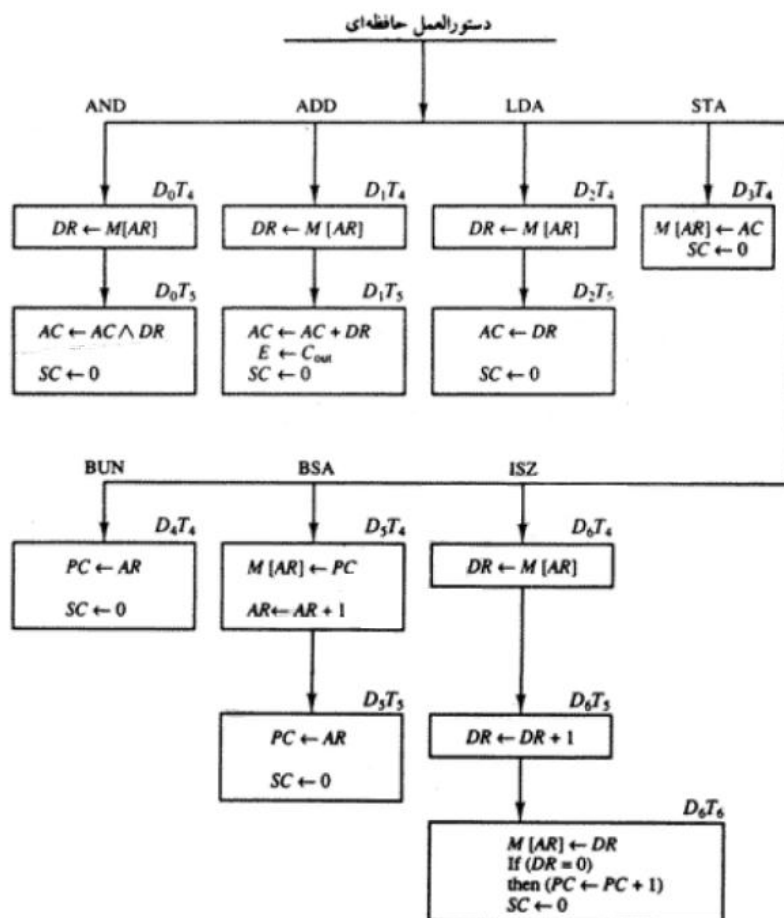
$$rB_7: AC \leftarrow shr AC, AC(15) \leftarrow E$$

$$rB_6: AC \leftarrow shl AC, AC(0) \leftarrow E$$

$$rB_{11}: AC \leftarrow 0$$

$$rB_5: AC \leftarrow AC + 1$$

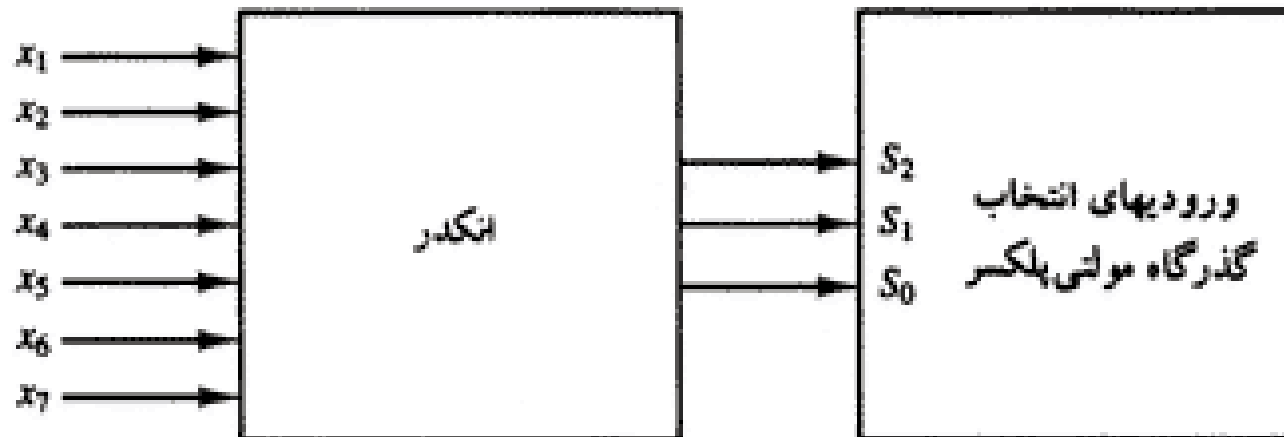
کنترل ورودی خواندن و نوشتن حافظه



$$\text{Read: } R'T_1 + D'_7IT_3 + (D_0 + D_1 + D_2 + D_6) T_4$$

کنترل گذرگاه مشترک

ورودیها							خروجیها			نمات انتخاب شده برای گذرگاه
x_1	x_2	x_3	x_4	x_5	x_6	x_7	S_2	S_1	S_0	
0	0	0	0	0	0	0	0	0	0	هیچکدام
1	0	0	0	0	0	0	0	0	1	AR
0	1	0	0	0	0	0	0	1	0	PC
0	0	1	0	0	0	0	0	1	1	DR
0	0	0	1	0	0	0	1	0	0	AC
0	0	0	0	1	0	0	1	0	1	IR
0	0	0	0	0	1	0	1	1	0	TR
0	0	0	0	0	0	1	1	1	1	حافظه



$$S_0 = x_1 + x_3 + x_5 + x_7$$

$$S_1 = x_2 + x_3 + x_6 + x_7$$

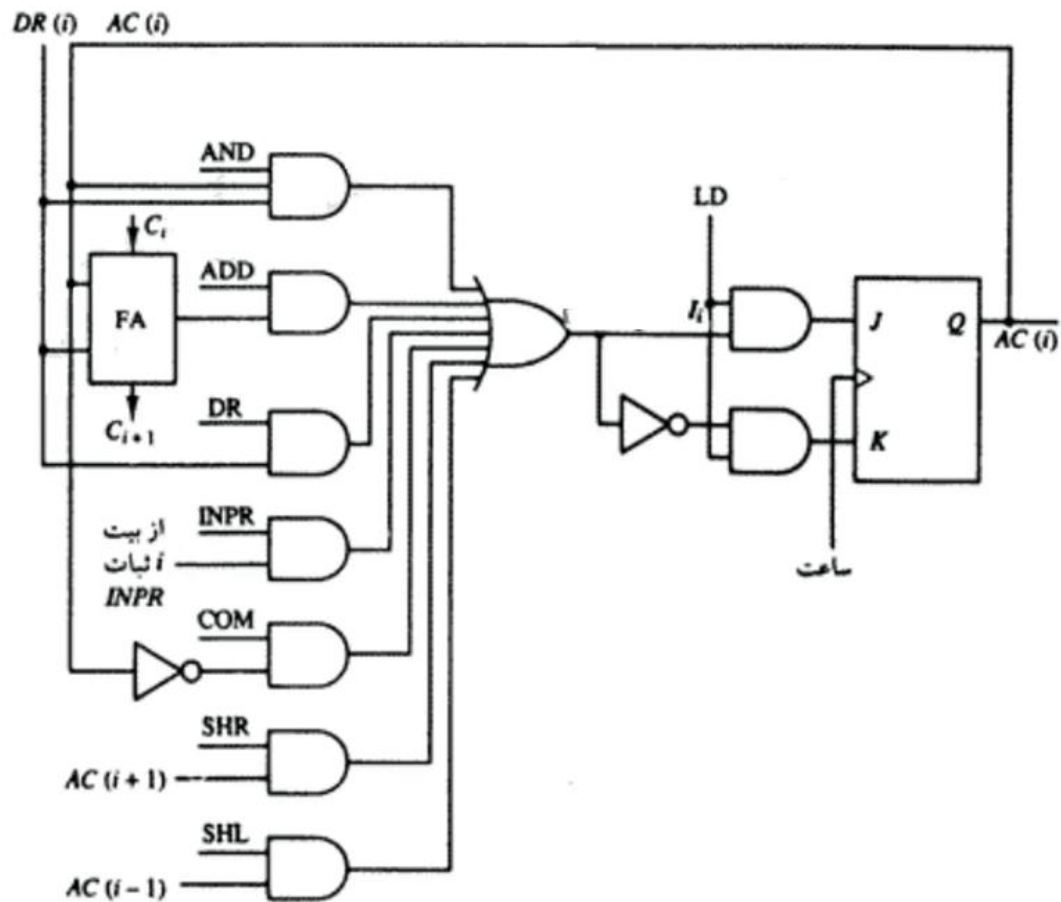
$$S_2 = x_4 + x_5 + x_6 + x_7$$

$$D_4 T_4: PC \leftarrow AR$$

$$D_5 T_5: PC \leftarrow AR$$

$$x_1 = D_4 T_4 + D_5 T_5$$

واحد محاسبه و منطق



J	K	$Q(t+1)$	
0	0	$Q(t)$	No change
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Complement