ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчет по лабораторной работе № 4
по дисциплине "Архитектура ЭВМ"

Тема Разработка ускорителей вычислений на платформе Xilinx Alveo

Студент Хамзина Р. Р.

Группа ИУ7-53Б

Оценка (баллы) _____

Преподаватель Дубровин Е. Н.

Москва — 2021 г.

Содержание

Введение

Основной целью данной лабораторной работы является изучение архитектуры гетерогенных вычислительных систем и технологии разработки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

Для достижения поставленной цели необходимо выполнить следующие задачи:

- изучить основные сведения о платформе Xilinx Alveo U200;

- разработать RTL описание ускорителя вычислений по индивидуальному варианту;

- выполнить генерацию ядра ускорителя;

- выполнить синтез и сборку бинарного модуля ускорителя;

- разработать и отладить тестирующее программное обеспечение на серверной хост-платформе

- провести тесты работы ускорителя вычислений.

1 Разрабатываемый ускоритель

Ускоритель вычислений - специальное аппаратное устройство, способное выполнять ограниченный ряд задач с большей параллельностью и за меньшее время в сравнении с универсальными микропроцессорными ЭВМ. Топология связей и набор команд примитивных процессорных устройств определяется назначением ускорителя и позволяет высвободить место на кристалле для увеличения их количества. Таким образом достигается большая параллельность работы.

1.1 Технология создания ускорителей вычислений

В данной лабораторной работе изучается технология создания ускорителей вычислений на основе ПЛИС. Основной плат ускорителя Xilinx Alveo U200 является ПЛИС xcu200-fsgd2104-2-е архитектуры Xilinx UltraScale, выполненная по 16-нанометровой технологии. Плата обеспечивает взаимодействие с хост-системой через интерфейс PCIe gen3 x16, и помимо ПЛИС содержит 4 планки памяти DIMM DDR4 по 16 ГБ, и два QSFP разъема для подключения 100ГБ Ethernet сети.

Для работы с ускорительной платой разработано специальное окружение XRT (Xilinx Runtime), включающее компоненты пользовательского пространства и драйвера ядра. XRT поддерживает как карты ускорителей на основе PCIe, так и встроенную архитектуру на основе MPSoC (для встраиваемых плат с ПЛИС Xilinx), обеспечивающую стандартизованный программный интерфейс для Xilinx FPGA.

1.2 Архитектура разрабатываемого ускорителя

В ходе лабораторной работы будет использован базовый шаблон так называемого RTL проекта VINC, который может быть создан в IDE Xilinx

Vitis и САПР Xilinx Vivado. Шаблон VINC выполняет попарное сложение чисел исходного массива и сохраняет результаты во втором массиве. Проект VINC включает:

- проект ПО хоста, выполняющий инициализацию аппаратного ядра и его тестирование через OpenCL вызовы;

- синтезируемый RTL проект ядра ускорителя на языках Verilog и SystemVerilo

- функциональный тест ускорителя VINC на языке SystemVerilog.

Функциональная схема разрабатываемой аппаратной системы показана на рисунке 1.1. Проект VINC представляет собой аппаратное устройство, связанное шиной AXI4 MM (Memory mapped) с DDR[i] памятью, и получающее настроечные параметры по интерфейсу AXI4 Lite от программного обеспечения хоста. В рамках всей системы используется единое 64-х разрядное адресное пространство, в котором формируются адреса на всех AXI4 шинах.

В каждой карте U200 имеется возможность подключить ускоритель к любому DDR[i] контроллеру в том регионе, где будет размещен проект. Всего для пользователя доступны 3 динамических региона: SLR0,1,2, для которых выделены каналы локальной памяти DDR[0], DDR[2], DDR[3] соответственно. Вся подключенная память DDR[0..3] доступна со стороны статического региона, в котором размещена аппаратная часть XRT.

Память DDR[1] доступна для использования как в статическом регионе, так и в динамическом регионе SLR1.

Для организации прямого доступа к памяти DDR со стороны хоста также используется AXI4MM шина, соединяющая XDMA PCIe контроллер с контроллером памяти.

Выбор одного из регионов для размещения проектов осуществляется на этапе так называемой линковки конфигурационного файла при помощи компилятора v++(фактически: компоновки, размещение и трассировки нескольких проектов в единый конфигурационный файл).
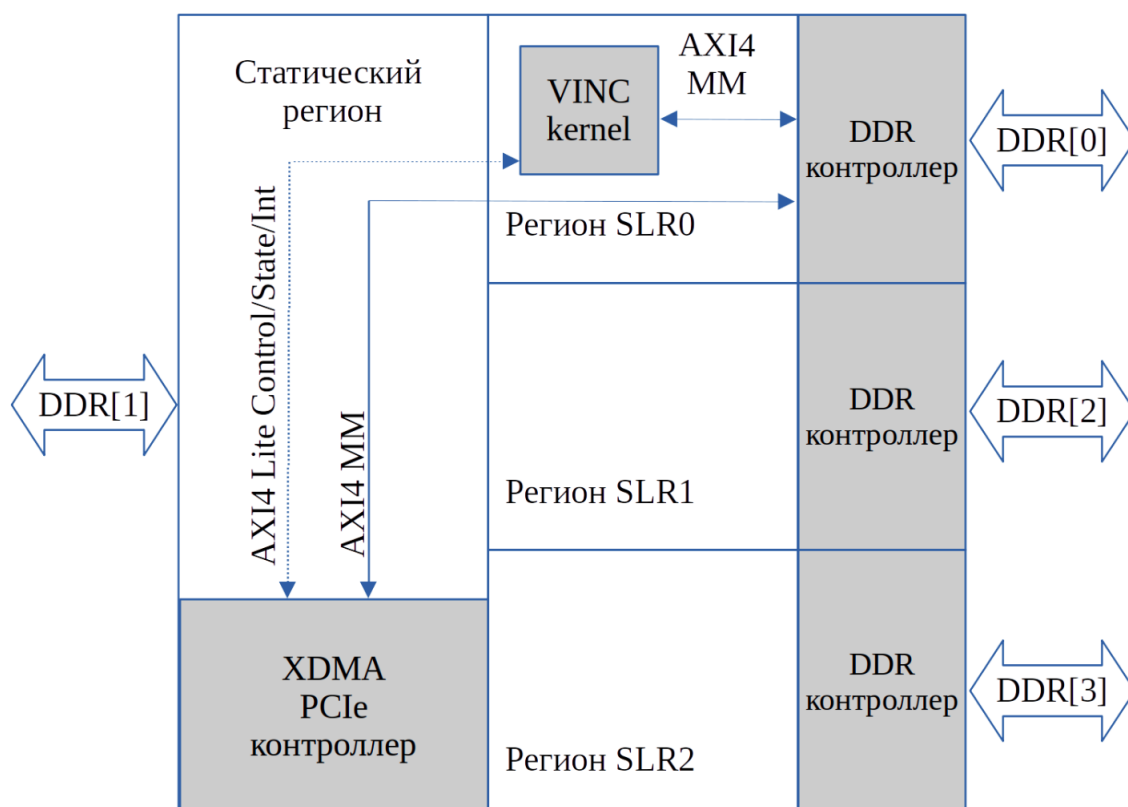
Рисунок 1.1 – Функциональная схема разрабатываемой аппаратной системы

2 Моделирование исходного проекта

На рисунках 2.1-2.3 представлены транзакции чтения данных вектора из DDR памяти и записи результата на шине AXI4 MM и инкремент данных в модуле.
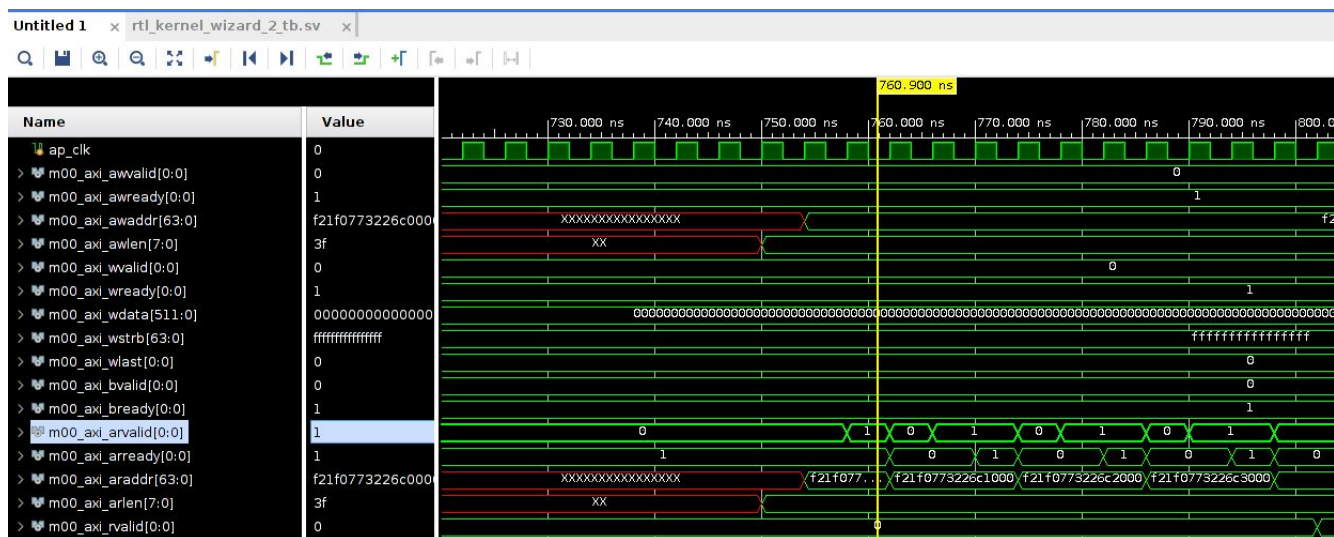

Рисунок 2.1 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

Рисунок 2.2 – Транзакция записи результата инкремента данных на шине AXI4 MM
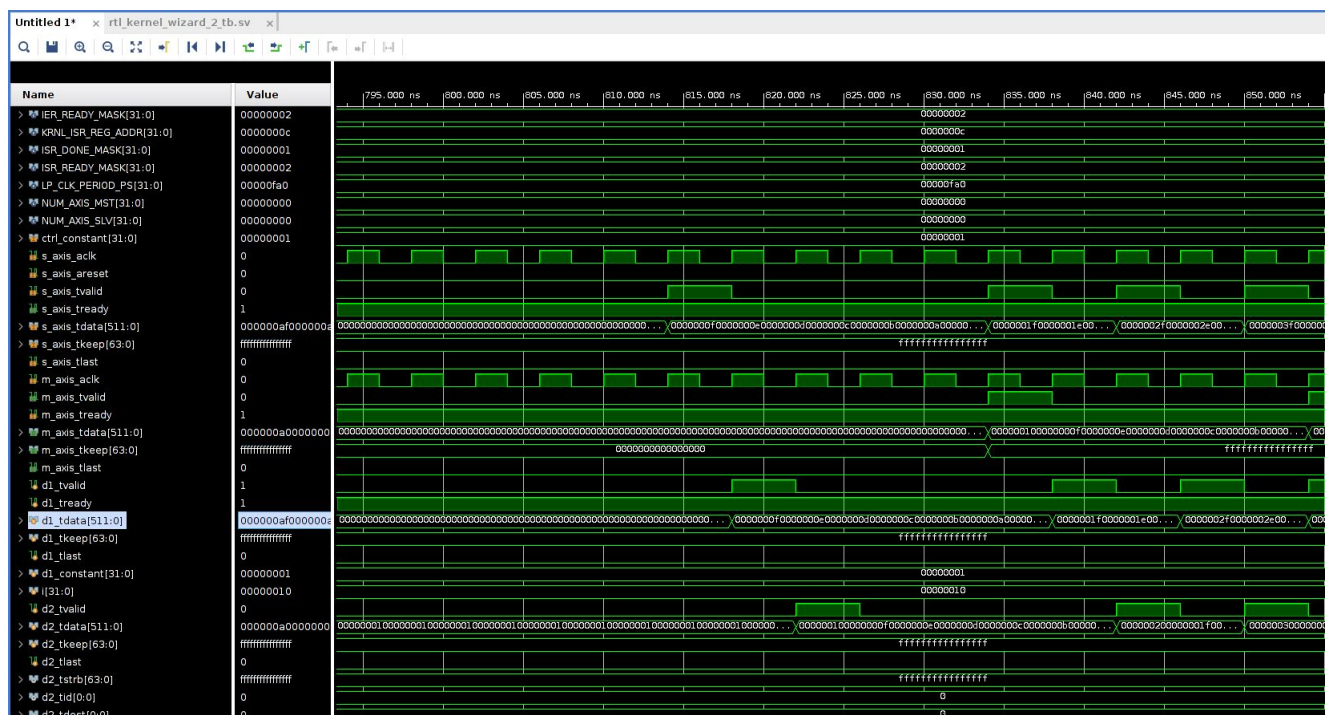
Рисунок 2.3 – Инкремент данных в модуле

3 Моделирование проекта, измененного по индивидуальному варианту

В соответствии с вариантом № 18 нужно было реализовать следующую функцию:

$$R[i] = \sim (A[i] + 2) \tag{3.1}$$

На рисунке 3.1 приведен измененный код, реализующий данную функцию. Для реализации была задана константа $C1 = 2$, которая показана на рисунке 3.2.


```
78    // Adder function
79    always @(posedge s_axis_aclk) begin
80      for (i = 0; i < LP_NUM_LOOPS; i = i + 1) begin
81        d2_tdata[i*C_ADDER_BIT_WIDTH+:C_ADDER_BIT_WIDTH] <= ~(d1_tdata[C_ADDER_BIT_WIDTH*i+:C_ADDER_BIT_WIDTH] + C1);
82      end
83    end
84
```

Рисунок 3.1 – Функция варианта № 18


```
10
11    module rtl_kernel_wizard_2_example_adder #(
12      parameter integer C_AXIS_TDATA_WIDTH = 512, // Data width of both input and output data
13      parameter integer C_ADDER_BIT_WIDTH  = 32,
14      parameter integer C_NUM_CLOCKS       = 1,
15      parameter integer C1 = 2
16    )
```

Рисунок 3.2 – Константа C1

На рисунках 3.3-3.5 представлены транзакции чтения данных вектора из DDR памяти и записи результата на шине AXI4 MM и инкремент данных в модуле.
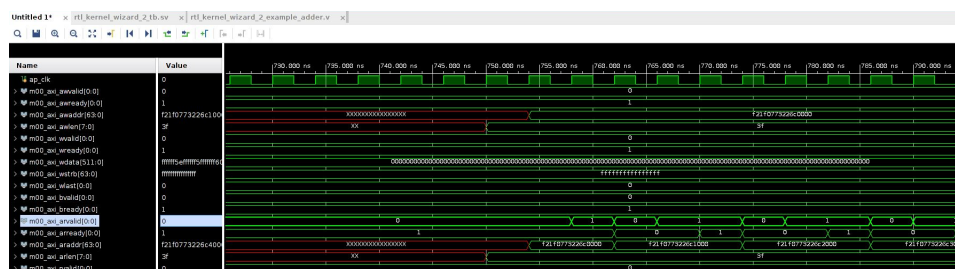
Рисунок 3.3 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти
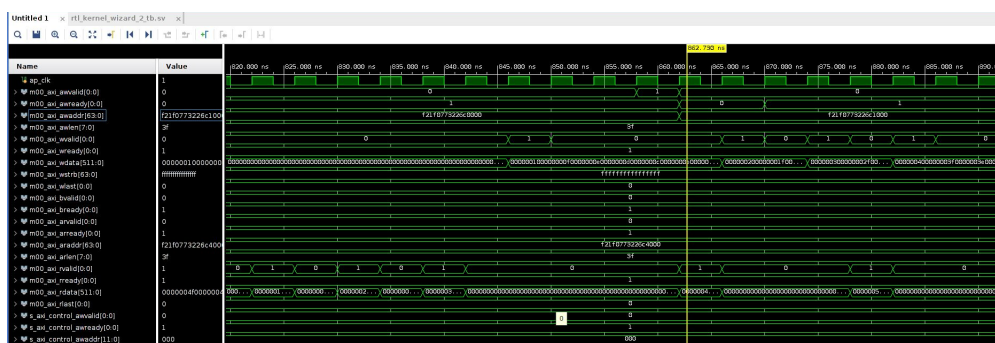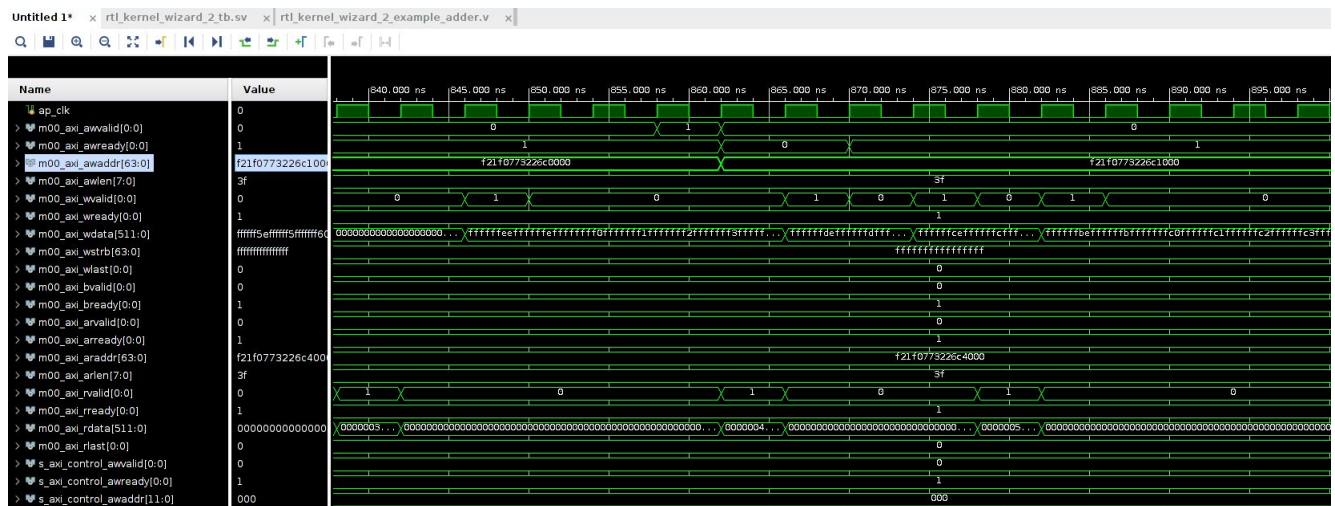
Рисунок 3.4 – Транзакция записи результата инкремента данных на шине AXI4 MM
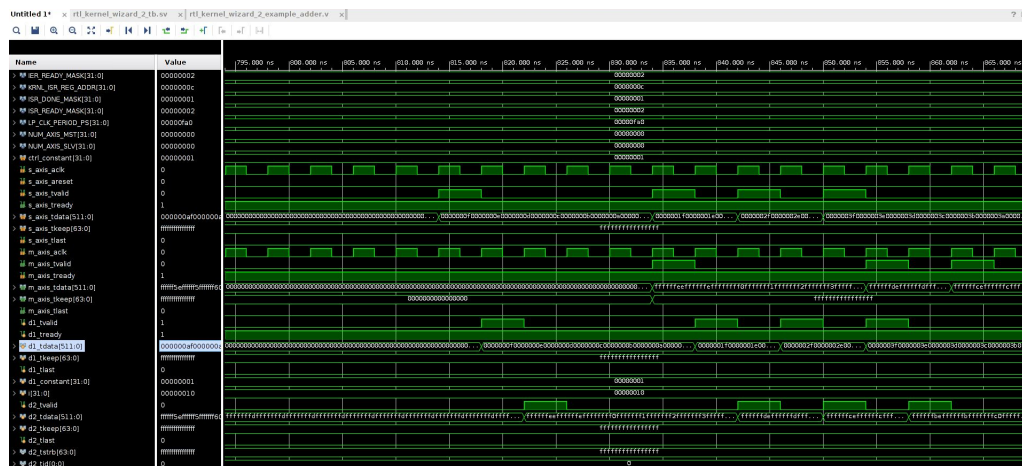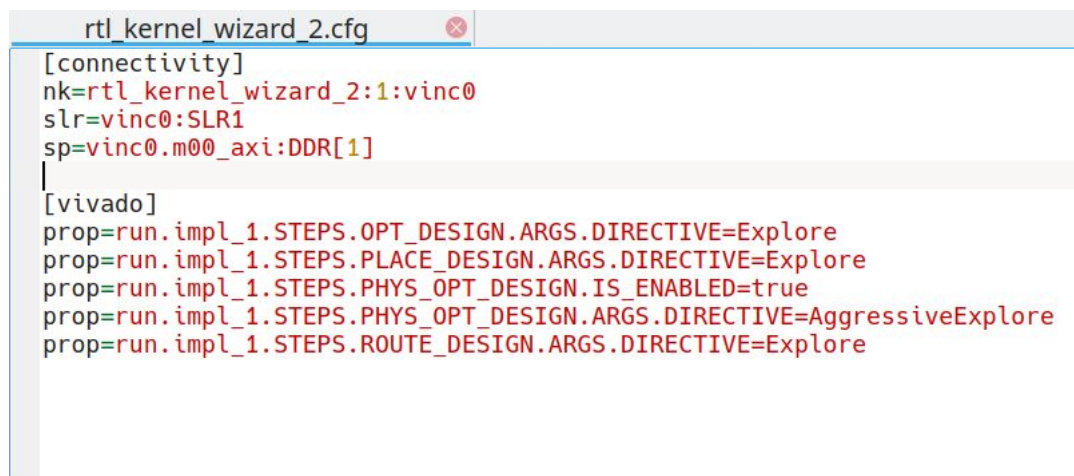
Рисунок 3.5 – Инкремент данных в модуле

4 Синтез проекта

Для синтеза проекта компилятором v++ используется конфигурационный файл *config.cfg*, который содержит основную информацию для работы компилятора:

- количество и условные имена экземпляров ядер;

- тактовая частота работы ядра;

- для каждого ядра: выбор области SLR (SLR[0..2]), выбор DDR (DDR[0..3]) памяти, выбор высокопроизводительной памяти PLRAM(PLRAM[0,1,2]).

- параметры синтеза и оптимизации проекта.

На рисунке 4.1 представлен конфигурационный файл для данного проекта, в котором в соответствии с вариантом № 18 задан динамический регион $SLR1$ и $DDR[1]$ память.
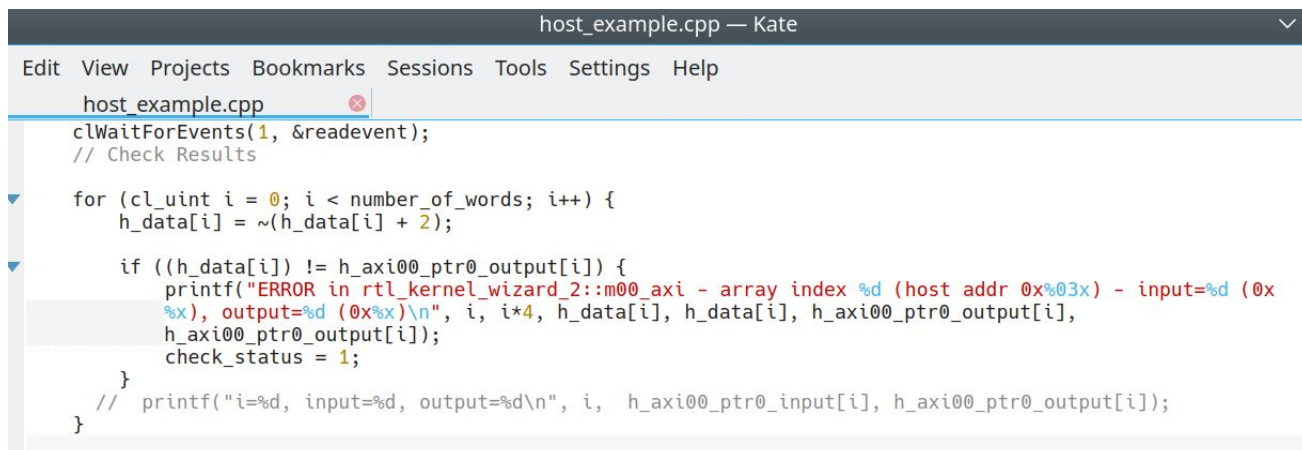

```
rtl_kernel_wizard_2.cfg                    ⊗
[connectivity]
nk=rtl_kernel_wizard_2:1:vinc0
slr=vinc0:SLR1
sp=vinc0.m00_axi:DDR[1]

[vivado]
prop=run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
prop=run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore
prop=run.impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
```

Рисунок 4.1 – Конфигурационный файл

Примечание: листинги файлов $v++*.log$ и $*.xclbin.info$ приведены в приложении.

5 Тестирование

Для проведения тестирования необходимо изменить файл *host_example.cpp* в соответствии с функцией варианта № 18, как показано на рисунке 5.1.
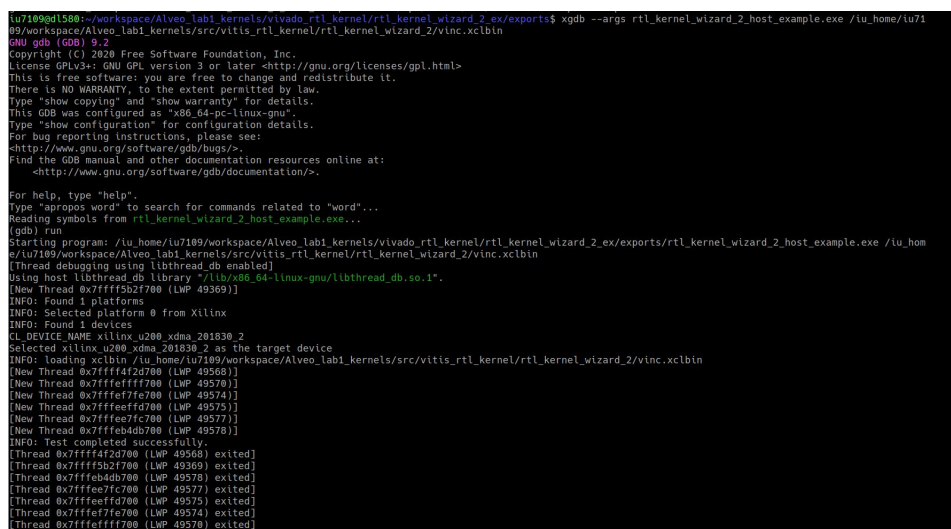
Рисунок 5.1 – Измененная проверка при тестировании

Результаты успешного тестирования приведены на рисунке 5.2.

Рисунок 5.2 – Результаты тестирования

6 Контрольные вопросы

1. Назовите преимущества и недостатки XDMA и QDMA платформ.

Преимущества QDMA:

- позволяет передавать поток данных непосредственно в логику FPGA параллельно с их обработкой;

- высокая производительность;

- низкая задержка между хостом и ядрами.

Недостатки XDMA:

- требует, чтобы данные сначала были полностью перемещены из памяти хоста в память FPGA (DDRx4 DIMM или PLRAM), прежде чем логика FPGA сможет начать обработку данных.

2. Назовите последовательность действий, необходимых для инициализации ускорителя со стороны хост-системы.

- хост получает все платформы;

- хост выбирает имя платформы Xilinx;

- хост получает Id устройства;

- хост получает информацию об устройстве;

- создается контекст для переменных;

- создается команда для ускорителя.

3. Какова процедура запуска задания на исполнения в ускорительном ядре VINC.

- пользовательское ПО сканирует и инициализирует доступные ускорительные платы, совместимые с XRT, определяет доступные ресурсы, создает программное окружение пользовательского аппаратного ядра ускорителя;

- ресурсы локальной памяти ускорительной платы отображаются в пространство памяти хост системы;

- инициализируются каналы DMA для прямого доступа к памяти ускорителя;

- данные, подлежащие обработке, копируются из ОЗУ в локальную память ускорителя посредством DMA;

- ядру ускорителя посредством записи управляющих регистров, передаются параметры вычислений;

- хост-система выдает сигнал Start ядрам ускорителей, после чего начинается обработка внутри платы Xilinx Alveo.

4. Опишите процесс линковки на основании содержимого файла v++ *.log.

- анализ профиля устройства. Анализ конфигурационного файла. Поиск необходимых интерфейсов;

- FPGA linking synthesized kernels to platform;

- оптимизация логики ПЛИС для минимизации задержки;

- размещение логики ПЛИС, то есть выбор конкретного места для определенного логического блока;

- маршрутизация ПЛИС;

- генерация битового потока ПЛИС, то есть генерация файла [*.xclbin].

Заключение

В ходе лабораторной работы были рассмотрены и изучены ускорители вычислений на примере Alveo фирмы Xilinx. Цель, поставленная перед началом работы, была достигнута. В ходе лабораторной работы были решены все необходимые задачи.

Приложение

Листинг 6.1 – Файл vinc.xclbin.info

```
1  ================================================================================
2  XRT Build Version: 2.8.743 (2020.2)
3         Build Date: 2020-11-16 00:19:11
4            Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
5  ================================================================================
6  xclbin Information
7  ------------------
8     Generated by:           v++ (2020.2) on 2020-11-18-05:13:29
9     Version:                2.8.743
10    Kernels:                rtl_kernel_wizard_2
11    Signature:
12    Content:                Bitstream
13    UUID (xclbin):          45133ca1-1850-4a11-9a55-3cb8df611181
14    Sections:               DEBUG_IP_LAYOUT, BITSTREAM, MEM_TOPOLOGY, IP_LAYOUT,
15                            CONNECTIVITY, CLOCK_FREQ_TOPOLOGY, BUILD_METADATA,
16                            EMBEDDED_METADATA, SYSTEM_METADATA,
17                            GROUP_CONNECTIVITY, GROUP_TOPOLOGY
18 ================================================================================
19 Hardware Platform (Shell) Information
20 -------------------------------------
21    Vendor:                 xilinx
22    Board:                  u200
23    Name:                   xdma
24    Version:                201830.2
25    Generated Version:      Vivado 2018.3 (SW Build: 2568420)
26    Created:                Tue Jun 25 06:55:20 2019
27    FPGA Device:            xcu200
28    Board Vendor:           xilinx.com
29    Board Name:             xilinx.com:au200:1.0
30    Board Part:             xilinx.com:au200:part0:1.0
31    Platform VBNV:          xilinx_u200_xdma_201830_2
32    Static UUID:            c102e7af-b2b8-4381-992b-9a00cc3863eb
33    Feature ROM TimeStamp:  1561465320
34
35 Clocks
36 ------
37    Name:        DATA_CLK
38    Index:       0
39    Type:        DATA
40    Frequency:   300 MHz
41
42    Name:        KERNEL_CLK
43    Index:       1
44    Type:        KERNEL
45    Frequency:   500 MHz
46
47 Memory Configuration
48 --------------------
49    Name:           bank0
50    Index:          0
51    Type:           MEM_DDR4
52    Base Address:   0x4000000000
53    Address Size:   0x400000000
54    Bank Used:      No
55
56    Name:           bank1
57    Index:          1
58    Type:           MEM_DDR4
59    Base Address:   0x5000000000
60    Address Size:   0x400000000
61    Bank Used:      Yes
62
63    Name:           bank2
64    Index:          2
65    Type:           MEM_DDR4
66    Base Address:   0x6000000000
67    Address Size:   0x400000000
68    Bank Used:      No
69
70    Name:           bank3
71    Index:          3
72    Type:           MEM_DDR4
73    Base Address:   0x7000000000
74    Address Size:   0x400000000
75    Bank Used:      No
```

```
  76
  77     Name:              PLRAM[0]
  78     Index:             4
  79     Type:              MEM_DRAM
  80     Base Address: 0x3000000000
  81     Address Size: 0x20000
  82     Bank Used:     No
  83
  84     Name:              PLRAM[1]
  85     Index:             5
  86     Type:              MEM_DRAM
  87     Base Address: 0x3000200000
  88     Address Size: 0x20000
  89     Bank Used:     No
  90
  91     Name:              PLRAM[2]
  92     Index:             6
  93     Type:              MEM_DRAM
  94     Base Address: 0x3000400000
  95     Address Size: 0x20000
  96     Bank Used:     No
  97 ================================================================================
  98 Kernel: rtl_kernel_wizard_2
  99
 100 Definition
 101 ----------
 102     Signature: rtl_kernel_wizard_2 (uint num, int* axi00_ptr0)
 103
 104 Ports
 105 -----
 106     Port:              s_axi_control
 107     Mode:              slave
 108     Range (bytes): 0x1000
 109     Data Width:    32 bits
 110     Port Type:     addressable
 111
 112     Port:              m00_axi
 113     Mode:              master
 114     Range (bytes): 0xFFFFFFFFFFFFFFFF
 115     Data Width:    512 bits
 116     Port Type:     addressable
 117
 118 ----------------------------
 119 Instance:          vinc0
 120     Base Address: 0x1800000
 121
 122     Argument:          num
 123     Register Offset:   0x010
 124     Port:              s_axi_control
 125     Memory:            <not applicable>
 126
 127     Argument:          axi00_ptr0
 128     Register Offset:   0x018
 129     Port:              m00_axi
 130     Memory:            bank1 (MEM_DDR4)
 131 ================================================================================
 132 Generated By
 133 ------------
 134     Command:           v++
 135     Version:           2020.2 - 2020-11-18-05:13:29 (SW BUILD: 0)
 136     Command Line:  v++ --config rtl_kernel_wizard_2.cfg --connectivity.nk rtl_kernel_wizard_2:1:vinc0 --
                connectivity.slr vinc0:SLR1 --connectivity.sp vinc0.m00_axi:DDR[1] --input_files
                rtl_kernel_wizard_2.xo --link --optimize 0 --output vinc.xclbin --platform /opt/xilinx/platforms/
                xilinx_u200_xdma_201830_2/xilinx_u200_xdma_201830_2.xpfm --report_level 0 --target hw --vivado.prop
                 run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore --vivado.prop run.impl_1.STEPS.PLACE_DESIGN.
                ARGS.DIRECTIVE=Explore --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true --vivado.prop
                 run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore --vivado.prop run.impl_1.STEPS.
                ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
 137     Options:           --config rtl_kernel_wizard_2.cfg
 138                        --connectivity.nk rtl_kernel_wizard_2:1:vinc0
 139                        --connectivity.slr vinc0:SLR1
 140                        --connectivity.sp vinc0.m00_axi:DDR[1]
 141                        --input_files rtl_kernel_wizard_2.xo
 142                        --link
 143                        --optimize 0
 144                        --output vinc.xclbin
 145                        --platform /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/xilinx_u200_xdma_201830_2.
                             xpfm
 146                        --report_level 0
 147                        --target hw
 148                        --vivado.prop run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
 149                        --vivado.prop run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
```

```
150         −−vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
151         −−vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore
152         −−vivado.prop run.impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
153  ================================================================================
154  User Added Key Value Pairs
155  −−−−−−−−−−−−−−−−−−−−−−−−−−−−
156     <empty>
157  ================================================================================
```

Листинг 6.2 – Файл v++_vinc.log

```
 1  INFO: [v++ 60-1306] Additional information associated with this v++ link can be found at:
 2      Reports: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/
            reports/link
 3      Log files: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/
            logs/link
 4  INFO: [v++ 60-1548] Creating build summary session with primary output /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/vinc.xclbin.link_summary, at Fri Dec 24
        17:39:01 2021
 5  INFO: [v++ 60-1316] Initiating connection to rulecheck server, at Fri Dec 24 17:39:02 2021
 6  INFO: [v++ 60-1315] Creating rulecheck session with output '/iu_home/iu7109/workspace/Alveo_lab1_kernels/
        src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/reports/link/v++_link_vinc_guidance.html', at Fri Dec 24
        17:39:15 2021
 7  INFO: [v++ 60-895]   Target platform: /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/
        xilinx_u200_xdma_201830_2.xpfm
 8  INFO: [v++ 60-1578]    This platform contains Device Support Archive '/opt/xilinx/platforms/
        xilinx_u200_xdma_201830_2/hw/xilinx_u200_xdma_201830_2.dsa'
 9  INFO: [v++ 74-74] Compiler Version string: 2020.2
10  INFO: [v++ 60-1302] Platform 'xilinx_u200_xdma_201830_2.xpfm' has been explicitly enabled for this release
        .
11  INFO: [v++ 60-629] Linking for hardware target
12  INFO: [v++ 60-423]    Target device: xilinx_u200_xdma_201830_2
13  INFO: [v++ 60-1332] Run 'run_link' status: Not started
14  INFO: [v++ 60-1443] [17:39:45] Run run_link: Step system_link: Started
15  INFO: [v++ 60-1453] Command Line: system_link --xo /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/rtl_kernel_wizard_2.xo --config /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/syslinkConfig.ini --xpfm /opt/
        xilinx/platforms/xilinx_u200_xdma_201830_2/xilinx_u200_xdma_201830_2.xpfm --target hw --output_dir /
        iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int --
        temp_dir /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link
        /sys_link
16  INFO: [v++ 60-1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/run_link
17  INFO: [SYSTEM_LINK 60-1316] Initiating connection to rulecheck server, at Fri Dec 24 17:39:53 2021
18  INFO: [SYSTEM_LINK 82-70] Extracting xo v3 file /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/rtl_kernel_wizard_2.xo
19  INFO: [SYSTEM_LINK 82-53] Creating IP database /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
20  INFO: [SYSTEM_LINK 82-38] [17:39:54] build_xd_ip_db started: /data/Xilinx/Vitis/2020.2/bin/build_xd_ip_db
        -ip_search 0  -sds-pf /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/sys_link/xilinx_u200_xdma_201830_2.hpfm -clkid 0 -ip /iu_home/iu7109/
        workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/iprepo/
        mycompany_com_kernel_rtl_kernel_wizard_2_1_0,rtl_kernel_wizard_2 -o /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
21  INFO: [SYSTEM_LINK 82-37] [17:40:11] build_xd_ip_db finished successfully
22  Time (s): cpu = 00:00:18 ; elapsed = 00:00:17 . Memory (MB): peak = 1693.492 ; gain = 0.000 ; free
        physical = 329906 ; free virtual = 418832
23  INFO: [SYSTEM_LINK 82-51] Create system connectivity graph
24  INFO: [SYSTEM_LINK 82-102] Applying explicit connections to the system connectivity graph: /iu_home/iu7109
        /workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/cfgraph/
        cfgen_cfgraph.xml
25  INFO: [SYSTEM_LINK 82-38] [17:40:11] cfgen started: /data/Xilinx/Vitis/2020.2/bin/cfgen  -nk
        rtl_kernel_wizard_2:1:vinc0 -slr vinc0:SLR1 -sp vinc0.m00_axi:DDR[1] -dmclkid 0 -r /iu_home/iu7109/
        workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.cdb/
        xd_ip_db.xml -o /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/
        _x/link/sys_link/cfgraph/cfgen_cfgraph.xml
26  INFO: [CFGEN 83-0] Kernel Specs:
27  INFO: [CFGEN 83-0]   kernel: rtl_kernel_wizard_2, num: 1  {vinc0}
28  INFO: [CFGEN 83-0] Port Specs:
29  INFO: [CFGEN 83-0]   kernel: vinc0, k_port: m00_axi, sptag: DDR[1]
30  INFO: [CFGEN 83-0] SLR Specs:
31  INFO: [CFGEN 83-0]   instance: vinc0, SLR: SLR1
32  INFO: [CFGEN 83-2228] Creating mapping for argument vinc0.axi00_ptr0 to DDR[1] for directive vinc0.m00_axi
        :DDR[1]
33  INFO: [SYSTEM_LINK 82-37] [17:40:24] cfgen finished successfully
34  Time (s): cpu = 00:00:13 ; elapsed = 00:00:13 . Memory (MB): peak = 1693.492 ; gain = 0.000 ; free
        physical = 329733 ; free virtual = 418675
35  INFO: [SYSTEM_LINK 82-52] Create top-level block diagram
36  INFO: [SYSTEM_LINK 82-38] [17:40:24] cf2bd started: /data/Xilinx/Vitis/2020.2/bin/cf2bd  --linux --
        trace_buffer 1024 --input_file /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml --ip_db /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
        --cf_name dr --working_dir /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.xsd --temp_dir /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link --output_dir /iu_home/
        iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int --target_bd
        pfm_dynamic.bd
37  INFO: [CF2BD 82-31] Launching cf2xd: cf2xd -linux -trace-buffer 1024 -i /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml
        -r /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
        sys_link/_sysl/.cdb/xd_ip_db.xml -o dr.xml
38  INFO: [CF2BD 82-28] cf2xd finished successfully
```

```
39  INFO: [CF2BD 82−31] Launching cf_xsd: cf_xsd −disable−address−gen −bd pfm_dynamic.bd −dn dr −dp /iu_home/
       iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/sys_link/_sysl/.
       xsd
40  INFO: [CF2BD 82−28] cf_xsd finished successfully
41  INFO: [SYSTEM_LINK 82−37] [17:40:32] cf2bd finished successfully
42  Time (s): cpu = 00:00:07 ; elapsed = 00:00:08 . Memory (MB): peak = 1693.492 ; gain = 0.000 ; free
       physical = 329691 ; free virtual = 418638
43  INFO: [v++ 60−1441] [17:40:32] Run run_link: Step system_link: Completed
44  Time (s): cpu = 00:00:47 ; elapsed = 00:00:47 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
       physical = 329782 ; free virtual = 418725
45  INFO: [v++ 60−1443] [17:40:32] Run run_link: Step cf2sw: Started
46  INFO: [v++ 60−1453] Command Line: cf2sw −sdsl /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
       vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/sdsl.dat −rtd /iu_home/iu7109/workspace/
       Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/cf2sw.rtd −nofilter /iu_home/
       iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/cf2sw_full.
       rtd −xclbin /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/
       link/int/xclbin_orig.xml −o /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
       rtl_kernel_wizard_2/_x/link/int/xclbin_orig.1.xml
47  INFO: [v++ 60−1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
       rtl_kernel_wizard_2/_x/link/run_link
48  INFO: [v++ 60−1441] [17:40:41] Run run_link: Step cf2sw: Completed
49  Time (s): cpu = 00:00:08 ; elapsed = 00:00:08 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
       physical = 329840 ; free virtual = 418782
50  INFO: [v++ 60−1443] [17:40:41] Run run_link: Step rtd2_system_diagram: Started
51  INFO: [v++ 60−1453] Command Line: rtd2SystemDiagram
52  INFO: [v++ 60−1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
       rtl_kernel_wizard_2/_x/link/run_link
53  INFO: [v++ 60−1441] [17:40:45] Run run_link: Step rtd2_system_diagram: Completed
54  Time (s): cpu = 00:00:00 ; elapsed = 00:00:05 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
       physical = 329245 ; free virtual = 418187
55  INFO: [v++ 60−1443] [17:40:45] Run run_link: Step vpl: Started
56  INFO: [v++ 60−1453] Command Line: vpl −t hw −f /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/
       xilinx_u200_xdma_201830_2.xpfm −−remote_ip_cache /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
       vitis_rtl_kernel/rtl_kernel_wizard_2/.ipcache −−output_dir /iu_home/iu7109/workspace/
       Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int −−log_dir /iu_home/iu7109/
       workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/logs/link −−report_dir /
       iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/reports/link
       −−config /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link
       /int/vplConfig.ini −k /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
       rtl_kernel_wizard_2/_x/link/int/kernel_info.dat −−webtalk_flag Vitis −−temp_dir /iu_home/iu7109/
       workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link −−no−info −−iprepo /
       iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/xo/
       ip_repo/mycompany_com_kernel_rtl_kernel_wizard_2_1_0 −−messageDb /iu_home/iu7109/workspace/
       Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/run_link/vpl.pb /iu_home/iu7109/
       workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/dr.bd.tcl
57  INFO: [v++ 60−1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
       rtl_kernel_wizard_2/_x/link/run_link
58
59  ****** vpl v2020.2 (64−bit)
60    **** SW Build (by xbuild) on 2020−11−18−05:13:29
61      ** Copyright 1986−2020 Xilinx, Inc. All Rights Reserved.
62
63  INFO: [VPL 60−839] Read in kernel information from file '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
       vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/kernel_info.dat'.
64  INFO: [VPL 74−74] Compiler Version string: 2020.2
65  INFO: [VPL 60−423]    Target device: xilinx_u200_xdma_201830_2
66  INFO: [VPL 60−1032] Extracting hardware platform to /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
       vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/vivado/vpl/.local/hw_platform
67  WARNING: /data/Xilinx/Vitis/2020.2/tps/lnx64/jre9.0.4 does not exist.
68  [17:44:00] Run vpl: Step create_project: Started
69  Creating Vivado project.
70  [17:44:14] Run vpl: Step create_project: Completed
71  [17:44:14] Run vpl: Step create_bd: Started
72  [17:45:49] Run vpl: Step create_bd: RUNNING...
73  [17:47:23] Run vpl: Step create_bd: RUNNING...
74  [17:48:50] Run vpl: Step create_bd: RUNNING...
75  [17:49:41] Run vpl: Step create_bd: Completed
76  [17:49:41] Run vpl: Step update_bd: Started
77  [17:49:43] Run vpl: Step update_bd: Completed
78  [17:49:43] Run vpl: Step generate_target: Started
79  [17:51:11] Run vpl: Step generate_target: RUNNING...
80  [17:52:15] Run vpl: Step generate_target: Completed
81  [17:52:15] Run vpl: Step config_hw_runs: Started
82  [17:53:00] Run vpl: Step config_hw_runs: Completed
83  [17:53:00] Run vpl: Step synth: Started
84  [17:54:14] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
85  [17:54:48] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
86  [17:55:23] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
87  [17:55:57] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
88  [17:56:32] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
89  [17:57:07] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
90  [17:57:43] Block−level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
```

```
 91  [17:58:18]  Block-level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
 92  [17:58:54]  Block-level synthesis in progress, 0 of 61 jobs complete, 8 jobs running.
 93  [17:59:28]  Block-level synthesis in progress, 6 of 61 jobs complete, 2 jobs running.
 94  [18:00:03]  Block-level synthesis in progress, 6 of 61 jobs complete, 5 jobs running.
 95  [18:00:37]  Block-level synthesis in progress, 7 of 61 jobs complete, 7 jobs running.
 96  [18:01:12]  Block-level synthesis in progress, 10 of 61 jobs complete, 5 jobs running.
 97  [18:01:47]  Block-level synthesis in progress, 10 of 61 jobs complete, 7 jobs running.
 98  [18:02:22]  Block-level synthesis in progress, 11 of 61 jobs complete, 7 jobs running.
 99  [18:02:57]  Block-level synthesis in progress, 11 of 61 jobs complete, 8 jobs running.
100  [18:03:32]  Block-level synthesis in progress, 11 of 61 jobs complete, 8 jobs running.
101  [18:04:06]  Block-level synthesis in progress, 11 of 61 jobs complete, 8 jobs running.
102  [18:04:42]  Block-level synthesis in progress, 12 of 61 jobs complete, 7 jobs running.
103  [18:05:16]  Block-level synthesis in progress, 14 of 61 jobs complete, 5 jobs running.
104  [18:05:52]  Block-level synthesis in progress, 14 of 61 jobs complete, 6 jobs running.
105  [18:06:28]  Block-level synthesis in progress, 16 of 61 jobs complete, 6 jobs running.
106  [18:07:04]  Block-level synthesis in progress, 18 of 61 jobs complete, 4 jobs running.
107  [18:07:38]  Block-level synthesis in progress, 19 of 61 jobs complete, 6 jobs running.
108  [18:08:13]  Block-level synthesis in progress, 19 of 61 jobs complete, 8 jobs running.
109  [18:08:47]  Block-level synthesis in progress, 20 of 61 jobs complete, 7 jobs running.
110  [18:09:22]  Block-level synthesis in progress, 20 of 61 jobs complete, 7 jobs running.
111  [18:09:57]  Block-level synthesis in progress, 20 of 61 jobs complete, 8 jobs running.
112  [18:10:32]  Block-level synthesis in progress, 21 of 61 jobs complete, 7 jobs running.
113  [18:11:08]  Block-level synthesis in progress, 23 of 61 jobs complete, 5 jobs running.
114  [18:11:45]  Block-level synthesis in progress, 23 of 61 jobs complete, 6 jobs running.
115  [18:12:20]  Block-level synthesis in progress, 25 of 61 jobs complete, 6 jobs running.
116  [18:12:57]  Block-level synthesis in progress, 29 of 61 jobs complete, 2 jobs running.
117  [18:13:32]  Block-level synthesis in progress, 29 of 61 jobs complete, 8 jobs running.
118  [18:14:08]  Block-level synthesis in progress, 32 of 61 jobs complete, 5 jobs running.
119  [18:14:44]  Block-level synthesis in progress, 33 of 61 jobs complete, 6 jobs running.
120  [18:15:23]  Block-level synthesis in progress, 33 of 61 jobs complete, 7 jobs running.
121  [18:15:59]  Block-level synthesis in progress, 33 of 61 jobs complete, 8 jobs running.
122  [18:16:37]  Block-level synthesis in progress, 33 of 61 jobs complete, 8 jobs running.
123  [18:17:11]  Block-level synthesis in progress, 33 of 61 jobs complete, 8 jobs running.
124  [18:17:50]  Block-level synthesis in progress, 33 of 61 jobs complete, 8 jobs running.
125  [18:18:27]  Block-level synthesis in progress, 33 of 61 jobs complete, 8 jobs running.
126  [18:19:03]  Block-level synthesis in progress, 34 of 61 jobs complete, 7 jobs running.
127  [18:19:38]  Block-level synthesis in progress, 37 of 61 jobs complete, 5 jobs running.
128  [18:20:15]  Block-level synthesis in progress, 38 of 61 jobs complete, 6 jobs running.
129  [18:20:49]  Block-level synthesis in progress, 39 of 61 jobs complete, 6 jobs running.
130  [18:21:26]  Block-level synthesis in progress, 39 of 61 jobs complete, 8 jobs running.
131  [18:22:01]  Block-level synthesis in progress, 41 of 61 jobs complete, 6 jobs running.
132  [18:22:40]  Block-level synthesis in progress, 41 of 61 jobs complete, 8 jobs running.
133  [18:23:16]  Block-level synthesis in progress, 41 of 61 jobs complete, 8 jobs running.
134  [18:23:53]  Block-level synthesis in progress, 41 of 61 jobs complete, 8 jobs running.
135  [18:24:29]  Block-level synthesis in progress, 41 of 61 jobs complete, 8 jobs running.
136  [18:25:05]  Block-level synthesis in progress, 42 of 61 jobs complete, 7 jobs running.
137  [18:25:43]  Block-level synthesis in progress, 44 of 61 jobs complete, 5 jobs running.
138  [18:26:19]  Block-level synthesis in progress, 46 of 61 jobs complete, 6 jobs running.
139  [18:26:55]  Block-level synthesis in progress, 48 of 61 jobs complete, 5 jobs running.
140  [18:27:34]  Block-level synthesis in progress, 48 of 61 jobs complete, 7 jobs running.
141  [18:28:09]  Block-level synthesis in progress, 52 of 61 jobs complete, 4 jobs running.
142  [18:28:46]  Block-level synthesis in progress, 52 of 61 jobs complete, 6 jobs running.
143  [18:29:21]  Block-level synthesis in progress, 52 of 61 jobs complete, 6 jobs running.
144  [18:29:59]  Block-level synthesis in progress, 52 of 61 jobs complete, 6 jobs running.
145  [18:30:35]  Block-level synthesis in progress, 52 of 61 jobs complete, 6 jobs running.
146  [18:31:06]  Block-level synthesis in progress, 52 of 61 jobs complete, 6 jobs running.
147  [18:31:49]  Block-level synthesis in progress, 53 of 61 jobs complete, 5 jobs running.
148  [18:32:29]  Block-level synthesis in progress, 55 of 61 jobs complete, 3 jobs running.
149  [18:33:09]  Block-level synthesis in progress, 55 of 61 jobs complete, 3 jobs running.
150  [18:33:45]  Block-level synthesis in progress, 57 of 61 jobs complete, 1 job running.
151  [18:34:23]  Block-level synthesis in progress, 57 of 61 jobs complete, 3 jobs running.
152  [18:34:58]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
153  [18:35:37]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
154  [18:36:13]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
155  [18:36:51]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
156  [18:37:27]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
157  [18:38:06]  Block-level synthesis in progress, 59 of 61 jobs complete, 1 job running.
158  [18:38:44]  Block-level synthesis in progress, 60 of 61 jobs complete, 0 jobs running.
159  [18:39:22]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
160  [18:39:57]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
161  [18:40:36]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
162  [18:41:13]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
163  [18:41:52]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
164  [18:42:32]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
165  [18:43:10]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
166  [18:43:45]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
167  [18:44:23]  Block-level synthesis in progress, 60 of 61 jobs complete, 1 job running.
168  [18:45:00]  Block-level synthesis in progress, 61 of 61 jobs complete, 0 jobs running.
169  [18:45:38]  Top-level synthesis in progress.
170  [18:46:17]  Top-level synthesis in progress.
171  [18:46:56]  Top-level synthesis in progress.
172  [18:47:32]  Top-level synthesis in progress.
```

```
173  [18:48:10] Top-level synthesis in progress.
174  [18:48:50] Top-level synthesis in progress.
175  [18:49:28] Top-level synthesis in progress.
176  [18:50:04] Top-level synthesis in progress.
177  [18:50:45] Top-level synthesis in progress.
178  [18:51:23] Run vpl: Step synth: Completed
179  [18:51:23] Run vpl: Step impl: Started
180  [19:21:46] Finished 2nd of 6 tasks (FPGA linking synthesized kernels to platform). Elapsed time: 01h 40m
          55s
181
182  [19:21:46] Starting logic optimization..
183  [19:27:02] Phase 1 Retarget
184  [19:28:19] Phase 2 Constant propagation
185  [19:28:57] Phase 3 Sweep
186  [19:31:27] Phase 4 BUFG optimization
187  [19:32:04] Phase 5 Shift Register Optimization
188  [19:32:41] Phase 6 Post Processing Netlist
189  [19:40:53] Finished 3rd of 6 tasks (FPGA logic optimization). Elapsed time: 00h 19m 07s
190
191  [19:40:53] Starting logic placement..
192  [19:42:52] Phase 1 Placer Initialization
193  [19:42:52] Phase 1.1 Placer Initialization Netlist Sorting
194  [19:50:41] Phase 1.2 IO Placement/ Clock Placement/ Build Placer Device
195  [19:55:19] Phase 1.3 Build Placer Netlist Model
196  [20:01:51] Phase 1.4 Constrain Clocks/Macros
197  [20:02:27] Phase 2 Global Placement
198  [20:02:27] Phase 2.1 Floorplanning
199  [20:03:45] Phase 2.1.1 Partition Driven Placement
200  [20:03:45] Phase 2.1.1.1 PBP: Partition Driven Placement
201  [20:04:26] Phase 2.1.1.2 PBP: Clock Region Placement
202  [20:07:05] Phase 2.1.1.3 PBP: Compute Congestion
203  [20:07:05] Phase 2.1.1.4 PBP: UpdateTiming
204  [20:08:25] Phase 2.1.1.5 PBP: Add part constraints
205  [20:09:06] Phase 2.2 Update Timing before SLR Path Opt
206  [20:09:06] Phase 2.3 Global Placement Core
207  [20:23:06] Phase 2.3.1 Physical Synthesis In Placer
208  [20:29:56] Phase 3 Detail Placement
209  [20:29:56] Phase 3.1 Commit Multi Column Macros
210  [20:29:56] Phase 3.2 Commit Most Macros & LUTRAMs
211  [20:35:01] Phase 3.3 Small Shape DP
212  [20:35:01] Phase 3.3.1 Small Shape Clustering
213  [20:36:07] Phase 3.3.2 Flow Legalize Slice Clusters
214  [20:36:07] Phase 3.3.3 Slice Area Swap
215  [20:38:18] Phase 3.4 Place Remaining
216  [20:39:03] Phase 3.5 Re-assign LUT pins
217  [20:39:50] Phase 3.6 Pipeline Register Optimization
218  [20:39:50] Phase 3.7 Fast Optimization
219  [20:41:51] Phase 4 Post Placement Optimization and Clean-Up
220  [20:41:51] Phase 4.1 Post Commit Optimization
221  [20:46:41] Phase 4.1.1 Post Placement Optimization
222  [20:47:20] Phase 4.1.1.1 BUFG Insertion
223  [20:47:20] Phase 1 Physical Synthesis Initialization
224  [20:48:46] Phase 4.1.1.2 BUFG Replication
225  [20:50:58] Phase 4.1.1.3 Replication
226  [20:53:47] Phase 4.2 Post Placement Cleanup
227  [20:54:31] Phase 4.3 Placer Reporting
228  [20:54:31] Phase 4.3.1 Print Estimated Congestion
229  [20:55:19] Phase 4.4 Final Placement Cleanup
230  [21:30:19] Finished 4th of 6 tasks (FPGA logic placement). Elapsed time: 01h 49m 25s
231
232  [21:30:19] Starting logic routing..
233  [21:33:38] Phase 1 Build RT Design
234  [21:38:58] Phase 2 Router Initialization
235  [21:38:58] Phase 2.1 Fix Topology Constraints
236  [21:39:37] Phase 2.2 Pre Route Cleanup
237  [21:39:37] Phase 2.3 Global Clock Net Routing
238  [21:41:43] Phase 2.4 Update Timing
239  [21:48:32] Phase 2.5 Update Timing for Bus Skew
240  [21:48:32] Phase 2.5.1 Update Timing
241  [21:51:16] Phase 3 Initial Routing
242  [21:51:16] Phase 3.1 Global Routing
243  [21:53:54] Phase 4 Rip-up And Reroute
244  [21:53:54] Phase 4.1 Global Iteration 0
245  [22:02:59] Phase 4.2 Global Iteration 1
246  [22:06:07] Phase 4.3 Global Iteration 2
247  [22:08:04] Phase 4.4 Global Iteration 3
248  [22:10:39] Phase 4.5 Global Iteration 4
249  [22:11:17] Phase 5 Delay and Skew Optimization
250  [22:11:17] Phase 5.1 Delay CleanUp
251  [22:11:57] Phase 5.2 Clock Skew Optimization
252  [22:11:57] Phase 6 Post Hold Fix
253  [22:11:57] Phase 6.1 Hold Fix Iter
```

```
254 [22:11:57] Phase 6.1.1 Update Timing
255 [22:15:59] Phase 7 Route finalize
256 [22:16:38] Phase 8 Verifying routed nets
257 [22:17:19] Phase 9 Depositing Routes
258 [22:19:21] Phase 10 Route finalize
259 [22:19:21] Phase 11 Post Router Timing
260 [22:22:42] Finished 5th of 6 tasks (FPGA routing). Elapsed time: 00h 52m 22s
261
262 [22:22:42] Starting bitstream generation..
263 [23:39:58] Creating bitmap...
264 [00:17:33] Writing bitstream ./pfm_top_i_dynamic_region_my_rm_partial.bit...
265 [00:17:33] Finished 6th of 6 tasks (FPGA bitstream generation). Elapsed time: 01h 54m 51s
266 [00:19:12] Run vpl: Step impl: Completed
267 [00:19:45] Run vpl: FINISHED. Run Status: impl Complete!
268 INFO: [v++ 60-1441] [00:20:34] Run run_link: Step vpl: Completed
269 Time (s): cpu = 00:13:50 ; elapsed = 06:39:49 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
        physical = 277245 ; free virtual = 390908
270 INFO: [v++ 60-1443] [00:20:34] Run run_link: Step rtdgen: Started
271 INFO: [v++ 60-1453] Command Line: rtdgen
272 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/run_link
273 INFO: [v++ 60-991] clock name 'clkwiz_kernel_clk_out1' (clock ID '0') is being mapped to clock name '
        DATA_CLK' in the xclbin
274 INFO: [v++ 60-991] clock name 'clkwiz_kernel2_clk_out1' (clock ID '1') is being mapped to clock name '
        KERNEL_CLK' in the xclbin
275 INFO: [v++ 60-1230] The compiler selected the following frequencies for the runtime controllable kernel
        clock(s) and scalable system clock(s): Kernel (DATA) clock: clkwiz_kernel_clk_out1 = 300, Kernel (
        KERNEL) clock: clkwiz_kernel2_clk_out1 = 500
276 INFO: [v++ 60-1453] Command Line: cf2sw -a /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/address_map.xml -sdsl /iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/sdsl.dat -xclbin /iu_home/
        iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/xclbin_orig.
        xml -rtd /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link
        /int/vinc.rtd -o /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2
        /_x/link/int/vinc.xml
277 INFO: [v++ 60-1652] Cf2sw returned exit code: 0
278 INFO: [v++ 60-2311] HPISystemDiagram::writeSystemDiagramAfterRunningVivado, rtdInputFilePath: /iu_home/
        iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/vinc.rtd
279 INFO: [v++ 60-2312] HPISystemDiagram::writeSystemDiagramAfterRunningVivado, systemDiagramOutputFilePath: /
        iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/
        systemDiagramModelSlrBaseAddress.json
280 INFO: [v++ 60-1618] Launching
281 INFO: [v++ 60-1441] [00:20:46] Run run_link: Step rtdgen: Completed
282 Time (s): cpu = 00:00:10 ; elapsed = 00:00:12 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
        physical = 277329 ; free virtual = 391031
283 INFO: [v++ 60-1443] [00:20:46] Run run_link: Step xclbinutil: Started
284 INFO: [v++ 60-1453] Command Line: xclbinutil --add-section DEBUG_IP_LAYOUT:JSON:/iu_home/iu7109/workspace/
        Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/debug_ip_layout.rtd --add-
        section BITSTREAM:RAW:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/int/partial.bit --force --target hw --key-value SYS:dfx_enable:true --add-
        section :JSON:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x
        /link/int/vinc.rtd --append-section :JSON:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/appendSection.rtd --add-section CLOCK_FREQ_TOPOLOGY:
        JSON:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int
        /vinc_xml.rtd --add-section BUILD_METADATA:JSON:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/vinc_build.rtd --add-section EMBEDDED_METADATA:RAW:/
        iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/vinc.
        xml --add-section SYSTEM_METADATA:RAW:/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
        vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/int/systemDiagramModelSlrBaseAddress.json --output /
        iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/vinc.xclbin
285 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
        rtl_kernel_wizard_2/_x/link/run_link
286 XRT Build Version: 2.8.743 (2020.2)
287        Build Date: 2020-11-16 00:19:11
288           Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
289 Creating a default 'in-memory' xclbin image.
290
291 Section: 'DEBUG_IP_LAYOUT'(9) was successfully added.
292 Size   : 440 bytes
293 Format : JSON
294 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
        int/debug_ip_layout.rtd'
295
296 Section: 'BITSTREAM'(0) was successfully added.
297 Size   : 39369758 bytes
298 Format : RAW
299 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
        int/partial.bit'
300
301 Section: 'MEM_TOPOLOGY'(6) was successfully added.
302 Format : JSON
303 File   : 'mem_topology'
```

```
304
305 Section: 'IP_LAYOUT'(8) was successfully added.
306 Format : JSON
307 File   : 'ip_layout'
308
309 Section: 'CONNECTIVITY'(7) was successfully added.
310 Format : JSON
311 File   : 'connectivity'
312
313 Section: 'CLOCK_FREQ_TOPOLOGY'(11) was successfully added.
314 Size   : 274 bytes
315 Format : JSON
316 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
          int/vinc_xml.rtd'
317
318 Section: 'BUILD_METADATA'(14) was successfully added.
319 Size   : 2958 bytes
320 Format : JSON
321 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
          int/vinc_build.rtd'
322
323 Section: 'EMBEDDED_METADATA'(2) was successfully added.
324 Size   : 2754 bytes
325 Format : RAW
326 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
          int/vinc.xml'
327
328 Section: 'SYSTEM_METADATA'(22) was successfully added.
329 Size   : 5674 bytes
330 Format : RAW
331 File   : '/iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/link/
          int/systemDiagramModelSlrBaseAddress.json'
332
333 Section: 'IP_LAYOUT'(8) was successfully appended to.
334 Format : JSON
335 File   : 'ip_layout'
336 Successfully wrote (39391823 bytes) to the output file: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
          vitis_rtl_kernel/rtl_kernel_wizard_2/vinc.xclbin
337 Leaving xclbinutil.
338 INFO: [v++ 60-1441] [00:20:51] Run run_link: Step xclbinutil: Completed
339 Time (s): cpu = 00:00:00.42 ; elapsed = 00:00:05 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
          physical = 276939 ; free virtual = 390756
340 INFO: [v++ 60-1443] [00:20:51] Run run_link: Step xclbinutilinfo: Started
341 INFO: [v++ 60-1453] Command Line: xclbinutil --quiet --force --info /iu_home/iu7109/workspace/
          Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/vinc.xclbin.info --input /iu_home/iu7109/
          workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/vinc.xclbin
342 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
          rtl_kernel_wizard_2/_x/link/run_link
343 INFO: [v++ 60-1441] [00:20:53] Run run_link: Step xclbinutilinfo: Completed
344 Time (s): cpu = 00:00:02 ; elapsed = 00:00:03 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
          physical = 276711 ; free virtual = 390501
345 INFO: [v++ 60-1443] [00:20:53] Run run_link: Step generate_sc_driver: Started
346 INFO: [v++ 60-1453] Command Line:
347 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
          rtl_kernel_wizard_2/_x/link/run_link
348 INFO: [v++ 60-1441] [00:20:53] Run run_link: Step generate_sc_driver: Completed
349 Time (s): cpu = 00:00:00.01 ; elapsed = 00:00:00.05 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free
          physical = 276739 ; free virtual = 390529
350 INFO: [v++ 60-244] Generating system estimate report...
351 INFO: [v++ 60-1092] Generated system estimate report: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/
          vitis_rtl_kernel/rtl_kernel_wizard_2/_x/reports/link/system_estimate_vinc.xtxt
352 INFO: [v++ 60-586] Created /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
          rtl_kernel_wizard_2/vinc.ltx
353 INFO: [v++ 60-586] Created vinc.xclbin
354 INFO: [v++ 60-1307] Run completed. Additional information can be found in:
355     Guidance: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/
             reports/link/v++_link_vinc_guidance.html
356     Timing Report: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/
             _x/reports/link/imp/impl_1_xilinx_u200_xdma_201830_2_bb_locked_timing_summary_routed.rpt
357     Vivado Log: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/_x/
             logs/link/vivado.log
358     Steps Log File: /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/
             _x/logs/link/link.steps.log
359
360 INFO: [v++ 60-2343] Use the vitis_analyzer tool to visualize and navigate the relevant reports. Run the
          following command.
361     vitis_analyzer /iu_home/iu7109/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_2/
             vinc.xclbin.link_summary
362 INFO: [v++ 60-791] Total elapsed time: 6h 42m 23s
363 INFO: [v++ 60-1653] Closing dispatch client.
```