



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-43Б

(Группа)

(Подпись, дата)

Р.Р. Хамзина

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2021

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Ход работы:

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов A_0, A_1 , задать с выходов Q_0, Q_1 , четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

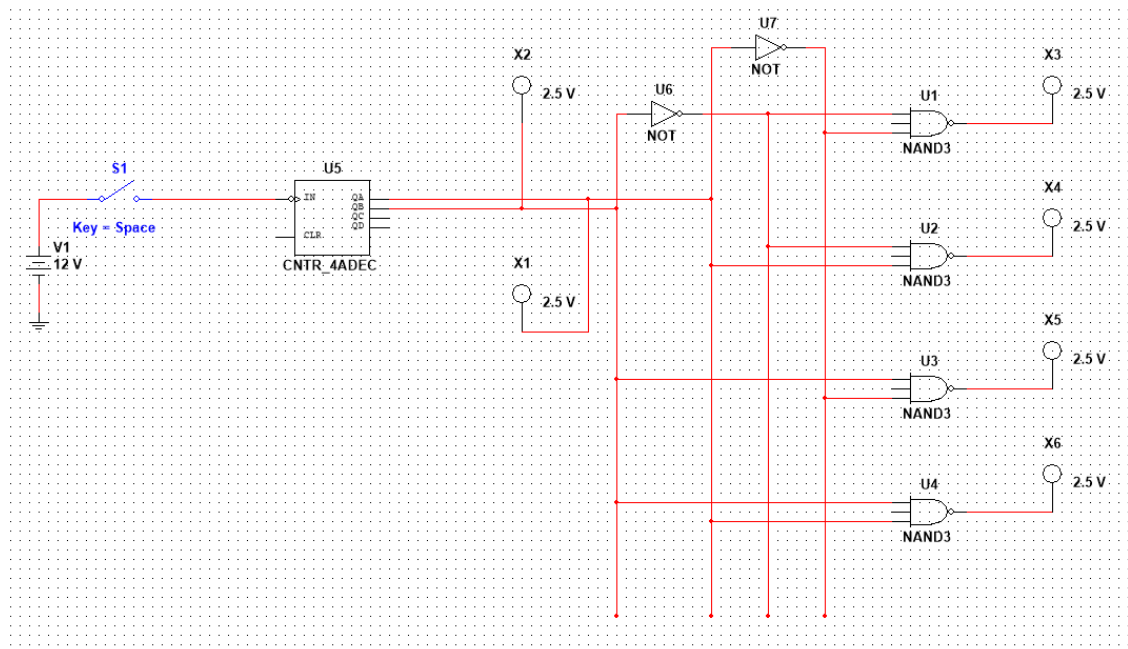


Рис. 1 – Схема линейного стробируемого дешифратора на элементах ЗИ-НЕ

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);

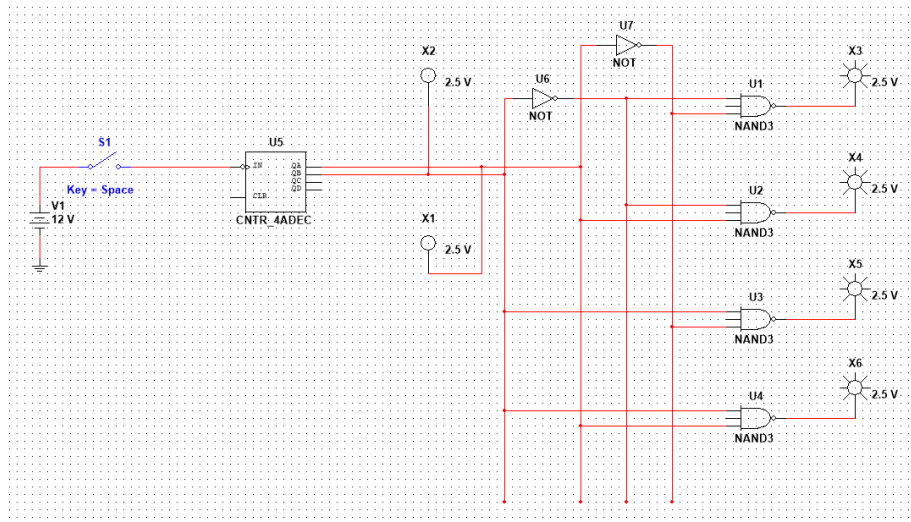


Рис. 2 – Изменение состояния счетчика при помощи ключа

Получившаяся таблица истинности нестробируемого дешифратора:

E	A ₁	A ₂	F ₁	F ₂	F ₃	F ₄
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

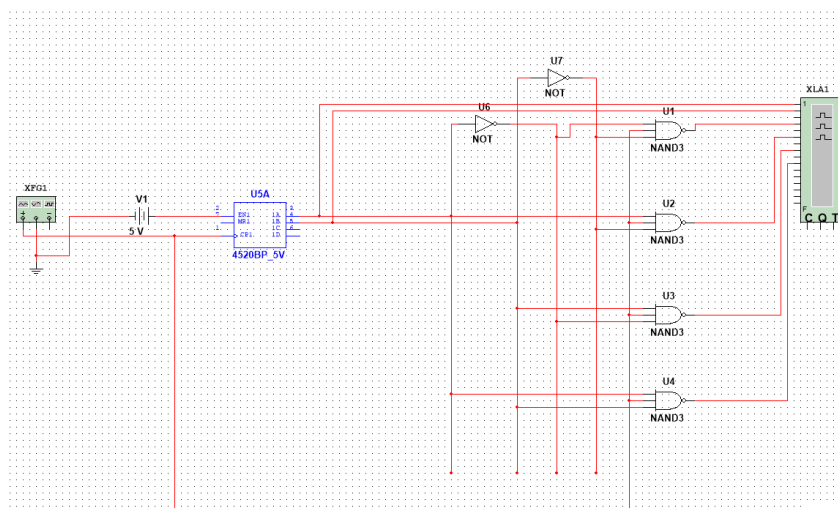


Рис. 3 – Схема включения стробируемого дешифратора

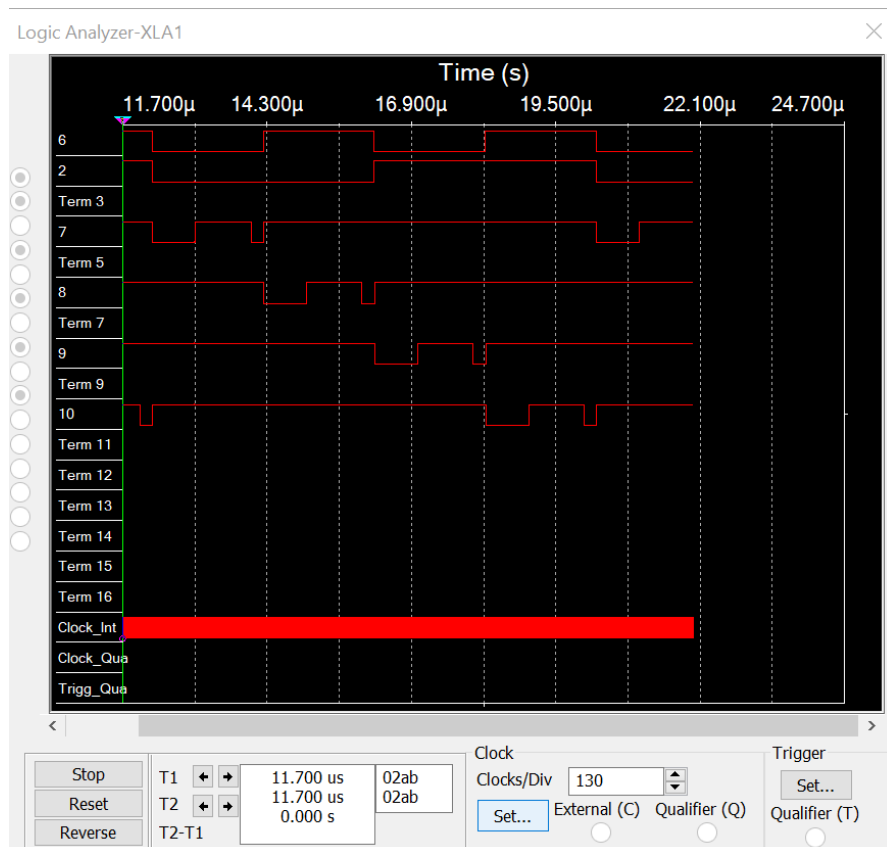


Рис. 4 – Временная диаграмма стробируемого дешифратора с помехами из-за гонок сигнала

г) определить длительность помех, вызванных гонками, на выходах дешифратора;

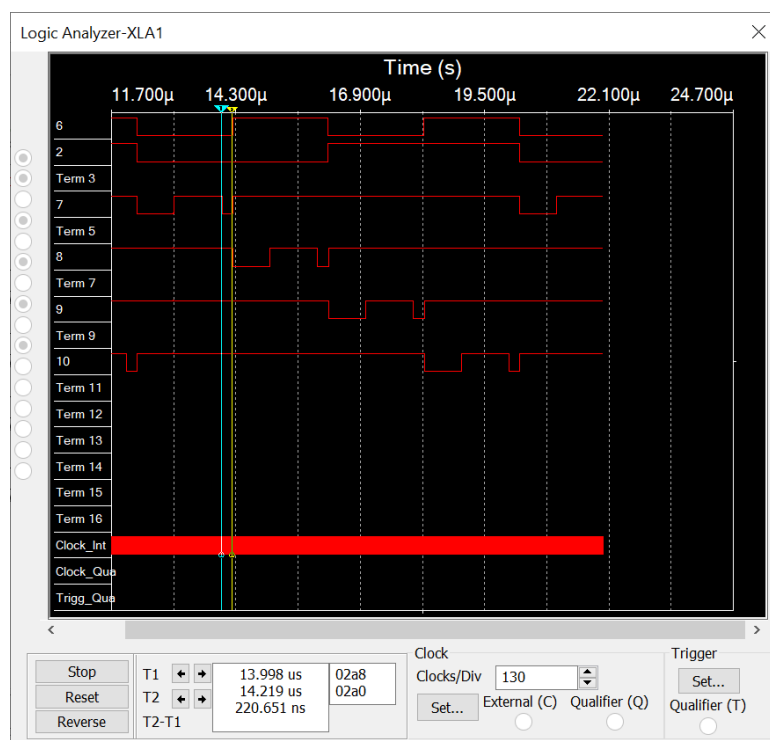


Рис. 5 – Определение длительности помех дешифратора

В данном случае длительность помех равна 221 наносекунде.

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

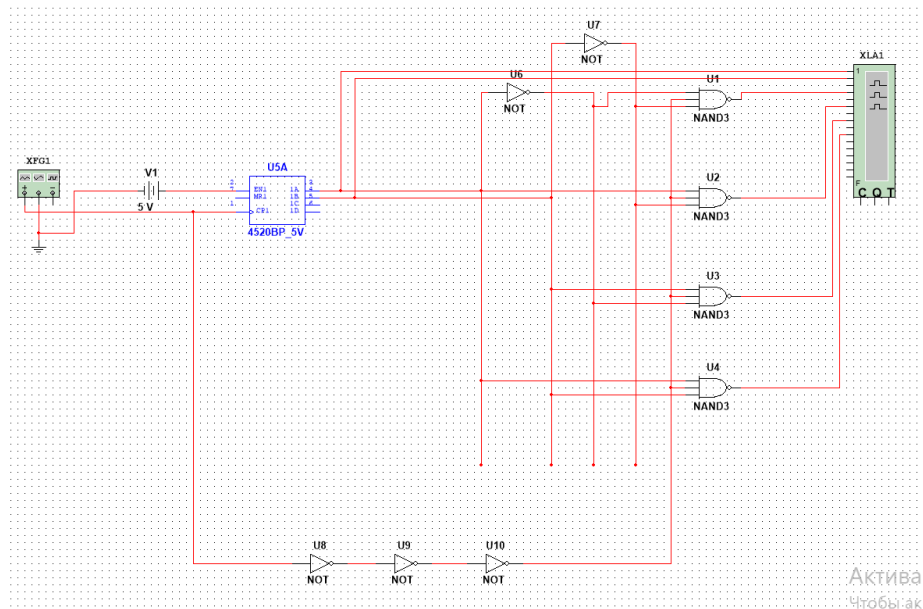


Рис. 6 – Схема стробируемого дешифратора с инверсным сигналом генератора, задержанным линией задержки инверторов в качестве стробирующего

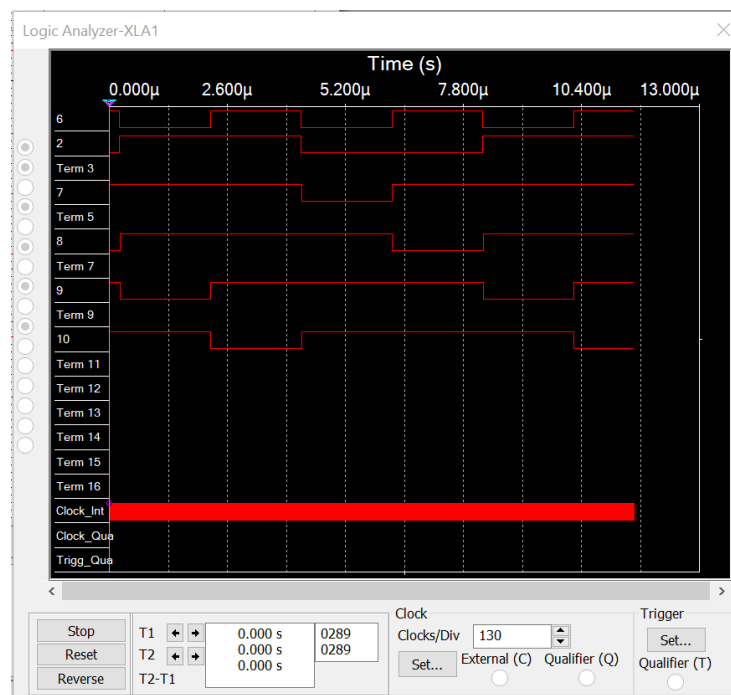


Рис. 7 - Временная диаграмма дешифратора без помех

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками

Время задержки логического элемента NOT - около 2 наносекунд, следовательно, необходима задержка в 4 наносекунды.

2. Исследование дешифраторов ИС K155ИД4 (74LS155):

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

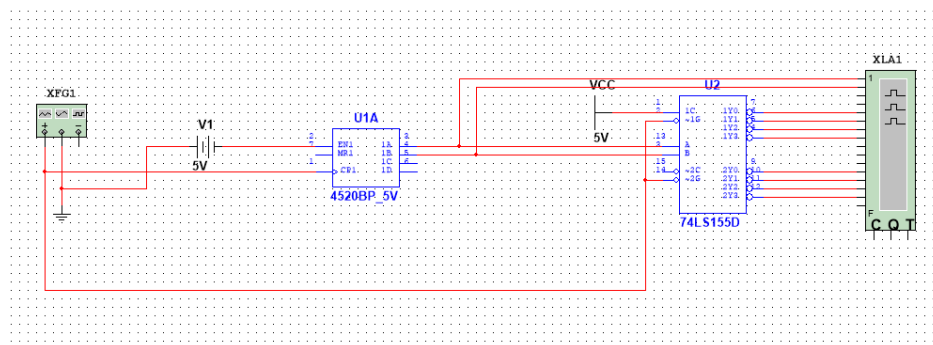


Рис. 8 – Схема включения двухвходового дешифратора (74LS155)

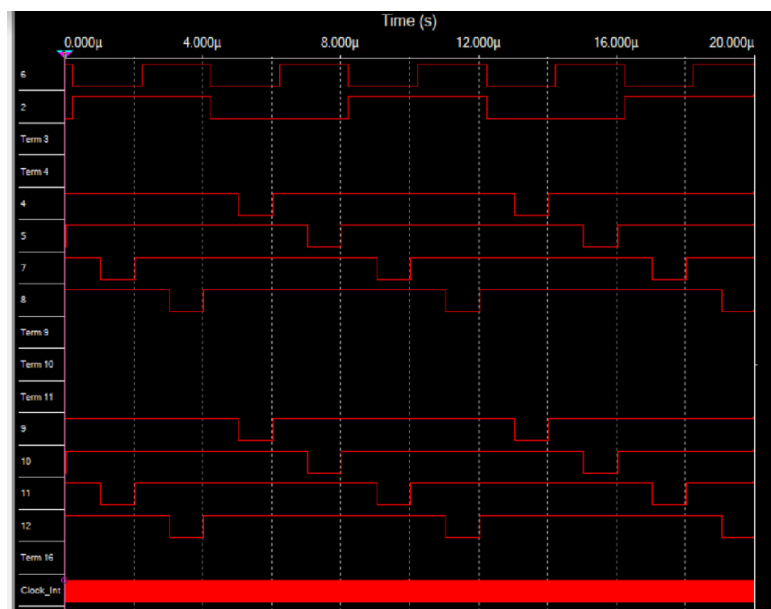


Рис. 9 - Временная диаграмма двухвходового дешифратора (74LS155)

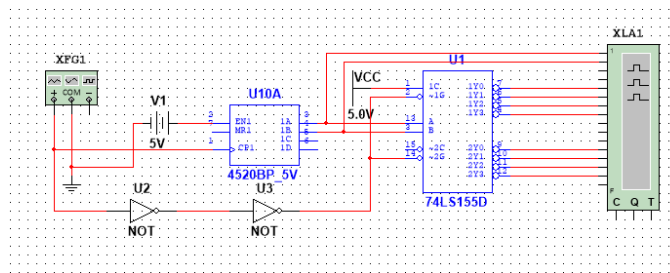


Рис. 10 – Схема включения двухвходового дешифратора с линией задержки стробирующего сигнала

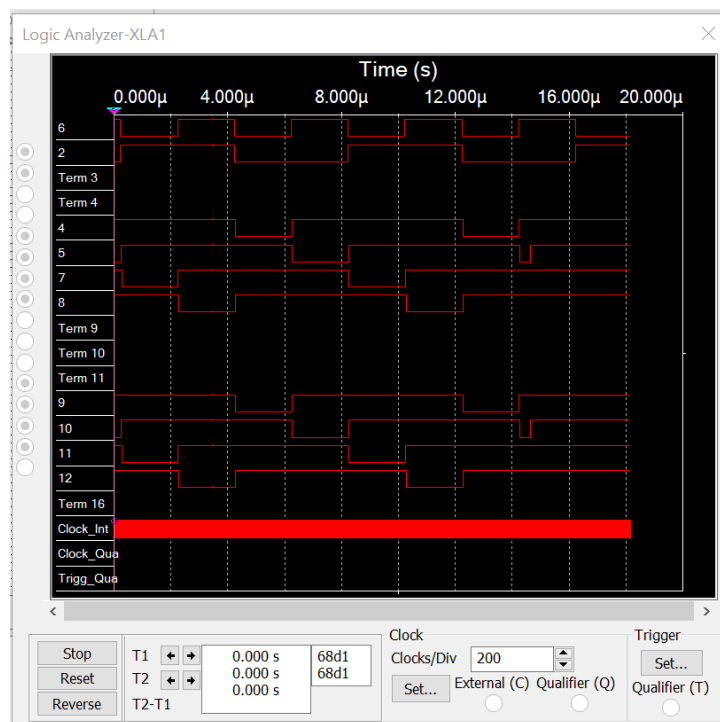


Рис. 11 - Временная диаграмма двухвходового дешифратора с линией задержки стробирующего сигнала

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Так как используем два логических элемента NOT для задержки сигнала, следовательно, необходимое время задержки – около 4 наносекунд.

в) собрать схему трехвходового дешифратора на основе дешифратора K155ИД4 (см. рис. 8), задавая входные сигналы 0 1 2 А А А , , с выходов 0 1 2 Q Q Q , , счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

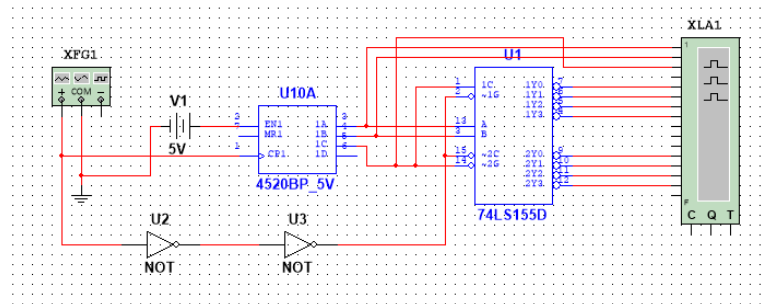


Рис. 12 - Схема трехвходового дешифратора (74LS155)

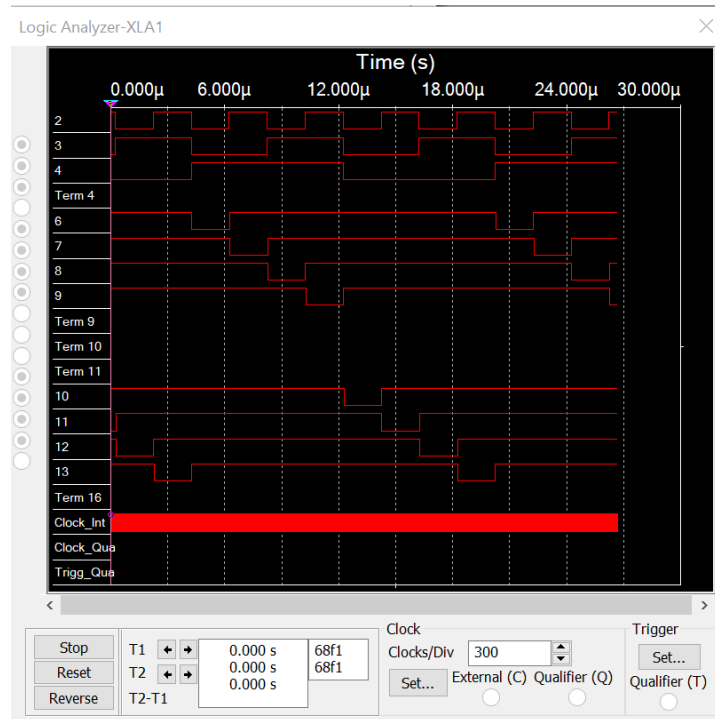


Рис. 13 - Временная диаграмма трехвходового дешифратора (74LS155)

Получившаяся таблица истинности для трехвходового дешифратора 74LS155:

A_0	A_1	A_2	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	1	1	1	0	1	1	1
0	0	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1
1	1	1	1	1	1	0	1	1	1

3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $1 \cdot 2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

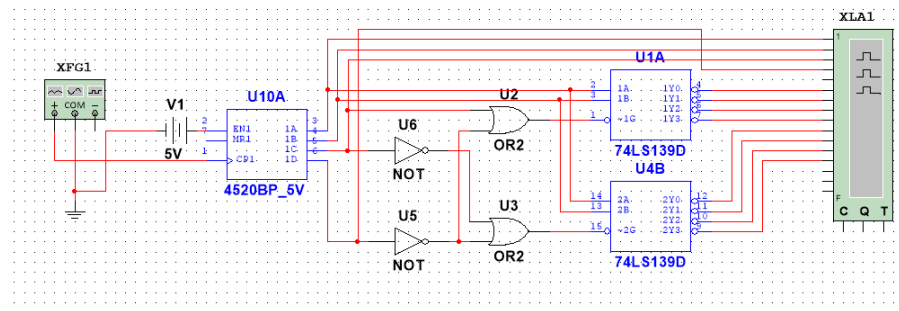


Рис. 14 – Схема включения дешифратора 74LS139

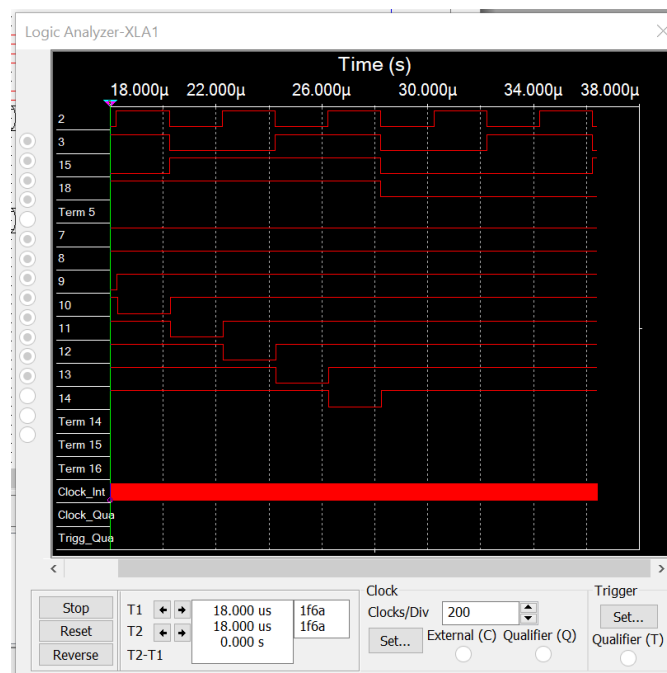


Рис. 15 – Временная диаграмма дешифратора 74LS139

Получившаяся таблица истинности:

EN	A ₀	A ₁	A ₂	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1	1
1	1	0	0	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	0

4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис. ниже), рис. 4 и рис. 9:

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы 0 1 2 Q Q Q , , с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

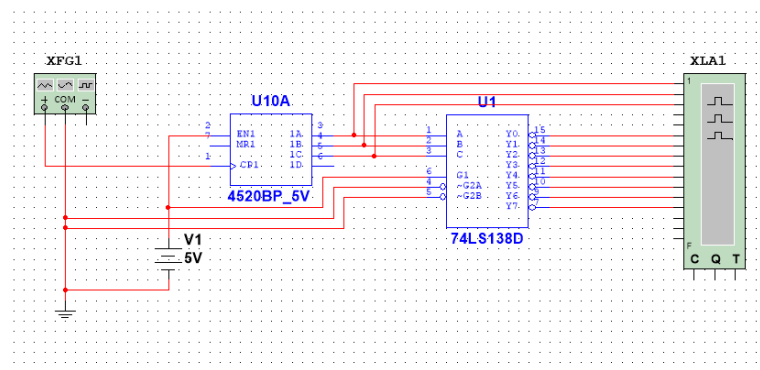


Рис. 16 – Схема для снятия временных диаграмм нестробируемого дешифратора DC 3-8

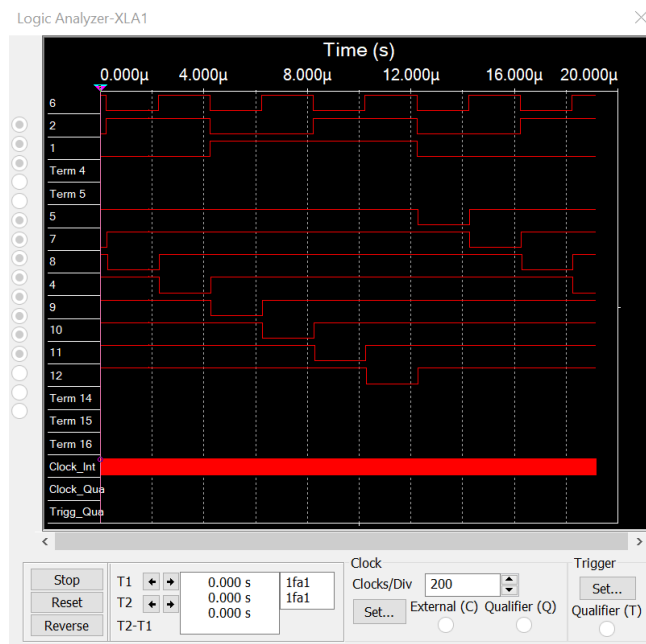


Рис. 17 – Временные диаграммы нестробируемого дешифратора DC 3-8

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

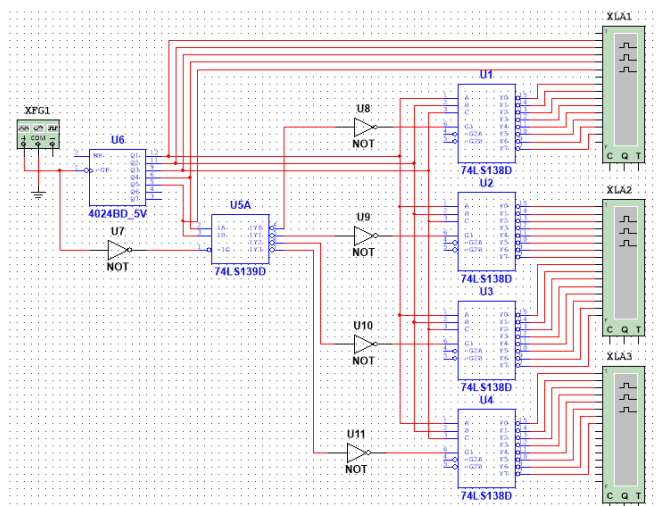


Рис. 18 - Схема дешифратора DC 5-32

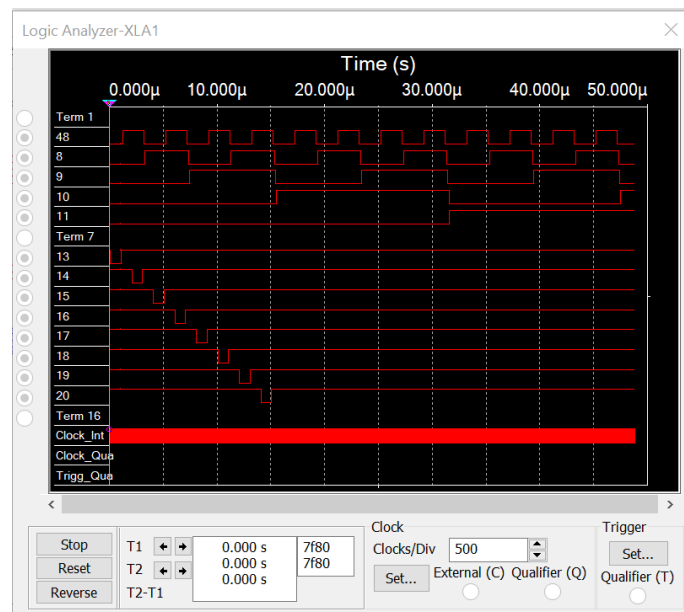


Рис. 19 – Временная диаграмма дешифратора DC 5-32 (первые 8 сигналов)

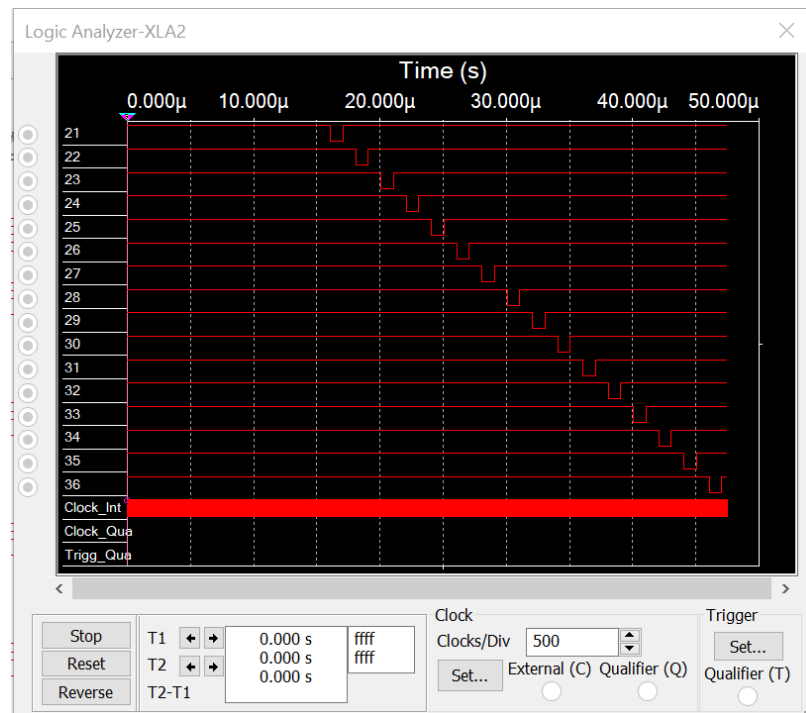


Рис. 20 – Временная диаграмма дешифратора DC 5-32 (сигналы 9-24)

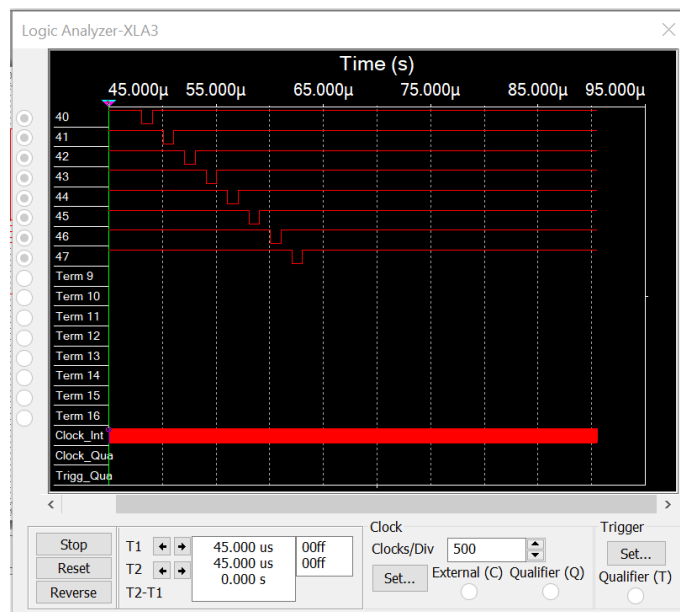


Рис. 21 – Временная диаграмма дешифратора DC 5-32 (сигналы 25-32)

Вывод по лабораторной работе: были исследованы принципы и методы построения дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов – неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Таблица истинности дешифратора DC n - N :

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно, и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 .
2. Количество простых дешифраторов DC n_1 - N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , в предпредвыходном - N/N_1^3 и т.д.; во входном каскаде - N/N_1^k . Если N/N_1^k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т. д.