



T6x0 硬件设计用户指南

文档更新记录表

版本号	更新内容描述	更新人	更新日期
v0.1	第一版发布	宋振	2019-05-07
v0.2	更新 SATA 和 USB 电路设计	张杰	2020-06-16



目录

1	原理图设计建议	3
1.1	小系统外部电路要求	3
1.1.1	Clocking 电路.....	3
1.1.2	复位电路.....	4
1.1.3	GPIO1_0 引脚.....	4
1.1.4	电源上电时序.....	4
1.2	USB 接口电路设计建议	5
1.3	SATA 接口电路设计建议.....	5
2	PCB 设计建议.....	6
2.1	电源与滤波电容设计建议	6
2.1.1	1.0V 电源滤波电容设计.....	6
2.1.2	3.3V 电源滤波电容设计.....	6
2.1.3	USB 电源设计.....	7
2.1.4	SATA 电源设计.....	8
2.2	主芯片时钟电路	9
2.3	USB2.0 接口电路设计建议	9
2.4	USB3.0 接口电路设计建议	9
2.5	SATA 接口走线设计建议.....	10
2.6	差分线走线要求以及注意事项	10

1 原理图设计建议

说明 😊

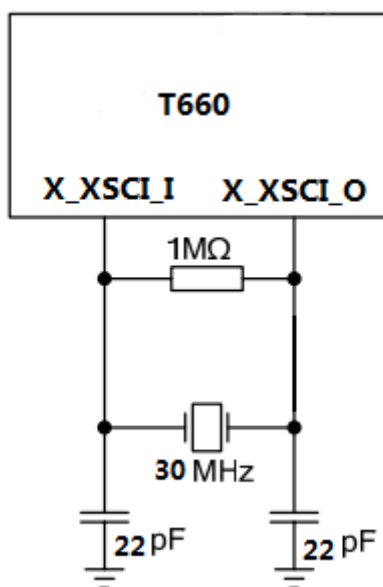
- 本文以 T680 描述为例，如未有特殊说明，T660, T620 与 T680 描述一致。

1.1 小系统外部电路要求

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 30MHz 晶体振荡电路一起构成系统时钟电路。选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。建议选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗 ESD 干扰能力。系统晶振连接方式及器件参数如图 1-1 所示。

图 1-1 晶体振荡电路



另外，系统时钟还可以直接由外部的时钟电路产生时钟，通过 X_XSCI_I 脚输入。

说明：

电路中的电容取值需要与实际使用的晶体负载电容相匹配；不同品牌、不同型号的

晶体，其固有的负载电容参数可能不同，电路中的电容取值也会不同。

1.1.2 复位电路

T6x0 支持外部复位，复位引脚为 X_RST_N，低电平有效，复位时间至少保证 50ms 以上。为确保系统能正常启动，小系统相关的外设（例如：网络 PHY、EMMC 芯片等）必须先于或同时与 T6x0 一起释放复位信号，否则系统可能会出现异常情况。

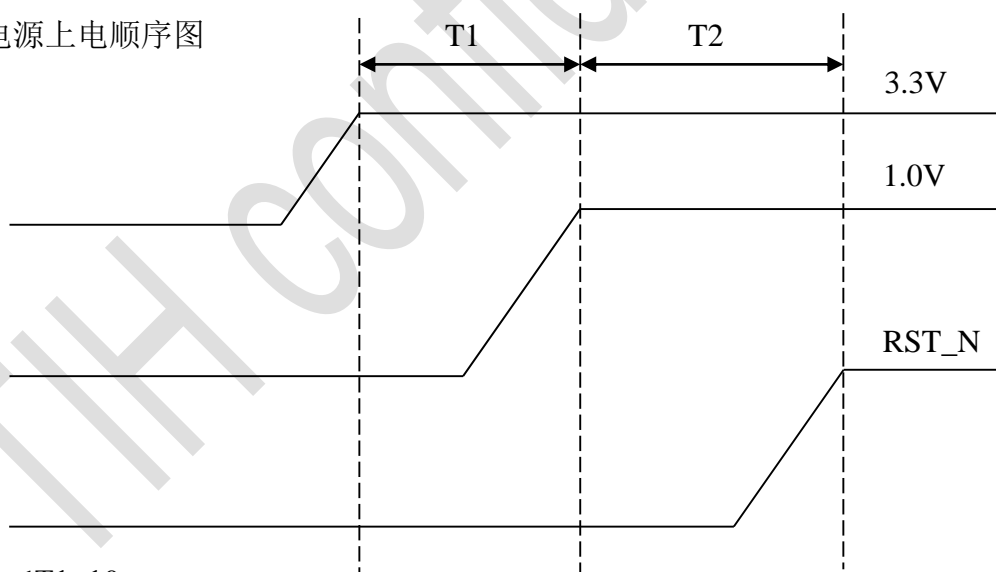
1.1.3 GPIO1_0 引脚

GPIO1_0 在启动状态为 bootrom 控制信号，低电平时直接进入芯片默认 bootrom。

1.1.4 电源上电时序

为确保芯片内部逻辑与外部器件通讯正常，VCCCK (1.0V) 电源和 VCCIO (3.3V) 电源对上电时序有以下要求，如下图所示：

图 1-2 电源上电顺序图



其中， $0 < T1 \leq 10\text{ms}$ 。

T2 为系统复位要求， $40\text{ms} \leq T2$



注意：

T660 无论是否使用 SATA 功能，VCC10A_SH、VCC10A_SD 两个引脚必须上电。



1.2 USB 接口电路设计建议

- 模拟电源 VCC10A_USB 与数字电源 1.0V 采用磁珠隔离，并在在芯片邻近管脚处放置 22uF 和 0.1uF 滤波电容。
- 模拟电源 VCC33A_USB 与数字电源 3.3V 采用磁珠隔离，并在芯片邻近管脚摆放 4.7uF 和 0.1uF 滤波电容。
- USB3.0 有 3 对差分信号线，其中 USB_SSTX±要求在靠近插座端增加 0.1uF 匹配电容，推荐使用的封装不大于 0402。
- 详细的原理图设计请参考 T6x0 的原理图设计文件。

1.3 SATA 接口电路设计建议

T680 和 T660 分别提供一个 SATA3.0 Host 和 SATA3.0 Device 接口。T620 提供一个 SATA 3.0 Host 接口。

- SATA 接口的模拟电源 VCC10A_SH、VCC10A_SD 需要与数字电源用磁珠隔离，并在靠近芯片管脚摆放 4.7uF 和 0.1uF 滤波电容。
- 模拟电源 VCC33A_SH 、VCC33A_SD 需要与数字电源用磁珠隔离，并在靠近芯片管脚摆放 4.7uF 和 0.1uF 滤波电容。
- SATA 接口的 Rx、Tx 差分信号上串接的 10nf 陶瓷贴片电容应靠近 SATA 插座，材质要求必须为 X7R，推荐使用的封装不大于 0402。
- SATA_SD_REXT 和 SATA_SH_REXT 需分别下拉 18K-1%欧姆至地信号。
- T680 引脚 VCC11A_SH 和 VCC10A_SD 以及 T620 引脚 VCC11A_SH 为芯片内部稳压器引脚，需要外接不小于 2.2uF 的电容。
- 详细的原理图设计请参考 T6x0 原理图设计文件。

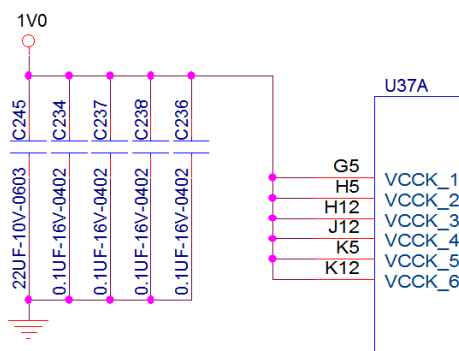
2 PCB 设计建议

2.1 电源与滤波电容设计建议

2.1.1 1.0V 电源滤波电容设计

T680 内核电源滤波电容大小和数量参考以下原理图：

图 2-1

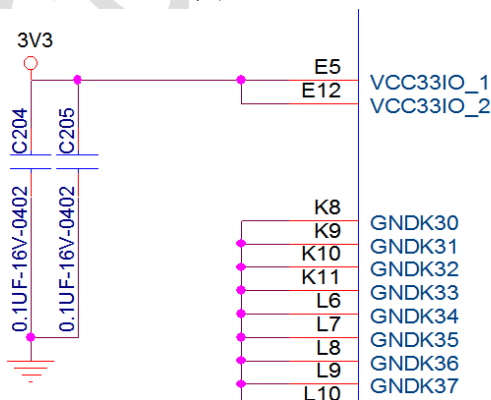


1.0V 电源使用推荐平面供电，每个 0.1uF 滤波电容需靠近电源管脚放置，减少寄生电感。

2.1.2 3.3V 电源滤波电容设计

3.3V 数字电源滤波电容参考以下原理图：

图 2-2



注意：

电源设计的其他注意事项如下：各模块电源的要求请参考芯片手册中的电性能参数
电源纹波噪声要求 pk-pk 值 $3.3V \leq 50mV$ 、 $1.0V \leq 40mV$ 。

2.1.3 USB 电源设计

USB 模拟电源滤波电容参考以下图 2-3 原理图：

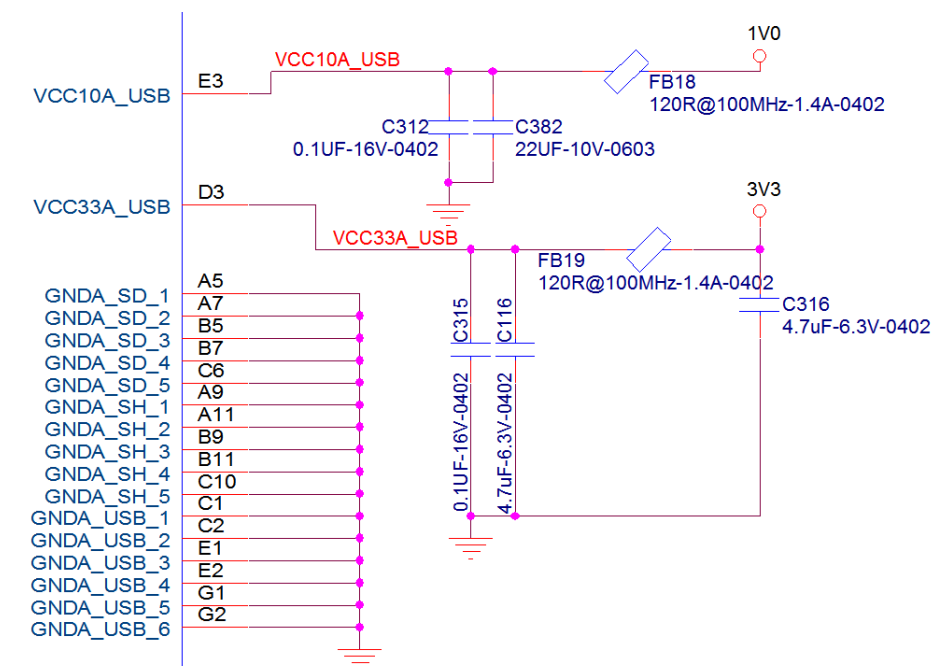


图 2-3

USB 功能单元供电电源设计建议：

- 模拟电源 VCC10A_USB 与数字电源 1.0V 采用磁珠隔离，并在在芯片邻近管脚处放置 22uF 和 0.1uF 滤波电容。滤波电容就近放置，靠近 VCC10A_USB 和 GNDA_USB 管脚。
- 模拟电源 VCC33A_USB 与数字电源 3.3V 采用磁珠隔离，并在芯片邻近管脚摆放 4.7uF 和 0.1uF 滤波电容。滤波电容就近放置，靠近 VCC33A_USB 和 GNDA_USB 管脚。



注意：

VCC33A_USB 和 VCC10A_USB 引脚处电源纹波噪声要求 pk-pk 值 \leq 20mV

2.1.4 SATA 电源设计

SATA 模拟电源滤波电容参考以下图 2-4 原理图：

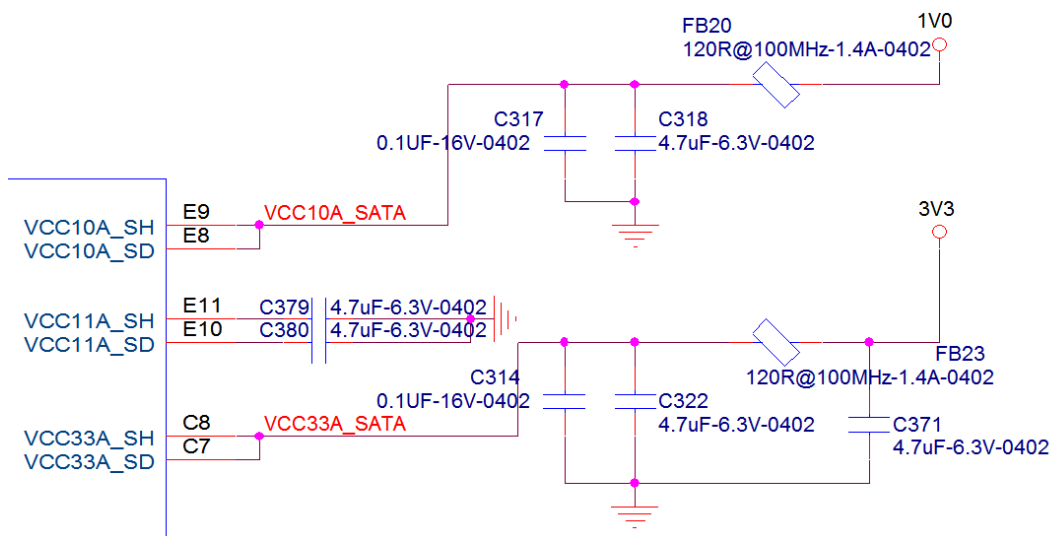


图 2-4

SATA 功能单元供电电源设计建议：

- SATA 接口的模拟电源 VCC10A_SH、VCC10A_SD 需要与数字电源用磁珠隔离，并在芯片邻近管脚摆放 4.7uF 和 0.1uF 滤波电容。
- 模拟电源 VCC33A_SH、VCC33A_SD 需要与数字电源用磁珠隔离，并在芯片邻近管脚摆放 4.7uF 和 0.1uF 滤波电容。
- VCC11A_SH 和 VCC33A_SD 两个引脚的电容需要邻近管脚摆放并增加线宽。



注意：

VCC33A_SH/SD 和 VCC10A_SH/SD 引脚处电源纹波噪声要求 pk-pk 值≤20mV

2.2 主芯片时钟电路

T6x0 需要一个 30MHz 外接时钟, 最大偏差 $\pm 30\text{ppm}$ 。晶体、匹配电阻电容尽量靠近 T6x0 摆放, 晶体及 X_XSCI、X_XSCO 信号走线全程包地处理, 并且保证有完整的参考平面, 晶体电路下不能有高速信号穿过。

2.3 USB2.0 接口电路设计建议

为了保证良好的信号质量, USB2.0 Host 端口数据线需要差分布线。为了达到 USB2.0 高速 480MHz 的速度要求, 建议 PCB 布线设计采用以下原则:

- 差分数据线走线尽可能短、直, 差分数据线对内走线长度严格等长, 误差建议控制在 5mil 范围内;
- 差分数据线走线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗;
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层;
- 差分数据线走线应有完整的地平面层作为参考平面, 不能跨平面分割;
- 差分数据线走线应尽量用最少的过孔和拐角, 拐角可考虑用圆弧或者 135 度角, 避免直角, 以减少反射和阻抗变化;
- 差分对走线长度小于 8inch;

2.4 USB3.0 接口电路设计建议

- 差分对 DP/DM, TXP/TXM, RXP/RXM 走线尽可能短、直, 差分数据线对内走线长度严格等长, 误差建议控制在 5mil 范围内;
- 差分数据线走线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗;
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层;
- 差分数据线走线应有完整的地平面层作为参考平面, 不能跨平面分割;
- 差分数据线走线应尽量用最少的过孔和拐角, 拐角可考虑用圆弧或者 135 度角, 避免直角, 以减少反射和阻抗变化;
- 走线在 top 层, 最多只能打一次过孔;
- 差分对走线长度小于 4inch;

- USB3.0 的 P/M 如果走线上有交叉，可以将差分对的 P/M 交换，USB3.0 允许 P/M 反转；

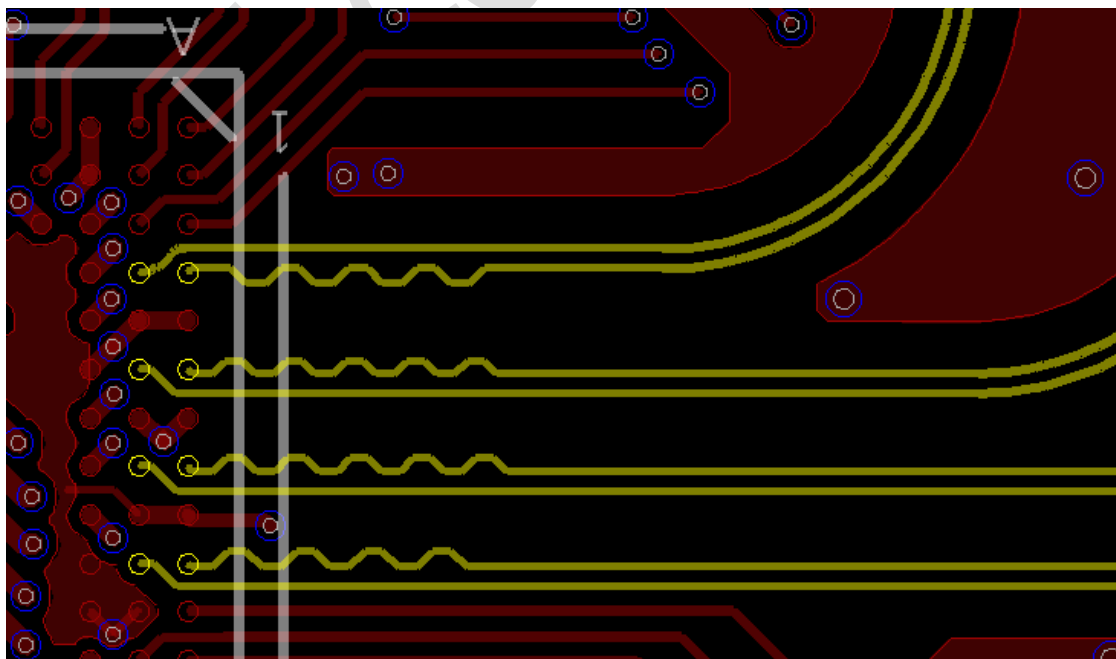
2.5 SATA 接口走线设计建议

- SATA 走线差分阻抗控制在 $100\Omega \pm 10\%$ ；
- 差分对内长度误差建议控制在 5mil 范围内；
- 走线在 top 层，不能打孔换层；
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化；
- 在 PCB 上的信号走线长度推荐小于 5inch；
- REXT 引脚电阻应该尽可能靠近 T6x0 引脚放置；

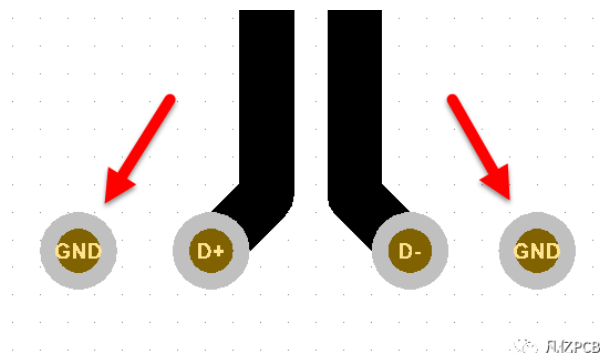
2.6 差分线走线要求以及注意事项

USB3.0 和 SATA3.0 走线需要以高速线的设计规则来严格把关走线，充分考虑 PCB 的设计细节。

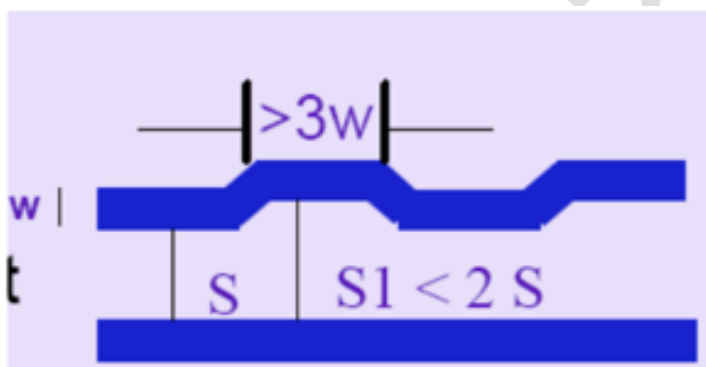
- PCB 出线要求尽可能平等出差，具体走线参考下图：



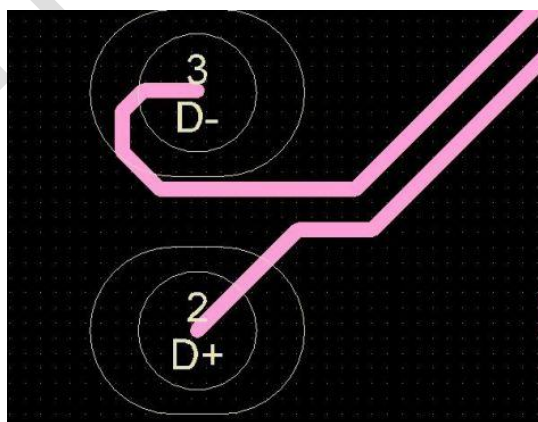
- 走线换层需要在信号过孔旁边增加地过孔，用于信号的回流（高速通用规则）



- 关于等长匹配蛇形线的走线方式，建议按下图方式走线



- 由于管脚分布、过孔、以及走线空间等因素存在使得差分线长易不匹配，而线长一旦不匹配，时序会发生偏移，还会引入共模干扰，降低信号质量。所以相应的要对差分对不匹配的情况作出补偿，使其线长匹配，长度差通常控制在 5mil 以内，补偿原则是哪里出现长度差补偿哪里。如下图：



- 为了减少串扰，在空间允许的情况下，其他信号网络及地离差分线的间距至少 25mil，覆地与差分线的距离过近将对差分线的阻抗产生影响。