**11주차 예비보고서**

**전공: 경영학과 학년: 3학년 학번: 20190963 이름: 한다현**

**1.**

**RS 플립-플롭에는 크게 상승 에지에서 트리거 되는 RS 플립-플롭과 하강 에지에서 트리거 되는 RS 플립-플롭이 있다. RS 플립-플롭은 두 입력 R, S와 clock pulse를 뜻하는 CP, 그리고 출력 Q와 Q’으로 구성되어 있다. RS 플립-플롭에서 S는 SET을 의미하고 R은 RESET을 의미하는데, S가 1이 되면 출력 Q의 값은 1이 되고, R이 1이 되면 출력 Q의 값은 0이 된다. S와 R이 모두 0이면 Q의 값은 변함이 없이 이전의 Q와 동일한 값을 갖는다. 하지만 S와 R이 모두 1이 되는 경우를 RS 플립-플롭에서는 허용하지 않는다. 따라서 RS 플립-플롭이 가질 수 있는 S, R의 값은 (0,0), (0,1), (1,0) 세 가지이다. 상승 에지에서 트리거 되는 RS 플립-플롭과 하강 에지에서 트리거 되는 RS 플립-플롭의 차이점은 전자는 CP의 값이 상승할 때, 즉 CP의 값이 0에서 1이 될 때 작동하는 것이고, 후자는 CP의 값이 1에서 0으로 하강할 때 작동하는 것이다. 상승 에지에서 트리거 되는 RS 플립-플롭의 경우, CP의 값이 0에서 1로 상승하는 시점에서 S의 값과 R의 값으로 출력 Q를 결정한다. 예를 들어, CP의 값이 상승하는 시점에서 S의 값이 1이고, R의 값이 0이면 Q의 값은 1이 된다. 반면, 하강 에지에서 트리거 되는 RS 플립-플롭의 경우, CP의 값이 1에서 0으로 하강하는 시점에서의 S의 값과 R의 값으로 출력 Q를 결정한다. 즉, CP의 값이 상승하는 시점에 S의 값이 0이고, R의 값이 1이면 Q의 값은 0이 된다.**

**2.**

**JK 플립-플롭은 RS 플립-플롭의 단점을 보완한 플립-플롭이라고 할 수 있다. 다른 모든 기능을 RS 플립-플롭과 유사하지만, RS 플립-플롭이 R와 S의 값이 동시에 1이 될 때 불안정한 출력 값을 갖게 되기 때문에 이런 경우를 허용하지 않은 반면, JK 플립-플롭은 J와 K가 모두 1이 되는 경우도 허용한다. JK 플립-플롭에서 J는 S에 대응하고, K는 R에 대응한다. 즉, J의 값이 1이 되면 출력 Q의 값은 1이 되고, K의 값이 1이 되면 출력 Q의 값은 0이 된다. RS 플립-플롭과 마찬가지로 J와 K의 값이 모두 0인 경우에 Q는 변화하지 않고 이전의 Q와 동일한 값을 갖는다. 하지만 RS 플립-플롭과 달리, J와 K의 값이 모두 1인 경우를 허용하며, 이 때 출력 Q의 값은 이전의 Q의 값과 반대의 값을 갖는다. 즉, 이전 Q의 값이 0이었다면 다음 Q의 값은 1이 되고, 이전 Q의 값이 1이었다면 다음 Q의 값은 0이 된다. 이를 출력이 반전된다는 의미로 토글(toggle)라고 한다. JK 플립-플롭도 상승 에지에서 트리거 되는 플립-플롭과 하강 에지에서 트리거 되는 플립-플롭으로 구분된다. 전자는 CP가 0에서 1으로 상승되는 시점에서의 J 값과 K 값으로 출력 Q가 결정되는 장치이며 후자는 CP가 1에서 0으로 하강하는 시점에서 J 값과 K 값으로 출력 Q가 결정되는 장치이다. 추가??**

**3.**

**D 플립-플롭은 앞서 조사한 두 플립-플롭과 달리 입력이 하나인 플립-플롭이다. D 플립-플롭은 하나의 입력 D와 clock pulse인 CP, 그리고 출력 Q로 구성되어 있다. 입력 단자가 하나인 만큼 단일의 데이터 정보를 저장할 때 유용하게 사용된다. D 플립-플롭에서는 입력 D의 값이 1이면 출력 Q의 값도 1이 되고, D의 값이 0이면 출력 Q의 값도 0이 된다. D 플립-플롭도 위의 두 플립-플롭과 마찬가지로 상승 에지에서 트리거 되는 D 플립-플롭과 하강 에지에서 트리거 되는 D 플립-플롭으로 구분된다. 전자는 CP가 0에서 1로 상승할 때, 그 시점에서의 D 값으로 Q가 결정된다. 즉, CP가 상승하는 시점에서 D의 값이 1이면 출력 Q가 1이 되고, CP가 상승하는 시점에서 D의 값이 0이면 출력 Q의 값이 0이 된다. 반대로, 후자는 CP가 1에서 0으로 하강할 때, 그 시점에서의 D 값으로 Q가 결정되는데, clock이 1에서 0으로 하강하는 시점에서 D의 값이 0이라면 Q의 값도 0이 되고, D의 값이 1이라면 Q의 값도 1이 된다. D 플립-플롭은 RS 플립-플롭이 변형된 것이라고 할 수 있는데, RS 플립-플롭에 대해 생각해보면, R과 S가 모두 0이거나 모두 1인 경우는 출력 Q의 값이 변하지 않거나 불안정한 경우이다. 따라서 이 두 경우를 제외한 나머지 경우, 즉 S만 1이 되거나 R만 1이 되는 경우에서 R과 S는 보수의 관계를 갖는다. 즉, S가 1이면 R이 0이 되어 Q의 값이 1이 되고, S가 0이면 R이 1이 되어 Q의 값은 0이 된다. 이 경우에 Q는 S와 동일한 값을 갖는데, 이는 D 플립-플롭의 결과와 같다. 따라서 D 플립-플롭은 R과 S의 두 입력 단자에서 S 단자를 D 단자로 취한 개량된 플립-플롭이라고 할 수 있다.**

**4.**

**T 플립-플롭은 토글 플립-플롭을 의미한다. JK 플립-플롭에서 나왔듯이 토글이란 새로운 Q의 값이 이전의 Q의 값의 반대가 되는 것을 의미한다. T 플립-플롭은 입력 T와 CP, 그리고 출력 Q로 구성되어 있는데, T의 값이 0이면 Q의 값은 변화하지 않으며 T의 값이 1이면 Q의 값은 이전의 Q의 값의 반대가 된다. 이 플립-플롭에서는 총 4가지 상황이 발생할 수 있다. 기존 Q의 값이 0일 때, T의 값이 0인 경우에 새로운 Q의 값은 그대로 0이 되고, 기존 Q의 값이 1일 때, T의 값이 0인 경우에 새로운 Q의 값도 여전히 0이 된다. 기존 Q의 값이 0일 때, T의 값이 1인 경우에 새로운 Q의 값은 기존과 반대인 1이 되고, 기존 Q의 값이 1일 때, T의 값이 1인 경우에는 새로운 Q의 값은 0이 된다. T 플립-플롭도 CP가 존재하기 때문에 상승 에지에서 트리거 되는 경우와 하강 에지에서 틀리거 되는 경우로 구분되는데, 전자는 CP가 0에서 1로 상승하는 시점에서 T의 값이 1이면 Q의 값은 기존 Q의 보수가 되고, T의 값이 0이면 Q의 값은 변하지 않는다. 후자는 CP가 1에서 0으로 하강하는 시점에서 T의 값이 1이면 Q의 값은 기존 Q의 보수가 되고, T의 값이 0이면 Q의 값은 변하지 않는다. T 플립-플롭은 주파수를 분할하는 역할을 하기도 한다. 입력 T와 clock에 같은 주파수의 펄스를 가하면 출력 Q의 주파수는 입력 주파수의 1/2배가 된다. 이렇게 출력된 주파수를 다음 T 플립-플롭의 입력의 주파수로 설정하고 clock의 주파수도 동일하게 설정하면 출력의 주파수는 다시 1/2배가 되어 처음 입력된 T의 주파수의 1/4배가 된다. 이러한 방식으로 T 플립-플롭을 사용하면 주파수를 조절할 수 있다.**

**5.**

**Latch는 정보신호를 임의로 기억할 수 있는 디지털회로의 한 종류로, 같은 입력 상태라도 과거의 정보에 따라 다른 동작을 수행하는 것을 가능하게 한다. 래치란 빗장을 걸다 라는 뜻이며, 입력 신호로 인해 출력의 값이 변화하면, 입력 신호를 제거하더라도 그 상태를 그대로 유지하는 회로를 래치회로라고 한다. 즉, 래치는 입력을 제거하더라도 출력 상태를 기억할 수 있는 회로로써 기능한다. RS 래치를 예로 들면, RS 래치는 RS 플립-플롭과 유사한 구조를 갖고, 유사한 기능을 한다. 따라서 입력 값에 대한 출력 값의 변화도 RS 플립-플롭과 동일하다. S는 SET을 의미하며 S가 1인 경우에 Q의 값은 1이 되고, R은 RESET을 의미하며 R이 1인 경우에 Q의 값은 0이 된다. S와 R 모두 0인 경우에는 출력 값이 변화하지 않고 모두 1인 경우는 허용하지 않는다. 래치도 플립-플롭과 마찬가지로 두 개의 출력 Q와 Q’을 가지고 있기 때문에 Q의 값이 1이라면 Q’은 0을 출력하고, Q의 값이 0이라면 Q’은 1을 출력한다. 래치는 플립-플롭과 달리 CLOCK을 사용하지 않는다. 따라서 CLOCK 값의 변화에 따라 출력 값이 변화하지 않으며 전류의 흐름에 따라 출력 값이 변화한다. 또한 기존 RS 래치에 인에이블을 추가하여 R, S, EN 세 가지 입력을 갖는 RS 래치를 게이트화된 RS 래치라고 하는데, 이는 EN 입력이 High일 때만 동작하기 때문에 비동기식 플립플롭이라고 부르기도 한다.**

**6.**

**Clock은 각종 논리 신호가 특정 시각에 일제히 동작하도록 시스템을 관리하는 기능을 한다. 즉, clock 신호가 변화함에 따라 특정 clock 신호에서는 시스템이 동작하고, 나머지 clock 신호에서는 시스템이 동작하지 않는다. 디지털 시스템의 동작을 동기화하기 위해 사용하는 신호를 clock pulse(CP)라고 하고, 이 신호를 사용해 시스템의 동작을 동기화한다. 동기화는 clock pulse의 주기적인 순서를 만들어내는 클록 생성기라는 타이밍 소자를 통해 얻을 수 있다. 이렇게 생성된 clock pulse는 기억 장치 요소에 입력되는데, 기억 장치 요소에서는 다른 입력과 함께 clock pulse를 통해 출력 값을 변화시킨다. 즉, 기억 장치 요소의 출력은 clock pulse가 나타날 때 변화한다고 할 수 있다. 이러한 방식으로 클록 펄스를 사용하는 동기식 순차 회로를 클록형 순차 회로라고 하며, 그 대표적인 기억 장치 요소가 바로 플립-플립이다. 앞서 조사한 여러 종류의 플립-플롭에는 CP라는 입력이 존재했는데, 그 입력이 clock pulse를 의미하며, clock pulse가 변화함에 따라 플립-플롭이 작동하기도 하고, 작동하지 않기도 했다. 이렇듯 clock은 디지털 회로가 특정 시각에 동시에 작동하도록 하는 기능을 한다.**

**7.**

**일반적으로 디지털 시스템은 clock 신호에 동기하여 동작이 이루어지는데, 보통 clock 신호가 low에서 high로 변화하는 상승에지나, 신호가 high에서 low로 변화하는 하강에지에서 동작이 수행된다. 이를 클록에 동기하여 신호를 유지한다고 하며 edge-trigger라고 부른다. 즉, edge-trigger 방식은 clock pulse의 값이 일정하게 유지되는 동안에는 작동하지 않고, clock pulse의 값이 상승하거나 하강하는 시각에 작동한다. Edge-trigger 방식을 사용한 플립-플롭을 에지 트리거드 플립-플롭이라고 하며, 앞서 조사한 여러 종류의 플립-플롭이 에지 트리거드 플립-플롭을 나타낸다. 즉, 상승 에지 트리거드 플립-플롭은 clock pulse가 0에서 1로 상승할 때, 플립-플롭이 작동되는 것이고, 하강 에지 트리거드 플립-플롭은 clock pulse가 1에서 0으로 하강하는 시점에 플립-플롭이 동작하는 것이다. Clock pulse가 유지되는 동안, 즉 변화하지 않은 동안에는 회로가 작동하지 않고, clock pulse가 상승하거나 하강하듯 변화가 있을 때 회로가 동작하기 때문에 ‘동적’이라는 단어를 사용하기도 한다. 따라서 edge-trigger를 표현하는 기호들을 동적 입력과 동적 지시자라고 하며 동적 입력은 에지트리거드 플립-플롭이 에지에서 반응한다는 것을 나타내고, 동적 지시자는 플립-플롭이 입력 clock pulse의 에지 전이에 반응한다는 것을 나타내는 기호이다.**

**8.**

**Master-slave도 플립-플롭을 구성하는 하나의 방식이다. Master-slave 방식으로 플립-플롭을 구성하기 위해서는 2개의 플립-플롭이 필요한데, 앞단에 있는 플립-플롭을 마스터, 뒷단에 있는 플립-플롭을 슬레이브라고 한다. 뒤에 있는 플립-플롭을 slave라고 하는 이유는 master의 출력이 slave의 입력이 되기 때문이다. 또한 master-slave 플립-플롭은 하나의 인버터가 필요하다. Master-slave 플립-플롭은 하나의 clock pulse를 사용하는데, clock pulse가 high일 때는 master 플립-플롭을 작동시키고, clock pulse가 low일 때는 인버터를 거쳐 slave 플립-플롭을 작동시키기 때문이다. Master 플립-플롭이 작동하면 master 플립-플롭의 출력 값 Y가 변화하고 그 Y는 slave 플립-플롭의 입력이 된다. 이 후 clock pulse의 값이 변화하여 slave 플립-플롭이 실행되면 slave 플립-플롭의 출력 Q가 출력된다. 예를 들어, 두 개의 RS 플립플롭으로 구성된 master-slave FF는 S가 1이고, R이 0이고, clock pulse가 1인 상황에서 마스터 플립-플롭이 작동되고, 출력 Y는 1, Y’은 0이 되며, Y가 slave FF의 S로, Y’이 slave FF의 R로 입력된다. Clock pulse가 변화하여 0이 되는 상황에서 slave FF가 작동하며, 출력 Q의 값이 1이 된다. 이는 RS 플립-플롭의 출력 값과 동일하다. Master-slave 방식으로 플립-플롭을 설계하는 이유로는 레이스를 방지하기 위함이 있다. 레이스란 전파 지연으로 인해 오류가 발생하는 현상인데, clock pulse가 전파되는 시간이 clock pulse의 지속 시간보다 작을 때 발생한다. 하지만 master-slave 방식을 사용하면 이러한 오류를 방지할 수 있다.**

**9.**

**플립-플롭은 클록 입력과 무관하게 비동기적으로 플립플롭을 세팅하거나 리세팅하기 위한 특정 입력을 제공하기도 하는데, 비동기적 플립플롭에서 set의 역할을 하는 입력을 다이렉트 셋 또는 프리셋이라고 하며 reset의 역할을 하는 입력을 다이렉트 리셋 혹은 클리어라고 한다. Preset과 clear는 clock pulse가 들어오기 전 초기의 값을 임의로 결정하는 기능을 한다. PR과 CLR을 입력시키는 방법은 PR과 CLR에 0을 입력하는 경우와 1을 입력하는 경우로 나눌 수 있는데, PR에 0을 입력시켜 Q = 1, Q’ = 0으로 세팅하는 것을 low preset이라고 하고, CLR에 0을 입력해 Q = 0, Q’ =1로 리셋하는 것을 low clear라고 한다. 반대로, PR에 1을 입력하여 Q =1, Q’ = 0으로 세팅하는 것을 high preset, CLR에 1을 입력해 Q =0, Q’ =1로 리세팅하는 것을 high clear라고 한다. 이 입력들은 회로가 clock에 반응하기 전에 우선적으로 플립플롭을 초기화 상태로 만드는 데 유용하게 사용된다.**

**참조:**

**디지털 논리와 컴퓨터 설계(Mano Morris)**

**디지털 논리설계(황의철)**

**디지털 공학(조현철)**