2주차 예비보고서

전공: 경영학과 학년: 3학년 학번: 20190963 이름: 한다현

**1. HDL은 Hardware Description Languages의 줄임말로 하드웨어 기술 언어라는 뜻이다. HDL은 전자 회로에서 시간에 대한 데이터의 흐름을 모델링하는 데에 사용되며, 하드웨어 회로들이 동시에 실현될 수 있도록 표현하는 구조를 가지고 있다. Verilog 이외의 HDL에는 대표적으로 VHDL이 있는데 VHDL은 주로 하드웨어를 기술하는 모델링 언어로써 사용된다. VHDL의 기본 블록인 entity는 entity declaration과 architecture body로 이루어져 있는데 entity declaration 부분은 모델링 되고 있는 설계 단위의 이름과 input, output 포트로 구성되어 있고, architecture body 부분은 설계 기능을 실행하는 명령어로 이루어져 있다.**

**2. Verilog는 1980년 대에 처음 개발되었으며 Institute of Electrical and Electronics Engineers(IEEE)에서 1995년에 IEEE Standard 1364-1995를 발표하면서 처음으로 표준화된 Verilog를 배포했다. 이후 수정된 Verilog 표준인 IEEE 1364-2001을 2002년에 발표했는데, 이 개정안은 발전된 설계 기술을 원하는 산업의 수요에 따라 물리적 수준과 추상적 수준 모두의 효용성을 개선한 새로운 구조를 제공했다. 이후에 IEEE 1364-2005 개정안이 발표되었으며 이 개정안에서는 기존의 IEEE 1364-2001에서 모호하게 기술되었던 특징들을 명확하게 수정하였고, Verilog HDL과 표준 지연 형식의 문법과 의미, 시뮬레이션 시스템의 작업 및 함수, 컴파일러 지시사항 등을 포함하였다. IEEE 1800으로 발전하면서부터 Verilog에 바탕을 둔 더 높은 수준의 언어인 System Verilog가 등장하였다.**

**3. Verilog의 기본적인 설계 블록은 모듈이고, 모듈은 module name declaration, port list, functionality와 같이 세 부분으로 이루어져 있다. 다른 모듈과 연결할 때 사용하는 input/output 인터페이스인 Port, 모듈 구조 안에서 선언되는 상수를 뜻하는 Parameter, \*, +, -, ~, &, ! 등 다양한 종류의 연산자 등을 프로그래밍에 사용할 수 있으며 Net, Register, Array 등의 데이터 타입도 있다. Net 데이터 타입은 다른 하드웨어 요소 사이의 전기적 상호 연결을 의미하고, Register 데이터 타입은 값을 저장할 수 있는 변수를 의미하며, Array는 여러 개의 요소를 저장하는 데이터 타입이다.**

**참조:**

**Field Programmable Gate Array and Applications**

(http://libproxy.sogang.ac.kr/\_Lib\_Proxy\_Url/https://search.ebscohost.com/login.aspx?direct=true&db=nlebk&AN=1718987&lang=ko&site=ehost-live&ebv=EB&ppid=pp\_5\_12)