3주차 결과보고서

전공: 경영학과 학년: 3학년 학번: 20190963 이름: 한다현

**1. 먼저 디자인 소스와 시뮬레이션 소스를 작성한다. 이 후 constraints 파일을 생성하여 input과 output에 각각 핀을 할당한다. 각각의 포트에 핀을 할당한 후에는 synthesis와 implementation을 실행하고 Bitstream을 생성한다. Bitstream 생성이 완료된 후에는 하드웨어 매니저를 통해 FPGA 회로와 연결한다. 회로의 전원을 켜고 FPGA의 동작을 확인할 수 있다.**

**2. Input A와 B 중에 하나라도 값이 0이면 A and B의 값 D는 0이 되고 모두 1이면 D의 값은 1이 된다. 이렇게 출력된 D와 또다른 input C가 AND 게이트에 입력되면 두 입력의 값이 모두 1이면 1을 출력하고 하나라도 0이면 0을 출력한다. 3-input AND 게이트에 대한 진리표는 다음과 같다.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Input A | Input B | Input C | Output D | Output E |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**3. input A, B, C, D가 있고 A와 B의 AND 게이트의 결과값을 E라고 할 때, A와 B가 모두 1이면 E는 1이고, 그렇지 않은 경우에 E는 0의 값을 갖는다. 이렇게 출력된 E와 C의 AND 게이트의 결과값을 F라고 할 때 E와 C의 값이 모두 1이면 F는 1이고 그렇지 않은 경우에 F는 0이다. 마지막으로 F와 D의 결과값인 G는 F와 D 모두 1이면 1이 되고 그렇지 않으면 0이 된다. 4-input AND 게이트의 진리표는 다음과 같다.**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** | **Output F** | **Output G** |
| **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** | **0** | **0** |
| **0** | **1** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **1** | **0** | **0** | **0** | **0** |
| **0** | **1** | **1** | **1** | **0** | **0** | **0** |
| **1** | **0** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **0** | **1** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **0** | **1** | **1** | **0** |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** |

**4. Input A, B, C와 A, B의 OR 게이트 출력 값 D, D와 C의 OR 게이트 출력 값 E가 있다고 가정할 때, A와 B의 값이 모두 0이면 D는 0이 되고 하나라도 1이면 D는 1이 된다. D와 C의 값이 모두 0이면 E는 0이 되고 그렇지 않으면 1이 된다. 3-input OR 게이트의 진리표는 다음과 같다.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Output D** | **Output E** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **1** |
| **0** | **1** | **0** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** | **1** |
| **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **1** | **1** |
| **1** | **1** | **1** | **1** | **1** |

**5. Input A, B, C, D와 A, B의 OR 게이트 출력 값 E, E와 C의 OR 게이트 출력 값 F, F와 D의 OR 게이트 출력 값 G가 있다고 가정할 때, A와 B 중 하나의 값이 1이면 E의 값은 1이 되고 나머지 경우에는 0이 된다. E와 C의 값 중 하나라도 1이면 F의 값은 1이 되고 그렇지 않으면 0이 된다. D와 F의 값 모두 0이면 G의 값은 0이 되고 그렇지 않으면 1이 된다. 4-input OR 게이트의 진리표는 다음과 같다.**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** | **Output F** | **Output G** |
| **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** | **0** | **1** |
| **0** | **0** | **1** | **0** | **0** | **1** | **1** |
| **0** | **0** | **1** | **1** | **0** | **1** | **1** |
| **0** | **1** | **0** | **0** | **1** | **1** | **1** |
| **0** | **1** | **0** | **1** | **1** | **1** | **1** |
| **0** | **1** | **1** | **0** | **1** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** | **1** | **1** | **1** |
| **1** | **0** | **1** | **0** | **1** | **1** | **1** |
| **1** | **0** | **1** | **1** | **1** | **1** | **1** |
| **1** | **1** | **0** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **1** | **1** | **1** | **1** |
| **1** | **1** | **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** |

**6. AND 게이트의 경우에는 출력되는 결과 값이 1보다 0이 될 가능성이 더 높은 반면 OR 게이트의 경우에는 출력되는 결과 값이 0보다 1이 될 가능성이 더 높은 것을 볼 수 있다. OR 게이트에서는 input이 A, B, C, D 네 개가 있어도 A나 B 중 하나만 1이어도 나머지 결과 값이 모두 1이 된다. AND 게이트에서는 input A, B, C, D 네 개가 있는 상황에서 A나 B 중 하나만 0이어도 나머지 결과 값이 모두 0이 된다. 따라서 input의 개수와 상관 없이 OR 게이트에서는 처음 두 개의 input 중 하나만 1이면 모든 결과 값이 1이 되고 AND 게이트에서는 처음 두 개의 input 중 하나만 0이면 모든 결과 값이 0이 된다는 것을 알 수 있다.**

**7. AND 게이트에 사용되는 트랜지스터의 수는 6개이고 OR 게이트에 사용되는 트랜지스터의 수도 6개이다. 두 게이트의 지연 시간은 2.4NS인데 NAND와 NOR 게이트에 사용되는 트랜지스터 수가 4이고 지연 시간이 1.4NS인 것을 고려하면 NAND, NOR 게이트보다 AND, OR 게이트가 더 복잡한 논리 구조라는 것을 알 수 있다.**