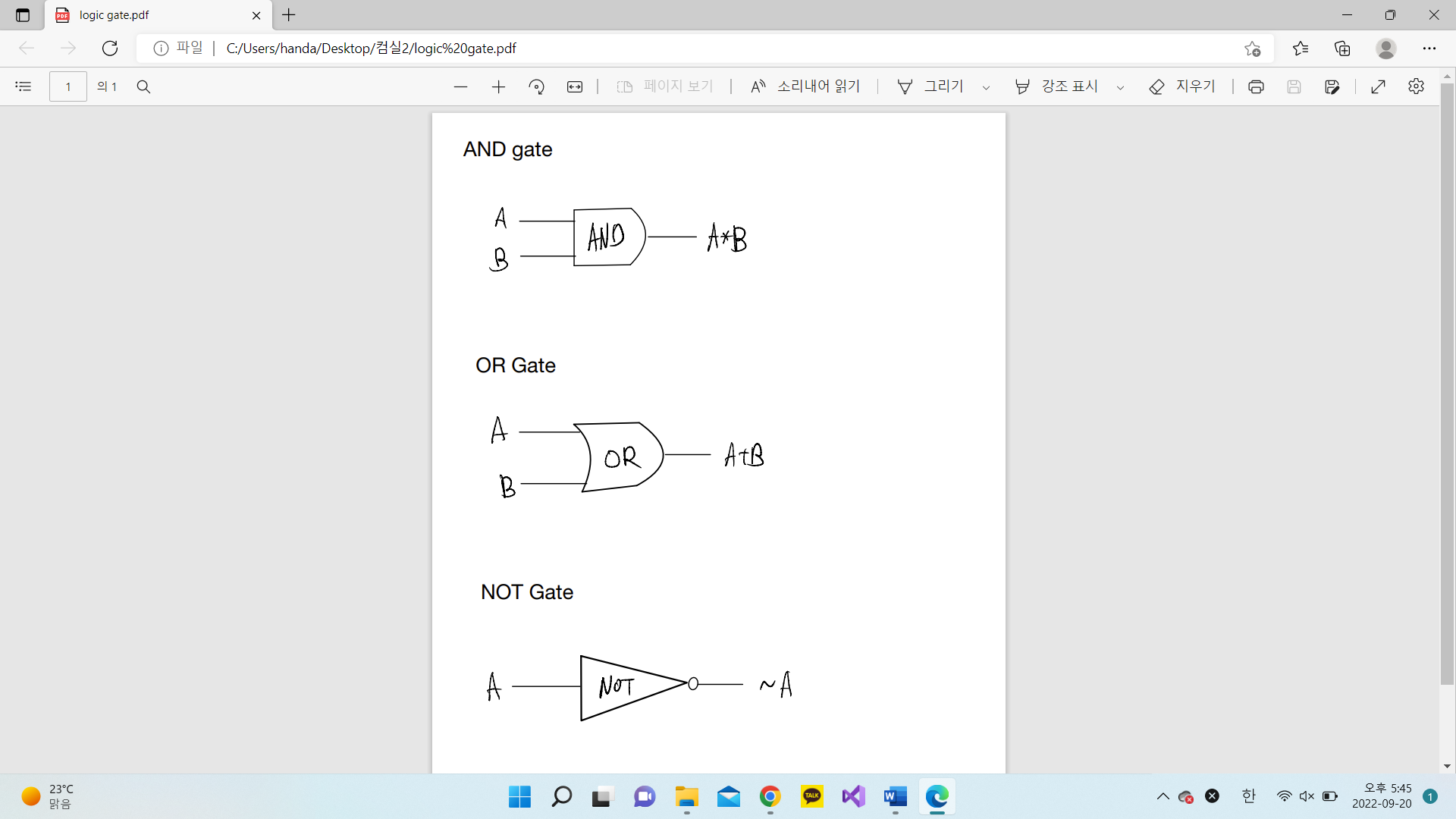
3주차 예비보고서

전공: 경영학과 학년: 3학년 학번: 20190963 이름: 한다현

**1.**



**2. AND logic은 input 요소들의 값이 모두 높을 때 output이 높다. 즉, input A와 B가 있을 때, A와 B의 값이 모두 1이어야 결과값도 1이 되고 나머지 경우에는 결과값이 0이 된다. OR logic은 input 요소들 중 하나 이상의 값이 높을 때 output이 높다. 즉, input A와 B 중 하나만 1이거나 모두 1일 때는 결과 값이 1이 되고 모두 0일 때는 결과값이 0이 된다. NOT logic은 결과값이 입력 값의 반대로 출력된다. 입력 값이 0이면 결과 값은 1이 되고, 입력 값이 1이면 결과 값은 0이 된다.**

**3. Fan-out은 전자 회로에서 한 게이트가 그것의 출력을 회로의 작동을 방해하지 않고 다른 게이트에게 공급할 수 있는 최대치이다. 즉, 하나의 출력이 얼마나 많은 게이트의 입력 값이 되는지를 의미한다. 이는 한 게이트가 다른 게이트와 연결될 수 있는 용량이기 때문에 만약 한 게이트가 fan-out 용량 이상의 게이트와 연결되어 있다면 회로의 작동을 방해하거나 회로가 정상적으로 작동하지 않는 등의 문제가 발생할 수 있다. 따라서 회로의 정상적인 작동을 위해서는 fan-out 용량에 따라 게이트 간의 연결을 조절할 필요가 있다.**

**4. 전파 지연(Propagation delay)는 한 논리 수준에서 다른 논리 수준으로 상태가 변화할 때 출력까지 걸리는 시간을 의미한다. 출력의 변화에 따라 상승 지연 시간, 하강 지연 시간이 있는데, 주로 상승 지연 시간과 하강 지연 시간의 평균값을 전파 지연 시간이라고 한다. Verilog에서는 딜레이 토큰인 ‘#’을 이용해 전파 지연을 설계할 수 있다. 또한 0, 1과 더불어 고저항 상태를 가질 수 있는 tri-state 장치에서는 turn-off 지연 시간도 존재하는데 turn-off 지연 시간은 출력이 어떠한 값에서 고저항 상태로 값이 변화하는 동안 걸리는 시간을 의미한다.**

**5. Verilog의 Function은 프로그램을 설계하면서 반복되는 코드를 여러 번 작성하지 않기 위해서 사용한다. 함수를 정의한 뒤 반복적인 코드를 함수에 작성하면 코드를 여러 번 작성하지 않고 함수를 호출하기 하면 되기 때문에 작성해야 할 코드의 양이 줄어든다. 함수는 function이라는 키워드로 시작하고 endfunction이라는 키워드로 종료된다. Task도 Function과 비슷한 역할을 수행하지만 약간의 차이점이 있다. 함수는 하나의 리턴 값을 갖지만 Task는 여러 개의 결과 값을 계산하고 output 구문을 사용해 반환할 수 있다. 또한 함수는 시간을 제어할 수 있는 구문을 사용할 수 없지만 Task는 @, posedge 등을 사용해 시간을 제어하고 지연 시간을 구현할 수 있다.**

**참조:**

**Field Programmable Gate Array and Applications**

(http://libproxy.sogang.ac.kr/\_Lib\_Proxy\_Url/https://search.ebscohost.com/login.aspx?direct=true&db=nlebk&AN=1718987&lang=ko&site=ehost-live&ebv=EB&ppid=pp\_5\_12)