

FPGA Heater, Evolution Temperaturmodell FPGA,

Department of Computer Science
Faculty for Electrical Engineering,
Computer Science and Mathematics
University of Paderborn
Pohlweg 47-49
33098 Paderborn, Germany

12. Mai 2014

Prüfer und Betreuer: Dr. Paul Kaufmann, paul.kaufmann@uni-paderborn.de
Zweitprüfer: Prof. Dr. Marco Platzner, platzner@uni-paderborn.de
Student: Hendrik Hangmann, hhangman@mail.uni-paderborn.de
Laufzeit: Juni 2014 — November 2014

1 Thematischer Hintergrund

Die postfabrikative Vorhersagbarkeit und Handhabbarkeit lastabhängiger Temperaturverteilungen großer integrierter Bausteine wird zunehmend wichtiger. Dies ist zumeist durch zeitlich engräumigen Leistungsabruf moderner Anwendungsszenarien motiviert. Der Entwurf moderner integrierter Bausteine geht davon aus, dass bei Auslastung einiger weniger Rechenwerke die Temperaturverteilung eines Chips die Maximalgrenzen nicht überschreitet. Werden dagegen mehr Recheneinheiten gleichzeitig aktiv, muss mit kritischen Temperaturen gerechnet werden.

2 Problemstellung

Das erste Ziel der Arbeit ist die Identifikation von FPGA Schaltungen mit kritischen Temperatursignaturen. Dies soll mithilfe kombinatorischer Methoden umgesetzt werden. Obwohl die dabei resultierenden Schaltungen nicht den typischen Nutzschaltungstyp repräsentieren, soll zunächst das thermische Überlastungsszenario validiert werden. Weiterhin sind die maximalen Temperatursignaturen als obere Schranken für ein Temperaturmodell interessant.

Die automatische Bestimmung eines postfabrikativen Temperaturmodells ist das zweite Ziel der Arbeit. Basierend auf der Publikation [1] soll ein generelles Modell definiert und durch eine Messreihe parametrisiert werden. Kriterien sind dabei die Genauigkeit sowie Vorhersagegenauigkeit des Modells und der Aufwand bei der Modellerstellung.

3 Teilaufgaben

- Automatische Bitstromgenerierung
 - Ist eine automatische Bitstromgenerierung durchführbar?
 - * Führt ein FPGA einen internen Syntaxcheck des Bitstroms durch?
 - Implementierung eines Host-PC- oder Zynq-basierten Genetischen Algorithmus zur automatischen Bitstromgenerierung
 - Evolution evolvierbarer Heater für einen bestimmten FPGA Typ
 - * Sind die evolvierbaren Heater regionsabhängig?
 - * Gibt es eine Hierarchie in den Temperatursignaturen?
 - * Wie sehen die Interaktionsmuster der FPGA-internen Sicherheitslogik aus?
- Erstellung und automatische Parametrisierung eines FPGA Temperaturmodells
 - Implementierung des Temperaturmodells aus [1]
 - Aufbau des Temperaturmesssystems
 - Implementierung eines kombinatorischen Optimierungsalgorithmus (Simulated Annealing, Evolutionäre Strategien,...)
 - Iterative Durchführung von
 - * Messungen
 - * Parametrisierung der Algorithmen
 - * Feinjustierung der Mess- und Trainingsprozedur
 - Vergleich des erstellten Temperaturmodells mit konventionellen Temperaturmodellen ([2], [3])

4 Organisatorisches

- **Zeitplan:** Erstellen Sie am Anfang Ihrer Arbeit zusammen mit Ihrem Betreuer einen realistischen Zeitplan. Halten Sie Ihren Arbeitsfortschritt laufend fest.
- **Antrittsvortrag:** Tragen Sie in einem 15-minütigen Vortrag eine inhaltliche und zeitliche Übersicht Ihrer Arbeit vor.
- **Regelmäßige Besprechungen:** Um den Stand der Arbeit zu verfolgen und um Schwierigkeiten oder das weitere Vorgehen zu besprechen, ist ein Treffen jede bzw. jede zweite Woche mit ihrem Betreuer geplant.
- **Dokumentation:** Dokumentieren Sie Ihre Arbeit sorgfältig. Legen Sie dabei besonderen Wert auf Klarheit und Vollständigkeit.
- **Abschließender Vortrag:** Präsentieren Sie, unter dem Bezug zur Aufgabenstellung, die erreichten Resultate.

- **Abgabe der Arbeit:** Geben Sie Ihren vollständigen compilierbaren und synthetisierbaren Code, die Experimentaldaten, die Folien der beiden Vorträge und die Arbeit in digitaler Form ab.

5 Einführende Literatur

Literatur

- [1] Markus Happe, Andreas Agne, and Christian Plessl. Measuring and Predicting Temperature Distributions on FPGAs at Run-Time. In *Proceedings of the International Conference on Reconfigurable Computing and FPGAs*, Cancun, Mexico, December 2011. IEEE Computer Society.
- [2] Wei Huang, S. Ghosh, S. Velusamy, K. Sankaranarayanan, K. Skadron, and M.R. Stan. HotSpot: A Compact Thermal Modeling Methodology for Early-Stage VLSI Design. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 14(5):501–513, 2006.
- [3] Yong Zhan and S.S. Sapatnekar. Fast Computation of the Temperature Distribution in VLSI Chips Using the Discrete Cosine Transform and Table Look-Up. In *Proc. of Design Automation Conference (ASP-DAC)*, volume 1, pages 87–92 Vol. 1, Jan 2005.