**北 京 邮 电 大 学**

**本科毕业设计（论文）中期进展情况检查表**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 学院 | 计算机学院 | 专业 | 计算机科学与技术 | 班级 | 2015211304 |
| 学生姓名 | 韩萌 | 学号 | 2015211221 | 班内序号 | 2 |
| 指导教师姓名 | 肖利民 | 所在单位 | 北京航空航天大学 | 职称 | 教授 |
| 设计（论文）题目 | （中文）基于MIPS 指令集的CPU设计与验证 | | | | |
| （英文）The Design and Verification of CPU Based on MIPS | | | | |

|  |  |
| --- | --- |
| 目前已完成任务 | 主要内容: (毕业设计（论文）进展情况，字数一般不少于1000字)   1. 系统设计   CPU设计是整个计算机系统设计中的核心设计，其性能好坏是决定计算机性能的关键因素。精简指令集计算机（RISC） 和复杂指令集计算机（CISC） 是目前设计制造微处理器的两种典型技术，MIPS是一种很流行的RISC处理器，MIPS是指“无内部互锁流水级的微处理器”。本论文根据MIPS架构对MIPS CPU进行实现，通过数据旁路和延迟分支技术解决流水线冲突，完成5级流水线的CPU系统，并设计RGB屏幕，数码管，串口等输入输出设备的驱动模块添加系统功能。主要包括以下内容：   1. 指令集设计   MIPS 系统的指令集共包含三种类型，分别是R-Type（寄存器类型）、I-Type（立即数类型）和J-Type（转移跳转类型），其格式如下图1所示。    图1 MIPS指令格式  其中，OPCODE表示指令的操作码，RS表示源寄存器号，RT表示源/目的寄存器号，RD表示目的寄存器号，SHAMT表示位移指令位移数，FUNCTION表示指令扩展码，IMM表示16位立即数，JUMP ADDRESS表示转移地址。  指令是CPU执行的最小单位，根据功能可分为逻辑操作指令、位移操作指令、移动操作指令、算术运算指令、转移指令、加载存储指令、协处理器访问指令、异常相关指令。 |
| 目前已完成任务 | 主要内容: (毕业设计（论文）进展情况，字数一般不少于1000字)  本论文针对上述分类，从MIPS指令集156条指令中，选取65条指令具有代表意义的指令作为本论文实现的指令子集，该子集指令格式覆盖R-Type类、I-Type类、J-Type类，功能上覆盖逻辑操作指令、位移操作指令、移动操作指令、算术运算指令、转移指令、加载存储指令、协处理器访问指令、异常相关指令，如下表1所示。    表1 MIPS指令子集指令格式   1. 系统结构设计   本论文将系统细分为CPU模块、存储器模块、输入输出模块、上位机模块，其中CPU模块可细分为控制器模块和运算器模块。系统总体架构如图2所示。    图2 系统总体架构图  CPU模块负责计算取指令地址、分析指令、执行指令、产生存取数据控制信号等操作，指令存储器模块与数据存储器模块根据CPU模块产生的控制信号完成数据的存取。输入输出模块内包含串口模块、数码管模块、RGB屏幕模块三个子模块，各子模块通过各自的驱动程序，完成数据的格式化输入输出呈递。上位机模块负责对CPU模块中关键数据的显示，具有单步调试、重置等接口，完成人机交互功能。   1. 流水线结构设计   MIPS CPU执行指令时，在一个时钟周期内，有5条指令并行执行，一条指令的执行可细分为5个阶段，分别为取指令阶段（IF）、分析指令阶段（ID）、执行指令阶段（EXE）、访存数据阶段（MEM）、数据写回阶段（WB）。其具体结构框图如图3所示。其中IM表示指令存储器，RF表示数据寄存器，ALU表示算术逻辑单元，DM表示数据存储器。    图3 流水线结构示意图  各阶段的详细分工为：  IF阶段： 根据程序计数器PC数值，从指令存储器中取出待执行指令。  ID阶段：进行分析待执行指令，对指令进行译码，产生操作码等控制信号，从寄存器组中读出操作数等操作。  EXE阶段：对传入的操作数根据操作码进行数值、逻辑、位移等运算。  MEM阶段：依据控制信号，从数据存储器中读出或写入数据。  WB阶段： 依据控制信号，将执行结果写入相关寄存器中。   1. 输入输出模块设计   输入输出模块分为串口通信子模块、数码管子模块、RGB屏幕子模块。串口通信子模块通过编写驱动程序，完成并行数据信号与USB差分信号数据间的转换。数码管子模块通过编写驱动程序，完成并行数据信号到6位七段数码管控制信号的转换；RGB屏幕子模块通过直接访问数据存储器中的数据，通过编写驱动程序，将数据抽象为屏幕像素点的色值，完成数据的形象化呈现。   1. 上位机模块设计   上位机模块运行于个人电脑端，通过本系统串口通信子模块完成数据交互，解析串口通信子模块中的数据，在程序界面中显示寄存器堆数据、算术逻辑单元ALU运算数据、程序计数器PC数据等关键数据，并提供单步调试、系统重置的交互接口，搭建人机交互平台。   1. 系统实现   本论文根据上述模块设计，采用现场可编程门阵列FPGA作为系统实现媒介。FPGA具有运算速度快、I/O口资源丰富，电路设计周期短，灵活性高等优点，满足本论文对系统实现与验证的需求。本论文选用海川博通信息科技有限公司推出的开拓者FPGA开发板进行系统实现。板载FPGA芯片为Alter EP4CE10，该芯片具有10320个逻辑单元，414kbits存储单元，2个锁相环单元， 179个可用I/O口，满足系统设计需求。  依据系统设计，设计系统控制链路与数据通路，实现MIPS指令的正确执行。MIPS 流水线执行指令会导致指令相关问题的产生，导致指令不能再预先设定的执行周期执行，对流水线中的指令的执行产生影响，可能引起流水线断流等问题，指令相关问题包括：   1. 结构相关   当若干条指令同时执行时，有些指令会在同一个时钟周期内使用同一个部件重叠执行，如果微处理器的硬件结构不能够满足重叠执行的要求，就会产生结构相关。如下图4所示，如果系统结构只有一个存储器模块，两条指令会同时产生对存储器的读写操作。    图4 流水线指令结构相关示意图   1. 数据相关   当一条指令要使用前面一条指令的执行结果时，这两条指令将产生数据相关。如下图5所示，第二、三、四条指令使用第一条指令计算的结果，此时会产生数据相关，流水线需要断流等待计算结果。    图5 流水线指令数据相关示意图   1. 控制相关   指令控制相关发生在某些跳转指令，当发生指令转移时，会执行到分支指令或引起程序计数器PC值发生变化的指令，这些指令与后面的几条指令形成控制相关。如下图6所示，第一条分支跳转指令在EXE阶段执行结束后得到跳转地址，此时第二、三条指令已经进入流水线执行，此时会产生指令控制相关，为避免执行错误指令，流水线需要断流等待计算结果。    图6流水线控制相关示意图 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 目前已完成任务 | 本系统综合分析上述指令相关问题，采用如下方案解决指令相关问题。   1. 采用指令存储器和数据存储器分开设计方案避免指令结构相关问题。 2. 在ID、EXE、MEM、WB阶段添加数据旁路，完成数据重定向功能，尽可能消除指令数据相关问题对流水线执行的影响。 3. 通过将分支指令条件是否成立的判断工作前推至ID阶段，在指令编译时添加延迟槽指令的方案，避免指令控制相关问题。 4. 系统验证   本论文根据系统设计方案，运用硬件描述语言Verilog进行系统实现，并依据系统设计方案，设计功能验证测试方案。以先局部后整体、先单条指令后多条指令、先软件模拟后硬件验证为原则设计了多组测试方案进行系统功能验证。分析实验结果，系统运行符合预期。   1. 软件仿真测试   通过使用EDA仿真软件，运行Testbench实验样例，进行软件仿真测试。运行结果如图7所示    图7 软件仿真结果   1. 硬件下载测试   通过QuarterII软件编译程序，生成sof文件，通过下载器烧录程序至FPGA开发板，运行程序，运行效果如下图8所示。  图8 硬件下载测试 | | | |
| 是否符合任务书要求进度 | | | |
| 尚需完成的任务 | 1. 添加分支预测表模块，对比指令控制相关在不同策略下对流水线的性能影响。 2. 设计系统测试实验，丰富系统测试。 3. 完善上位机模块功能。 4. 撰写毕业设计论文。 | | | |
| 能否按期完成设计（论文） | | | |
| 存在问题和解决办法 | 存  在  问  题 | 分支预测表模块中对于时钟信号的冲突问题 | | |
| 拟  采  取  的  办  法 | 尝试通过时钟时钟上升沿写入，时钟下降沿读出策略，在同一个时钟周期避免同时读写造成的冲突。 | | |
| 指导教师签字 | |  | 日期 | 年 月 日 |
| 检查小组意见 | | 负责人签字： 年 月 日 | | |

注：可根据长度加页。