

北 京 邮 电 大 学

本科毕业设计（论文）开题报告

学院	北京邮电大学	专业	计算机科学与技术	班级	2015211304
学生姓名	韩萌	学号	2015211221	班内序号	2
指导教师姓名	肖利民	所在单位	北京航空航天大学	职称	教授
设计（论文）题目	（中文）基于 MIPS 指令集的 CPU 设计与验证				
	（英文） The Design and Verification of CPU Based on MIPS				
<p>毕业设计（论文）开题报告内容：（主要包含选题的背景和意义；研究的基本内容和拟解决的主要问题；研究方法及措施；研究工作的步骤与进度；主要参考文献等项目）</p> <p><b>一、选题的目的及意义</b></p> <p>基于 RISC 架构的 MIPS 指令处理器是通用高性能处理器的一种。其架构简洁，运行效率高，在嵌入式处理，多媒体应用等各个领域得到了广泛的应用。使用 FPGA 制作的 CPU 具有易于调试，便于集成的特点。在片上系统设计方法日益流行的趋势下，学习并掌握 CPU 设计技术十分必要。</p> <p><b>二、研究的基本内容</b></p> <p>1、CPU 系统指令集设计</p> <p>机器指令是 CPU 执行的的最小单位，一套功能完善的 CPU 系统所需的指令的种类可分为：整数算数运算和逻辑运算类、寄存器与存储器数据传送类、条件转移和无条件跳转类、子程序调用和返回类、浮点运算类、I/O 访问类、系统维护类。本论文根据此分类原则，构建的流水线 CPU 系统所需指令集，涵盖各个类别的指令，实现 CPU 的基础功能。</p> <p>2、CPU 系统结构设计与实现</p> <p>5 级流水线 CPU 将一条指令的执行分为若干级：取指令 IF 级、指令译码 ID 级、执行 EXE 级、存储器访问 MEM 级、结果写回 WB 级，级与级之间设置有流水线寄存器，保存之间结果，一级占用一个周期，流水化执行机器指令，增大指令的吞吐率。基于 MIPS 指令设计流水线 CPU 结构，通过 FPGA 开发板进行实现。</p> <p>3、CPU 系统功能测试与流水线优化</p> <p>设计指令程序，测试 CPU 系统功能是否符合预期，计算流水线吞吐率、加速比等参数对 CPU 性能进行评价，通过优化流水线，提高 CPU 性能。</p>					

### 三、 拟解决的主要问题

#### 1、 CPU 流水线结构所带来的指令数据相关冲突

数据相关是指，当相关指令靠得足够近时，它们在流水线中的重叠执行会改变指令读/写操作数的顺序。这会导致程序执行逻辑上的错误，得到错误的执行结果。

#### 2、 CPU 流水线结构所带来的指令控制相关冲突

控制相关是指，当执行转移指令时，依据转移条件的产生结果，可能顺序取下一条指令，也可能转移到新的目标地址取指令。若转移到新的目标地址取指令，则指令流水线将被排空，并等待转移指令形成下一条指令的地址，以便读取新的指令，这会导致流水线发生断流，降低流水线 CPU 的吞吐率。

#### 3、 CPU 流水线结构所带来的结构相关冲突

结构相关是指，多条指令进入流水线后在同一机器周期内争用同一个功能部件所发生的冲突，这会导致流水线需要停顿等待，降低流水线 CPU 的效率和加速比。

### 四、 研究方法及措施

1、认真分析研究目标，结合 MIPS 指令的结构特点以及流水线结构的主要问题，设计满足研究目标的流水线 CPU 结构。

2、设计 CPU 性能测试样例，采用对比实验法，针对指令冲突处理策略、指令调度策略、运算器实现细节等因素进行试验，记录实验数据，分析数据。

3、依据实验数据，分析 CPU 模型中影响性能的因素，进行流水线 CPU 优化，重新运行 CPU 性能测试样例，记录实验数据，分析比较优化前后对 CPU 的性能影响。

### 五、 研究工作步骤与进度

1、2019 年 2 月 20 日-2019 年 3 月 10 日： 查阅、学习相关资料，设计技术方案。

2、2019 年 3 月 11 日-2019 年 4 月 1 日： 设计并实现 CPU 模型。

3、2019 年 4 月 1 日-2019 年 4 月 10 日： 对 CPU 模型进行性能测试并进行优化。

4、2019 年 4 月 10 日-2019 年 4 月 20 日： 总结实验数据，完成并修改毕业论文。

## 六、 主要参考文献

- [1]柳成, 荣静. 基于 MIPS 架构的多周期 CPU 设计[J]. 软件, 2018, 39(08):40-44.
- [2]杨朝辉. 基于 FPGA 的开放式 CPU 模型研究[D]. 西安石油大学, 2018.
- [3]刘秋菊, 张光照, 王仲英. 基于 MIPS 指令集的流水线 CPU 设计与实现[J]. 实验室研究与探索, 2017, 36(08):148-152+172.
- [4]秘海晓. 基于 FPGA 的 32 位五级流水线 CPU 的研究与设计[D]. 河北工业大学, 2012.
- [5]马可. 微处理器性能分析模型的建立和研究[D]. 中国科学技术大学, 2007.
- [6]朱欣欣, 李树国. 基于 FPGA 的高性能 3DES 算法实现[J]. 微电子学与计算机, 2015, 32(09):54-59.
- [7]冯建文. 基于有限状态机的多周期 CPU 实验设计[J]. 实验技术与管理, 2017, 34(07):127-131.
- [8]孙启良. CPU 流水线技术中的结构相关和数据相关[J]. 福建电脑, 2010, 26(07):49-50.

指导教师签字

日期

年 月 日

