

基于RISC-V-32I的微处理器的设计与实现

◇成都大学信息科学与工程学院 李晓英 刘 敏



随着大规模集成化电路的推广与使用,以高速、高集成度的各种CPU在现当代应用的越来越广泛。本文设计了基于RISC-V-32I指令架构的高速、高集成度的微处理器控制系统。该系统分为CPU内核部分和外围设备部分。内核部分采用RISC-V-32I指令集系统并使用五级流水线^[1],同时分散了控制单元,并拥有8个中断;外设部分拥有3个外部中断I/O接口、两个定时器、一个串口、两个硬件spi、两个硬件IIC、518KB的ROM、3个PLL锁相环以及30个普通I/O接口。内核部分和外设部分通过总线连接,包括地址总线、控制总线、数据总线^[2]。经测试整个系统最终能够在最快50 MHz的时钟输入频率下正常运行。

随着大规模集成电路的发展和广泛运用,拥有高速、高集成度的微处理器的设计越来越备受关注。外围设备要满足足够的功能要求,在采集数据,指令存放输出CPU控制指令等。中央处理器(CPU)不仅要求功能完整(至少包括运算逻辑部件、寄存器部件和控制部件)^[3],还要求运算速度足够迅速。CPU在控制系统中发挥着处理、运算计算机内部甚至外部传输而来的全部数据的重要作用,一般情况下CPU只需要实现处理指令、执行操作、控制时间和处理数据及能使整个微处理器正常工作。但是随着现代科技发展所需,CPU往往会执行大量的数据和多种数据仲裁以及运行操作系统,对此许多使用单周期设计方式,指令集复杂以及运算速率低下的处理器已经不是特别适合现代的控制核心。为此,本文设计了一款基于RISC-V-32I指令集的微处理器,并使用了多级流水线,最终测试表明能在50 MHz时钟频率下正常运行。

1 系统设计简介

在实际控制系统中,外设一般负责作为数据源的发送者、指令和数据的储存者;CPU则是负责处理、运算所有的数据,执行所有的指令。

CPU与外设通过4跳总线连接从而进行地址、数据、控制等信息的交互。因使用的是RISC-V-32I指令集,仅有LW和SW两类指令与外设储存地址交互数据,所以在指令的实现上相对简单。同时,这也是为高速化的一个重要因素(避免了大量指令访问储存系统造成不必要的访问时间)。

系统运行过程中,CPU通过地址总线和数据总线从外设的存放指令的ROM存储器处取得指令,之后进行译码,通过译码得到指令的功能和操作码以及具体的算术逻辑方式。之后从指令所指的寄存器中取出数据,ALU单元对数据进行相应的计算,计算方式由译码所得到的操作码提供。之后根

据指令的功能选择写回还是将数据装载储存器和其他外设,或者从储存器和其他外设读出数据载入寄存器。

内核通过使用LW和SW指令对外围设备^[4]进行读取状态和控制功能。对所有的外设都进行了地址映射,使其和ROM在一个操作域内,方便地址总线和控制总线的读取操作。

2 内核设计简介

CPU拥有8个中断并采用RISC-V-32I指令集,共有47条指令,仅LW,SW能访问外部设备,减少了在数据和指令在外围设备装载时CPU等待而所浪费的时钟周期。同时,5级流水线的设计从另一方向将组合逻辑分割为数块,提高系统运行频率。从侧面提高了CPU的运行速率。

鉴于现今RISC-V核处理器大多使用四级流水线设计,决定在写回阶段再加一级流水线,使其成为五级流水线设计,五级流水线即IF(PC取指令)、ID(译码)、EX(指令执行或地址计算)、MEM(数据内存等外设访问)和WB(写回)^[5]。通过增加一级流水线,大大提高了指令的吞吐率,也从侧面加快了处理器的运行速率。

CPU控制单元被分散,使其不在是微码格式^[6]。这样各类指令的执行和操作不一定局限于某一级流水线,比如跳转指令,无条件跳转在IF段直接执行,判断条件成立则立马改变PC^[7]值,不成立PC则继续加。不管成立与否,都不会占用额外的时钟周期。条件跳转因为要通过取值来判断是否跳转因此放在了ID段,取完寄存器值时判断是否为条件跳转指令,不是则流水线继续执行,是则根据具体的判断条件(操作码给出)判断是否跳转,否则不跳转,是则通过相应计算改变PC值并将此时IF到ID段的流水线

指令填入气泡(即改为无效操作)^[8]。整个条件跳转只消耗一个时钟周期。

同时,数据冒险的转发和阻塞^[9]阻塞放在ID段,一发现IF段指令和ID段指令用转发解决不了就阻塞(即IF段PC保持当前值,IF到ID段寄存器填入气泡阻塞),转发采用传统设计模式放在EX段。

为使CPU在运行操作系统时不依赖外部定时器,所以在内核中专门设计了一个计数器,当CPU运行操作系统时可提供精确的时钟频率,如果没有运行操作系统,用户也可作为普通的定时器进行定时或者计数使用。整个CPU设计框图见图1。

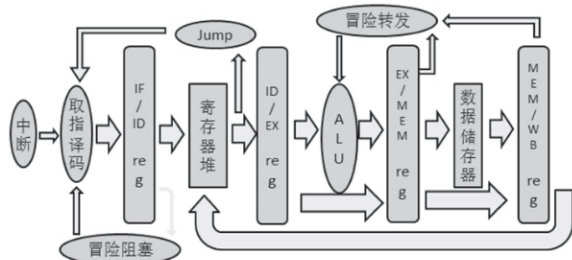


图1 CPU设计框图

3 外围设备简介

外围设备总共实现了3个外部中断、两个定时器、一个串口（调试和通信）、两个硬件spi外设、两个硬件IIC外设、518KB的ROM、3个PLL锁相环以及30个普通I/O接口。

将指令,数据存储器分开避免进行LW/SW指令时不必要的总线仲裁,同时使用多层总线结构,以此达到最高的吞吐率^[10]。未避免数据总线的双向性而带来的不必要的总线仲裁^[11],决定将输出数据总线和输入数据总线分开。尽管从实际应用上多出一条总线,但是在设计和运用中更加的方便,摆脱了因为一根数据总线所带来的数据冲突而导致的总线仲裁(比如处理器的MEM阶段为SW指令和IF阶段的取指令同时进行时将产生数据总线同时收发数据冲突问题等)。

因使用环境等各种原因的不同而产生各外设可能是会使用不同的工作频率,为此,专门设计了3个PLL锁相环供用户使用,3个PLL锁相环能提供片内所有逻辑的时钟并可对所有时钟进行动态调整^[12]。

因外部中断在大多数控制系统中路数并不多,所以只设计了3个外部中断,但是为了避免因I/O接口局限外部中断引脚,所以在硬件实现上将外部中断的接口使用多路复用器全部分散到所有普通I/O接口。即虽然总共只有3个外部中断,但用户可通过软件配置从而实现任意外部I/O作为中断源。

定时器拥有输入捕获和输出PWM的功能设计^[13],考虑

到如果将定时器的输入通道,和输出通道固定在几个特殊的I/O上可能会造成用户在使用时产生PCB布线困难的问题。所以在通道的设计上采用了和外部中断一样的方式,利用多路复用器将定时器的通道分散到全部普通I/O接口上,从而使用户可以自己配置任意I/O为定时器输出通道或输入通道。在通信方面设计了一个串口、两个硬件spi外设和两个硬件IIC外设。串口可以用来下载和调试程序,但现今许多产品同样也使用串口来进行通信。所以设计串口时对串口进行一些改变,加入了时钟,用户可以根据是否需要同步串口来进行相应的动态调整。spi和IIC协议在当今开发之中运用的十分广泛,所以专门设计了两个硬件spi和两个硬件IIC,因为已经设计了有硬件spi和硬件IIC,所以在某些特定的情况下(如高速通信),用户可以直接使用硬件的通信协议,从而避免了使用软件模拟速度慢、数据处理不及时等问题。整个外设设计框图见图2。

4 结语

鉴于当今社会科技发展迅速,处理器的设计和实现日新月异,本文提出了一种基于RISC-V-32I指令集的微处理器的设计与实现,并完成了整个微处理器的相应的测试。经测试,该微处理器能在50 MHz主频上进行稳定的运行。并且能顺利的运行操作系统。同时,因为RISC-V-32I的发展,使用户可以直接使用高级语言(比如C语言)进行开发。

经测试得出本文所设计的微处理器能够运用在当今市场上大多数的中低端开发设计之中。并能够充分利用其所有外设,同时避免了过多外设造成的不必要的资源浪费。在之后的改进型版本的处理器设计中,我们将继续从提高指令的吞吐率(比如多发射机制^[14])来实现内核的运行速度的提升。鉴于可能由于内核速度提升而导致内存速度跟不上的问题,我们将在内核中使用缓存进行解决。

【参考文献】

- [1] 胡伟武,唐志敏.龙芯1号处理器结构设计[J].计算机学报,2017-4
- [2] 方红,唐毅谦,徐嘉莉,等.微机原理与接口技术[M].西南交通大学出版社,2015,12:7
- [3] Olukotun K, Nayfeh B, Hammond L. The case for a single chip multiprocessor[J]. ACM SIGPLAN notice, 2015
- [4] 高晓青,杨瑞峰.基于FPGA的PCI总线串口卡设计[J].电子技术应用,2010
- [5] David Patterson, John Hennessy. Computer organization and design: the hardware/software interface[M], 2014
- [6] Prangya Ranjan Rout, Puspendu Bhunia, Rajesh Roshan Dash. Modeling isotherms, kinetics and understanding the mechanism of phosphate adsorption onto a solid waste: ground burnt paddy[J]. Journal of Environmental Chemical Engineering, 2014
- [7] Yijun Wang, Liyuan Zhang, Yu Sheng, Hang Zhang. Design and implementation of principles of computer organization virtual lab based on component[J]. School of Information Science and Engineering, 2008

(下转35页)

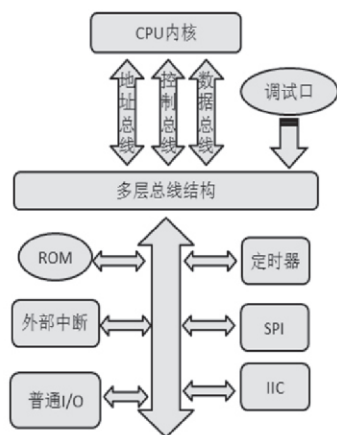


图2 外设设计框图

交点,为永磁体的工作点,如图2所示。

3 驱动器推力仿真分析

3.1 驱动器原理与宏动线圈参数

大行程宏微驱动器的宏动推力主要来源于宏动线圈产生的推力,宏动线圈通入电流后在环形磁铁产生的磁场下,产生电磁力推动驱动器做宏动位移。由于驱动器内部的各处的磁场强度不恒定,且宏动线圈通电也会产生磁场,造成驱动器在20 mm内的宏动推力波动过大,对驱动器的稳定性和精密度造成影响。因此,采用ANSYS Maxwell软件对宏动线圈厚度和长度以及环形磁铁的厚度优化参数减小驱动器宏动推力波动程度。宏动线圈参数如表1所示。

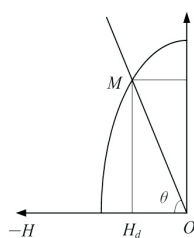


图2 永磁体工作点

| 宏动线圈长度 L_c/m | 内半径 R_{in}/m | 外半径 R_{out}/m |
|-------------------|-------------------|--------------------|
| 0.062-0.072 | 0.042 | 0.048-0.052 |

表1 宏动线圈的参数

为了方便描述电磁力的性能,定义平均电磁力 \bar{F} 和电磁力方差 s^2 ,其表达式分别为:

$$\bar{F}_p = \frac{\sum_{i=1}^n F_i}{n} \quad s^2 = \frac{\sum_{i=1}^n (F_i - \bar{F}_p)^2}{n-1}$$

式中: F_i 为移动第 i 个轴向位移后的电磁力, N; i 为轴向位移的次数, $i=1,2,3,\dots,n$ 。

3.2 驱动器宏动推力仿真

设宏动线圈的厚度为 $d_m = R_{2m} - R_{1m}$, 取单匝宏动线圈电流 $I_1 = 7$ A, $R_{1q} = 42$ mm, $L_q = 67$ mm, R_{2q} 分别取 48 mm、50 mm、52 mm。在ANSYS Maxwell软件中绘制出驱动器二维图,并进行相应的参数设置后,以0.5 mm为一个单位沿轴向位移向上平移20 mm,进行电磁力仿真,将仿真结果的数据导出,并进行数值绘图软件进行绘图后得要宏动线圈长度一定,即 $L_q = 67$ mm,厚度不同时,沿轴向位移电磁力分布情况,如图3所示。

利用平均电磁力表达式和电磁力均与度表达式,计算得要宏动线圈在3种不同厚度时的平均电磁力 \bar{F}_c 分别为 545.0424 N、527.5595 N、510.7258 N,电磁力方差分别为 29.7585、2.6082、26.2445。

取单匝宏动线圈 $I_1 = 7$ A, $R_{1m} = 42$ mm, $R_{2m} = 50$ mm, L_m 分别取 62 mm、67 mm、72 mm。仿真分析后得要宏动线圈厚度一

定,即 $d_m = R_{2m} - R_{1m} = 50 - 42 = 8$ mm,长度不同时,沿轴向位移电磁力分布情况,如图4所示。

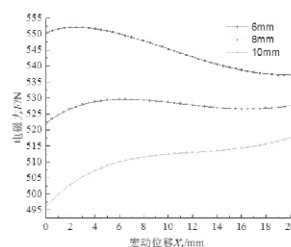


图3 不同宏动线圈厚度时电磁力与宏动位移的关系图

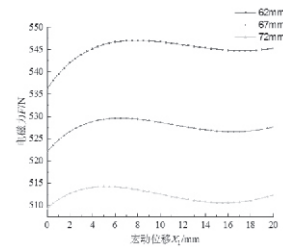


图4 不同宏动线圈长度时电磁力与宏动位移的关系图

同理,可计算得要宏动线圈在3中长度时的平均电磁力 \bar{F}_c 分别 544.8901 N、527.5595 N、512.1891 N;电磁力方差分别为 5.6880、2.6082、1.8329。

4 结语

(1) 在宏动线圈长度一定的情况下对宏动线圈厚度进行优化,通过仿真得出随着宏动线圈厚度的增大,平均电磁力逐渐减小,电磁力方差在厚度为8 mm时最小,因此得出最佳宏动线圈厚度为8 mm。

(2) 在宏动线圈厚度一定的情况下对宏动线圈长度进行优化,通过仿真得出随着宏动线圈长度的增大,平均电磁力逐渐减小,且电磁力方差也随之减小,得出在最佳宏动线圈长度为72 mm。

【参考文献】

- [1] 张金龙,刘阳,郭怡倩,等.纳米级超精密定位工作台的研究[J].机械工程学,2011,47(09):187-192
- [2] 杨斌堂,徐彭有,孟光,等.大行程精密定位超磁致伸缩驱动器的设计与控制[J].机械工程学,2012,48(01):25-31
- [3] 徐彭有.超磁致伸缩驱动器精密位移驱动控制研究[D].上海交通大学,2010
- [4] 喻曹丰,王传礼,邓海顺,等.超磁致伸缩驱动器磁场性能分析与优化[J].现代制造工程,2015(08):136-140
- [5] 夏瑞阳.圆柱形音圈电机结构的设计及优化[D].河南科技大学,2012

(上接50页) [8] 李战辉,陈志坚,严晓浪.基于转移指令特性的动态翻译算法[J].上海:上海交通大学学报,2015

[9] 邹志斌.基于MIPS指令集的RISC微处理器控制模块的设计与实现[J].湖北:华中科技大学,2008-6

[10] Ricardo Santos, Renan Marks, Renato Santos, Felipe Araujo. Instruction set independent program encoding[J]. Design Automation for Embedded Systems, 2016

[11] Hidayet Argun, Fikret Kargi. Bio-hydrogen production from ground wheat starch by continuous combined fermentation using annular-hybrid bioreactor[J]. International

Journal of Hydrogen Energy, 2010

[12] 任青莲,高文华,郭萍.三阶PLL无源环路滤波器的设计与仿真[J].四川:四川兵工学报,2014-2

[13] Bankole I, Oladapo, Vincent A, Balogun, Adeyinka O.M. Adeoye. Experimental analysis of electro-pneumatic optimization of hot stamping machine control systems with on-delay timer[J]. Journal of Applied Research and Technology, 2017

[14] 郑伟民. 计算机组成与设计: 硬件/软件接口(第3版)[M]. 北京: 机械工业出版社, 2007, 4