1. 选题的目的及意义：

基于RISC架构的MIPS指令处理器是通用高性能处理器的一种。其架构简洁，运行效率高，在高性能计算、嵌入式处理，多媒体应用等各个领域得到了广泛的应用。使用FPGA制作的CPU具有易于调试，便于集成的特点。在片上系统设计方法日益流行的趋势下，学习并掌握CPU设计技术十分必要。

1. 研究的基本内容及拟解决的主要问题：
2. 研究的基本内容：
3. MIPS指令集的设计

机器指令是CPU执行的的最小单位，一套功能完善的CPU系统所需的指令的种类可分为：整数算数运算和逻辑运算类、寄存器与存储器数据传送类、条件转移和无条件跳转类、子程序调用和返回类、浮点运算类、I/O访问类、系统维护类。设计本论文实现的MIPS指令集，涵盖各个类别的指令，实现CPU的基础功能。

基于MIPS指令的CPU系统设计与实现

5级流水线CPU将一条指令的执行分为若干级：取指令IF级、指令译码ID级、 执行EXE级、存储器访问MEM级、结果写回WB级，级与级之间设置有流水线寄存器，保存之间结果，一级占用一个周期，流水化执行机器指令，增大指令的吞吐率。基于MIPS指令设计流水线CPU结构，通过FPGA开发板进行实现。

系统的测试与流水线优化

设计指令程序，测试CPU系统功能是否符合预期，计算流水线吞吐率、加速比等参数对CPU性能进行评价，通过优化流水线，提高CPU性能。

（二）拟解决的主要问题：

1. CPU流水线结构所带来的MIPS指令数据冲突。

数据冲突发生在CPU流水线的一个操作必须等待另一个操作完成才能进行，会导致流水线需要停顿等待，降低流水线CPU的指令执行效率。

1. CPU流水线结构所带来的MIPS指令控制冲突。

MIPS指令中的分支跳转指令需要根据ALU运算的结果进行决策，会导致流水线需要停顿等待，降低流水线CPU的指令执行效率。

3.MIPS指令中不同指令的执行速度不同。

MIPS指令中的乘除法指令执行时间较其他运算指令执行时间更长，过长的时钟周期导致流水线CPU指令执行速度的下降，过短的时钟周期导致流水线CPU需要停顿等待长周期指令运行完成，降低流水线CPU的指令执行效率。

4.CPU流水线对于异常与中断的处理。

异常与中断是指在CPU运行过程中可能出现的各种不可预知的事件，当异常或中断发生时，CPU需要停止正常流水线内容，保存现场，并执行特定的处理函数，会导致流水线需要进行保存与恢复等操作。

1. 研究方法及措施
2. 认真分析研究目标，结合MIPS指令的结构特点以及流水线结构的主要问题，设计满足研究目标的流水线CPU结构。
3. 设计CPU性能测试样例，采用控制变量方法进行多次试验，对比指令冲突处理策略、指令调度策略、运算器实现细节等因素对CPU的性能的影响，记录实验数据，分析数据。
4. 依据实验数据，分析CPU模型中影响性能的结构，进行CPU流水线结构优化，重新运行CPU性能测试样例，记录实验数据，分析比较优化前后对CPU的性能影响。
5. 研究工作步骤与进度

1、2019年2月20日-2019年3月10日： 查阅、学习相关资料，设计技术方案。

2、2019年3月11日-2019年4月1 日： 设计并实现CPU模型。

3、2019年4月1 日-2019年4月10日： 对CPU模型进行性能测试并进行优化。

4、2019年4月10日-2019年4月20日： 总结实验数据，完成并修改毕业论文

1. 主要参考文献

[1]柳成,荣静.基于MIPS架构的多周期CPU设计[J].软件,2018,39(08):40-44.

[2]杨朝辉. 基于FPGA的开放式CPU模型研究[D].西安石油大学,2018

[3]刘秋菊,张光照,王仲英.基于MIPS指令集的流水线CPU设计与实现[J].实验室研究与探索,2017,36(08):148-152+172.

[4]秘海晓. 基于FPGA的32位五级流水线CPU的研究与设计[D].河北工业大学,2012.

[5]马可. 微处理器性能分析模型的建立和研究[D].中国科学技术大学,2007.

[6]朱欣欣,李树国.基于FPGA的高性能3DES算法实现[J].微电子学与计算机,2015,32(09):54-59.

[7]冯建文.基于有限状态机的多周期CPU实验设计[J].实验技术与管理,2017,34(07):127-131.

[8]孙启良.CPU流水线技术中的结构相关和数据相关[J].福建电脑,2010,26(07):49-50.