1. 选题的目的及意义：

基于RISC架构的MIPS指令兼容处理器是通用高性能处理器的一种。其架构简洁，运行效率高，在高性能计算、嵌入式处理，多媒体应用等各个领域得到了广泛的应用。使用FPGA制作的CPU具有易于调试，便于集成的特点。在片上系统设计方法日益流行的趋势下，掌握一套复杂的CPU设计技术十分必要，加深对流水线的相关实现细节与技术的了解，为日后对计算机体系结构的深入研究打下良好的基础。

1. 研究的基本内容及拟解决的主要问题：

（一）研究的基本内容：

本研究主要聚焦于实现一个具有标准的32位5级流水线架构的MIPS指令兼容CPU系统，该系统需要支持五十余条常用指令，并实现CPU寄存器内容、PC等基础模块的数据可视化功能，并对CPU进行性能测试与优化。

（二）拟解决的主要问题：

1. CPU流水线结构所带来的MIPS指令数据冲突。

数据冲突发生在CPU流水线的一个操作必须等待另一个操作完成才能进行，会导致流水线需要停顿等待，降低流水线CPU的指令执行效率。

1. CPU流水线结构所带来的MIPS指令控制冲突。

MIPS指令中的分支跳转指令需要根据ALU运算的结果进行决策，会导致流水线需要停顿等待，降低流水线CPU的指令执行效率。

1. MIPS指令中乘除法相关指令的流水化问题。

MIPS指令中的乘除法指令执行时间较其他运算指令执行时间更长，会导致流水线需要停顿等待，降低流水线CPU的指令执行效率。

1. CPU流水线对于异常与中断的处理。

异常与中断是指在CPU运行过程中可能出现的各种不可预知的事件，当异常或中断发生时，CPU需要停止正常流水线内容，保存现场，并执行特定的处理函数，会导致流水线需要进行保存与恢复等操作。

1. 研究方法及措施
2. 认真分析研究目标要求，结合MIPS指令的结构特点以及流水线结构的主要问题，设计满足要求的流水线CPU结构。设计前期，采用软件仿真方式模拟CPU的实现与验证，提高调试效率，加快开发速度，待软件模拟效果达到预期后，使用FPGA作为开发平台，进行硬件烧录与运行。
3. 设计CPU性能测试样例，采用设置对照组方法，对比不同的冲突处理策略、运算器的实现细节、指令调度策略对CPU的性能，指令的执行效率的影响，记录实验数据，分析数据。
4. 根据实验数据，对影响CPU执行效率的模块进行优化，重新运行CPU性能测试样例，记录实验数据并比较、分析优化对CPU的性能影响。
5. 研究工作步骤与进度

1、2019年2月20日-2019年3月10日： 查阅、学习相关资料，确定技术方案。

2、2019年3月11日-2019年4月1 日： 按照设计方案，设置并编写CPU模型。

3、2019年4月1 日-2019年4月10日： 对CPU模型进行性能测试并进行优化。

4、2019年4月10日-2019年4月20日： 总结实验数据，完成并修改毕业论文

1. 主要参考文献

[1]柳成,荣静.基于MIPS架构的多周期CPU设计[J].软件,2018,39(08):40-44.

[2]杨朝辉. 基于FPGA的开放式CPU模型研究[D].西安石油大学,2018

[3]刘秋菊,张光照,王仲英.基于MIPS指令集的流水线CPU设计与实现[J].实验室研究与探索,2017,36(08):148-152+172.

[4]秘海晓. 基于FPGA的32位五级流水线CPU的研究与设计[D].河北工业大学,2012.

[5]马可. 微处理器性能分析模型的建立和研究[D].中国科学技术大学,2007.

[6]朱欣欣,李树国.基于FPGA的高性能3DES算法实现[J].微电子学与计算机,2015,32(09):54-59.

[7]冯建文.基于有限状态机的多周期CPU实验设计[J].实验技术与管理,2017,34(07):127-131.

[8]孙启良.CPU流水线技术中的结构相关和数据相关[J].福建电脑,2010,26(07):49-50.