

第2章

微处理器与总线

主要内容：

- 8088/8086微处理器（主要是2.1，2.2）
- 总线（2.5的部分内容）

重点内容：

2.1微处理器概述	了解运算器的组成和基本功能（P36，2.1.1下面一段话）	粗讲
2.2.1 8088/8086 CPU的特点	了解8088/8086 CPU具有流水线，内存分段管理和支持多处理器的特点	粗讲
2.2.2 8088 CPU的外部引脚及	了解CPU有最大最小模式	粗讲
	掌握地址线、数据线、读写控制、中断、锁存等功能的主要管脚	粗讲
2.2.3 8088/8086 CPU的功能结	掌握CPU内部结构由EU和BIU组成及主要功能，P44图2-6	精讲
	掌握CPU的内部14个寄存器及作用	精讲
	掌握标志寄存器的各个位的作用	精讲
2.2.4 8088/8086 CPU的存储器	了解CPU的地址线数量，地址容量	精讲
	掌握物理地址、段基址、偏移地址，逻辑地址的概念及计算方法	精讲
	了解CPU段寄存器的类型及作用	粗讲



2.1 微处理器概述

微处理器的基本功能： 教材P36

- (1) (2) (3) (4) (5) (6)

评价微处理器的主要性能指标： 教材P36

- 重点：字长

微处理器的组成部分： 教材P36

- 运算器，控制器，寄存器组

2.1.1 运算器

- 1、由算术逻辑单元（ALU）,通用与专用寄存器，内部总线3部分构成；
- 2、核心是ALU；
- 3、运算器的结构有3种

2.1.2 控制器

- 1、控制器的作用与功能：见教材P37

指令控制，时序控制，操作控制

- 2、控制器的内部组成：

程序计数器PC，指令寄存器IR，指令译码器ID，
时序控制部件，微操作控制部件。

2.2 8088/8086 微处理器

概述：教材P38

2.2.1. 8088/8086 CPU的特点

1、采用并行流水线工作方式

(教材P39)

- 通过设置指令预取队列实现



CPU内
部结构



指令执行的一般过程

取指令 → 指令译码 → 读取操作数 →
→ 执行指令 → 存放结果

取指部件，分析部件，执行部件



顺序执行和并行流水线

- 顺序执行方式:

- 各功能部件交替工作，按顺序完成指令的执行过程。

- 并行流水线方式:

- 各功能部件并行工作。

EU与BIU

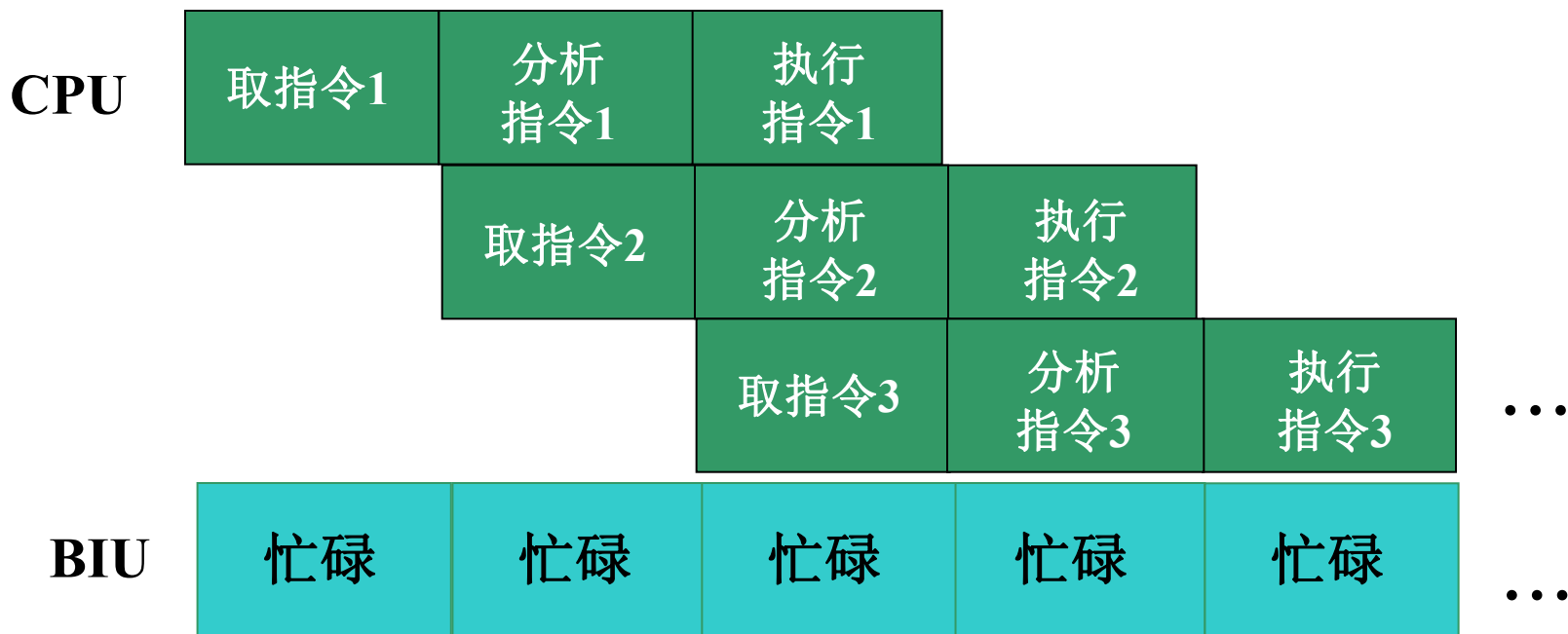


顺序工作方式





并行流水线工作方式



2、对内存空间实行分段管理（教材P40）

存储器寻址部分

- 将内存分为4个段并设置地址段寄存器，以实现1MB空间的寻址；
- 内存中的每个单元地址由两部分构成：段地址，偏移地址；
- 逻辑地址与物理地址的概念；

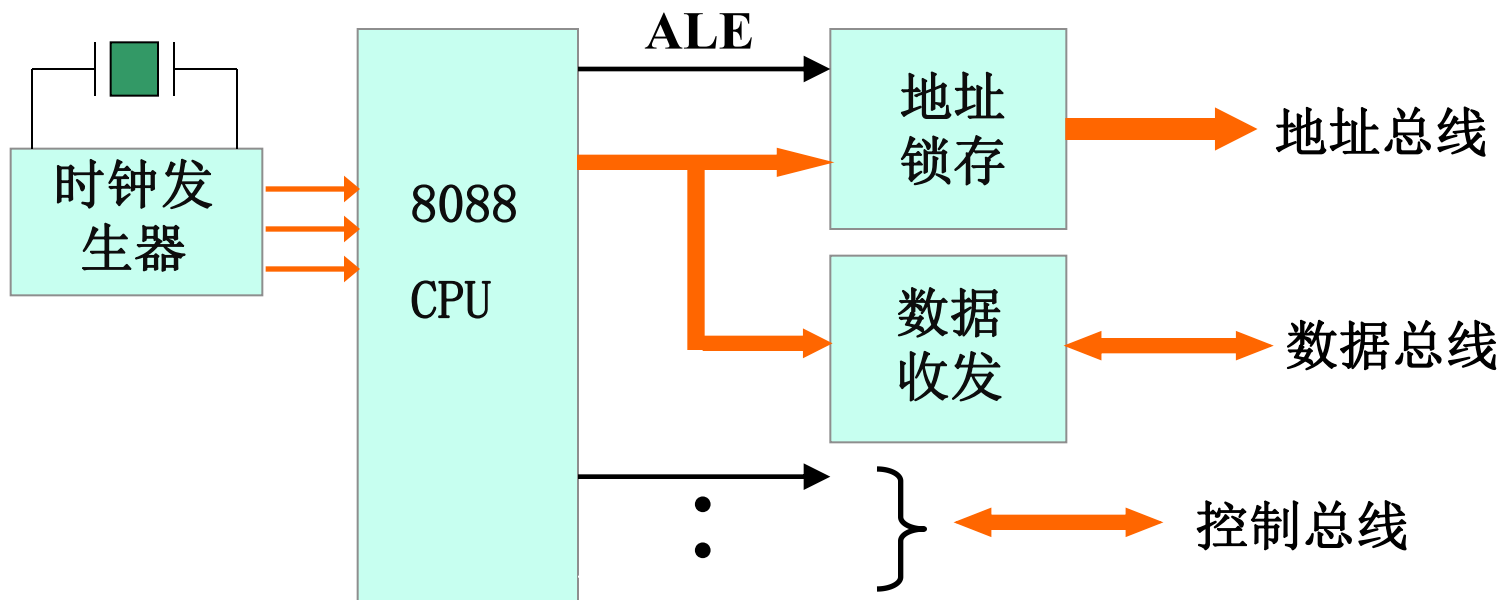
3、支持多处理器系统（教材P40）

工作模式

可工作于两种模式下

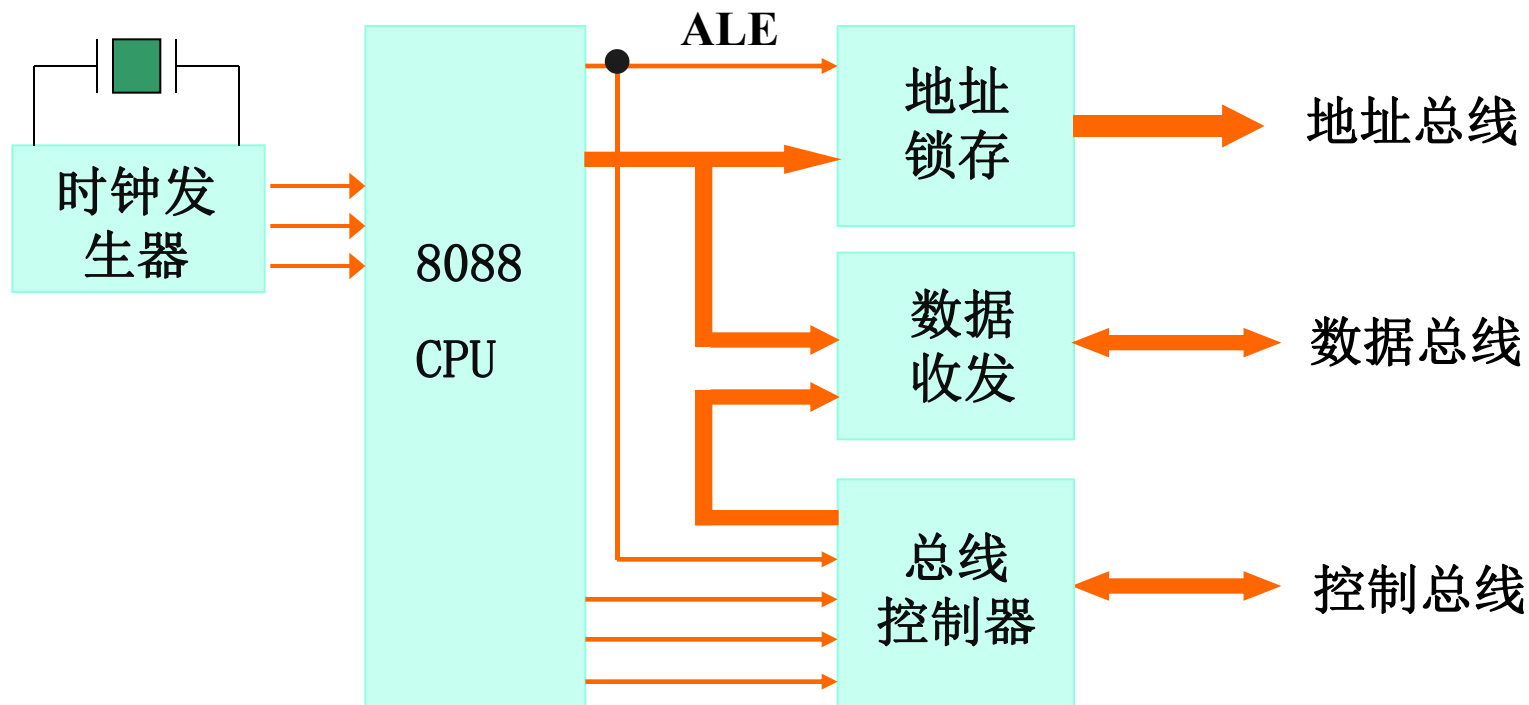
- 最小模式 → 单处理器模式
- 最大模式 → 多处理器模式

最小模式下的总线连接示意图



控制信号较少，一般可不接总线控制器

最大模式下的总线连接示意图



控制信号较多，需要通过总线控制器实现控制信号传输

两种工作模式的选择方式

- 8088是工作在最小还是最大模式由 MN/\overline{MX} 引线的状态决定。
 - $MN/\overline{MX}=0$ ——工作于最大模式
 - $MN/\overline{MX}=1$ ——工作于最小模式



2.2.2 8088/8086的引线及功能

概述：见教材P41

CPU访问一次内存或接口的主要信号

- CPU完成一次访问内存或I/O接口需要：
 - 地址信号
 - 内存地址，接口地址
 - 数据信号
 - 8088对外是8位数据线，与地址低8位分时复用。
(8086对外是16位数据线，与地址低16位分时复用)
 - 各种控制信号
 - 读、写、读写允许、收发器方向控制，地址锁存，访存/访接口控制

主要引线——最小模式下的8088引线

■ 地址线 and 数据线:

- $AD_0—AD_7$: 低8位地址和低8位数据信号分时复用。在传送地址信号时为单向，传送数据信号时为双向。
- $A_{16}—A_{19}$: 高4位地址信号，与状态信号分时复用。
- $A_8—A_{15}$: 8位地址信号



不同时，但共用

主要的控制和状态信号

- $\overline{\text{WR}}$: 写信号;
- $\overline{\text{RD}}$: 读信号;
- $\text{IO}/\overline{\text{M}}$: 为“0”表示访问内存, 为“1”表示访问接口;
- $\overline{\text{DEN}}$: 数据允许信号, 低电平有效时, 允许进行读/写
- 操作; 常常用作数据总线驱动器的片选信号。
- $\text{DT}/\overline{\text{R}}$: 数据收发器的传送方向控制;
- ALE : 地址锁存信号;
- RESET : 复位信号。

例：

- 如果有：

- $\overline{WR}=1, \overline{RD}=0, IO/\overline{M}=0$

- 表示：

- CPU当前正在进行读存储器操作

READY信号

- 外部同步控制**输入信号**，高电平有效。
- 由被访问的内存或设备发出的响应信号。
- 有效时，表示存储器或设备已经准备好。

中断请求和响应信号

- INTR: 可屏蔽中断请求输入端
- NMI: 非屏蔽中断请求输入端
- INTA: 中断响应输出端

总线保持信号

■ HOLD:

- 总线保持请求信号输入端。当CPU以外的其他设备要求占用总线时，通过该引脚向CPU发出请求。

■ HLDA:

- 总线保持响应信号输出端。CPU对HOLD信号的响应信号。

最小模式下，这些信号主要是用于DMA(直接存储器访问)方式



2.2.3 8088/8086CPU的内部结构

教材P44

1. 组成

- **8088/8086**内部由两部分组成:

{ 执行单元 (EU)
总线接口单元 (BIU)

第44页图

2. 执行单元EU

教材P44--45 , 图2-6左边

运算器

8个通用寄存器

1个标志寄存器

EU部分控制电路

执行单元

- 功能 → 指令的执行
 - 指令译码
 - 指令执行 → 在**ALU**中完成
 - 暂存中间运算结果 → 在通用寄存器中
 - 保存运算结果特征 → 在标志寄存器**FLAGS**中

3. 总线接口单元

教材P44--45 , 图2-6右边

■ 功能:


- 从内存中取指令到指令预取队列
 - 指令预取队列是并行流水线工作的基础
- 负责与内存或输入/输出接口之间的数据传送
- 在执行转移程序时，BIU使指令预取队列复位，从指定的新地址取指令，并立即传给执行单元执行。

结论

- 指令预取队列的存在使EU和BIU两个部分可同时进行工作，即：
 - 实现指令的并行执行
- 目的：
 - 提高了CPU的效率；
 - 降低了对存储器存取速度的要求

4、内部寄存器的类型

- 含14个16位寄存器，按功能可分为三类



- 8个通用寄存器
- 4个段寄存器
- 2个控制寄存器

深入理解：每个寄存器中数据的含义

1) 通用寄存器





数据寄存器 (AX, BX, CX, DX)

地址指针寄存器 (SP, BP)

变址寄存器 (SI, DI)

数据寄存器

- **8088/8086**含**4个16位**数据寄存器，它们又可分为8个8位寄存器，即：

- | 16位 | | 8位 | 8位 |
|-----------|---|-----------|-----------|
| AX |  | AH | AL |
| BX |  | BH | BL |
| CX |  | CH | CL |
| DX |  | DH | DL |

数据寄存器特有的习惯用法

■ AX:

- 累加器。所有I/O指令都通过AX与接口传送信息，中间运算结果也多放于AX中；

■ BX:

- 基址寄存器。在间接寻址中用于存放基地址；

■ CX:

- 计数寄存器。用于在循环或串操作指令中存放计数值；

■ DX:

- 数据寄存器。在间接寻址的I/O指令中存放I/O端口地址；在32位乘除法运算时，存放高16位数。

地址指针寄存器

■ SP:

- 堆栈指针寄存器，其内容为**栈顶的偏移地址**；

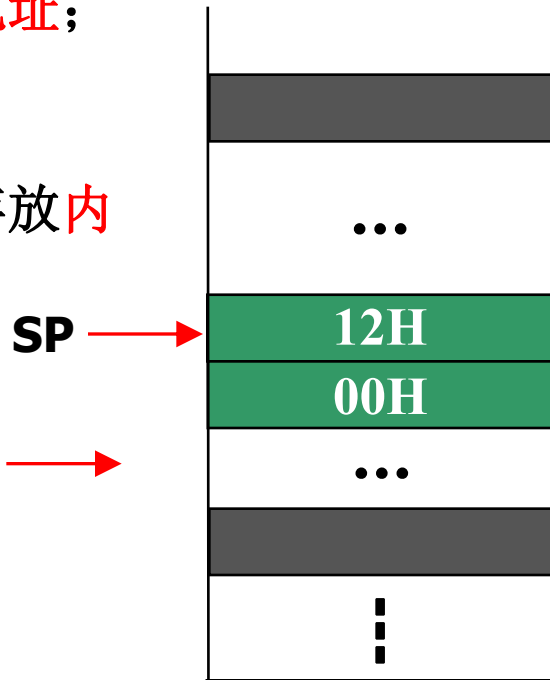
■ BP:

- 基址指针寄存器，常用于在访问内存时存放**内存单元的偏移地址**。

共同点：

- 1) 默认指向堆栈区
- 2) 多数情况用于存放地址

BP可指向堆栈
的任意位置



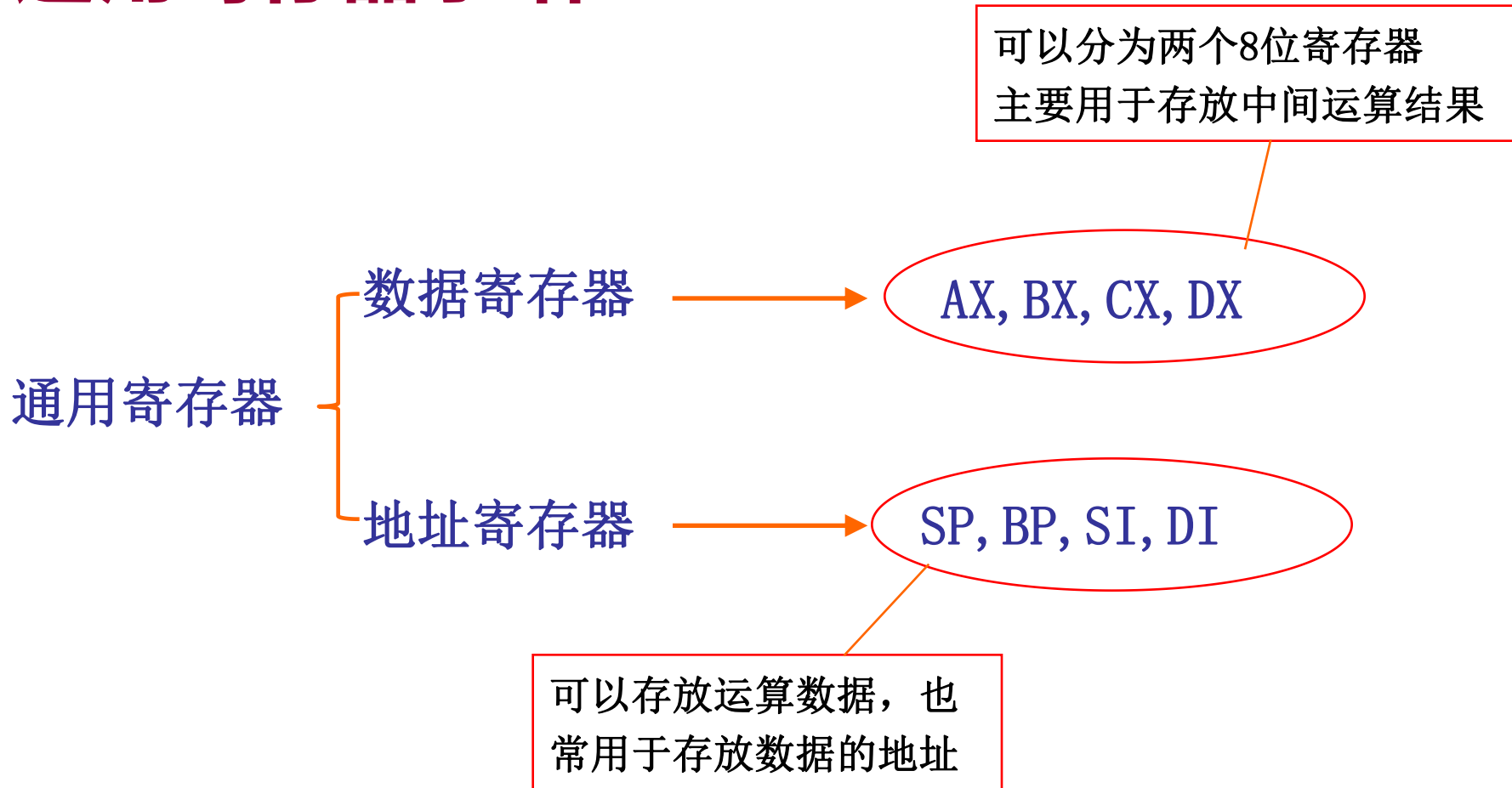
BX与BP在应用上的区别

- 作为通用寄存器，二者均可用于存放数据；
- 作为基址寄存器，用BX表示所寻找的数据在数据段；用BP则表示数据在堆栈段。

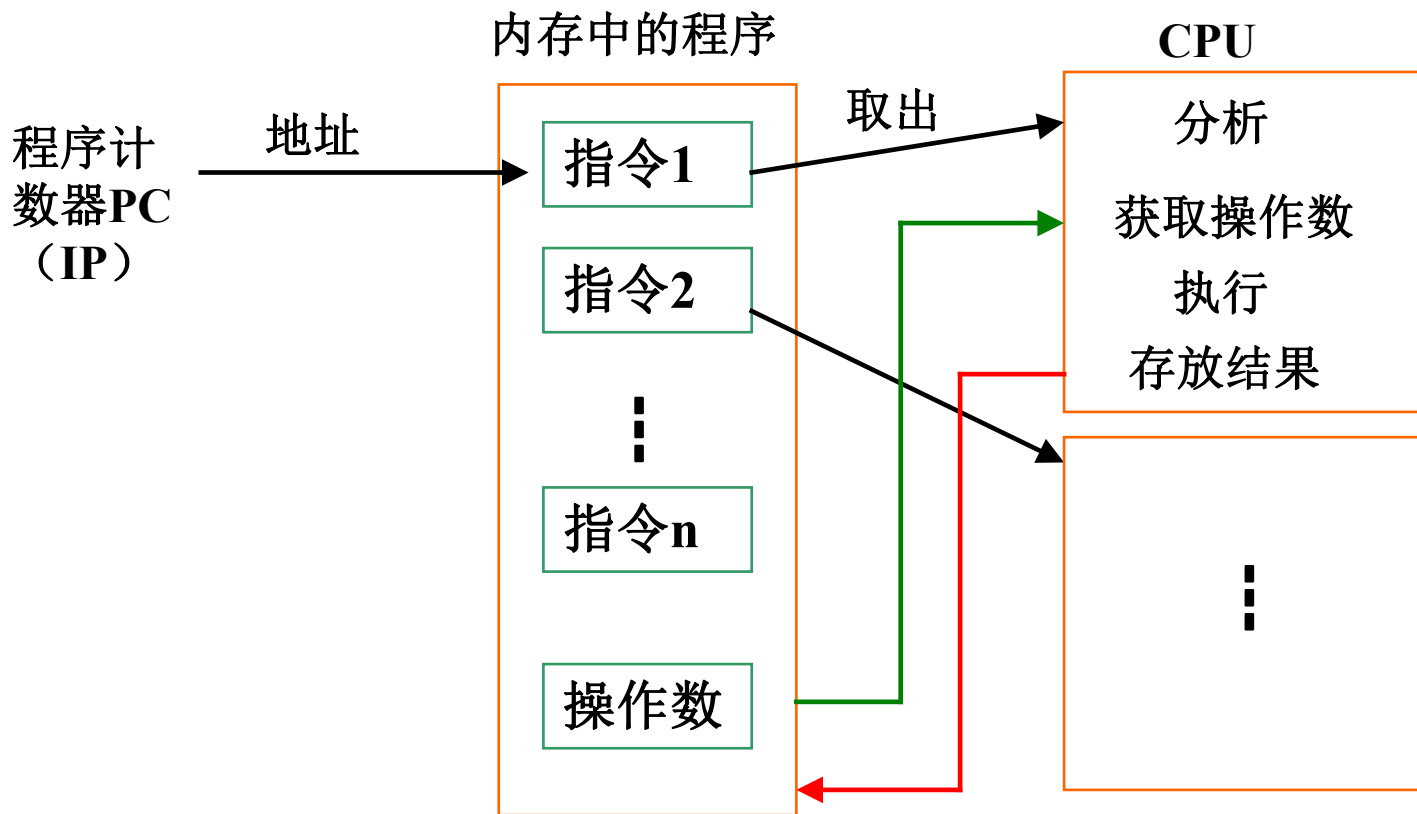
变址寄存器

- SI:
 - 源变址寄存器
- DI:
 - 目标变址寄存器
- 变址寄存器在指令中常用于存放数据在内存中的地址。

通用寄存器小结



2) 控制寄存器



状态标志位 (1)

■ CF (Carry Flag)

- 进位标志位。加(减)法运算时，若最高位有进(借)位则CF=1

■ OF (Overflow Flag)

- 溢出标志位。当算术运算的结果超出了有符号数的可表达范围时，OF=1

■ ZF (Zero Flag)

- 零标志位。当运算结果为零时ZF=1

■ SF (Sign Flag)

- 符号标志位。当运算结果的最高位为1时，SF=1

状态标志位 (2)

■ PF (Parity Flag)

- 奇偶标志位。运算结果的低8位中“1”的个数为偶数时 PF=1

■ AF (Auxiliary Carry Flag)

- 辅助进位标志位。加(减)操作中, 若Bit3向Bit4有进位(借位), AF=1

仅针对低8位

状态标志位例

- 给出以下运算结果及运算后各状态标志位的状态：
 - $10110110 + 11110100$

$$\begin{array}{r} 1011\ 0110 \\ + 1111\ 0100 \\ \hline \boxed{1}\ 1010\ 1010 \end{array}$$

CF=1 **OF=0**

AF=0 **PF=1**

SF=1 **ZF=0**

控制标志位

- TF (Trap Flag)
 - 陷阱标志位，也叫跟踪标志位。TF=1时，使CPU处于单步执行指令的工作方式。
- IF (Interrupt Enable Flag)
 - 中断允许标志位。IF=1使CPU可以响应可屏蔽中断请求。
- DF (Direction Flag)
 - 方向标志位。在数据串操作时确定操作的方向。

3) 段寄存器

- 作用

- 用于存放相应逻辑段的段基地址

需要弄清楚的问题：

什么是逻辑段？为什么要分段？

每个段寄存器中存放的内容=？



2.2.4 8088/8086CPU存储器组织

存储器管理机制

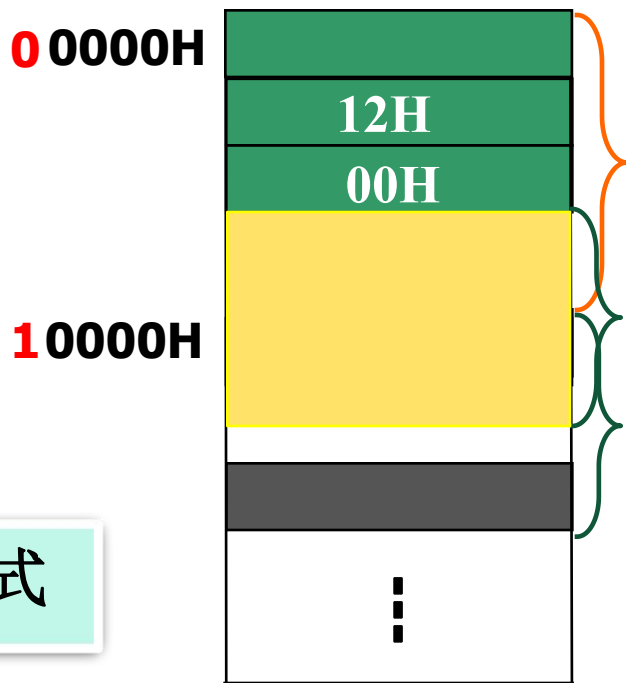
- 从8086/8088到Pentium，80x86系列微处理器的存储器管理机制有了较大变化。
- 8086/8088只有一种存储器管理方式，即**实地址方式**（简称**实方式**）；
- 80286具有两种工作方式，即**实方式**和**保护虚地址方式**（简称**保护方式**）；
- 80386及其以后的CPU有三种工作方式，即**实方式**、**保护方式**和**虚拟8086方式**。

内存存储器管理

背景：8088/8086有20根地址线，能够产生1M个地址编码，能管理（寻址）1MB 内存空间，每一个内存单元地址都是20位（二进制），但内部管理地址的寄存器却都是16位的。

这样就引出了一个问题：如何用16位的寄存器去管理20位的地址？

解决方案：8088对内存采用分段管理方式



内存地址变换

- 欲实现对1MB内存空间的正确访问，每个内存单元在整个内存空间中必须具备唯一地址

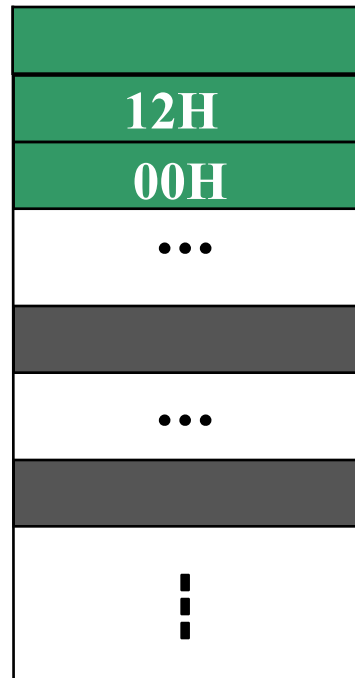


物理地址

XXXXXXH

内存地址变换：

如何将直接产生的16位编码变换为20位物理地址？



1. 内存单元的编址（1）

- 内存每个单元的地址在逻辑上都由两部分组成：
 - 段（基）地址
 - 指示存储单元在整个内存空间中处于哪个区域
 - 段内地址（相对地址/偏移地址）
 - 指示存储单元在段中的相对位置（与段中第1个单元的距离）

8088为16位结构，所以段地址和偏移地址均为16位

存储器的编址 (2)

- 段基地址:

- 决定存储单元在内存中的位置

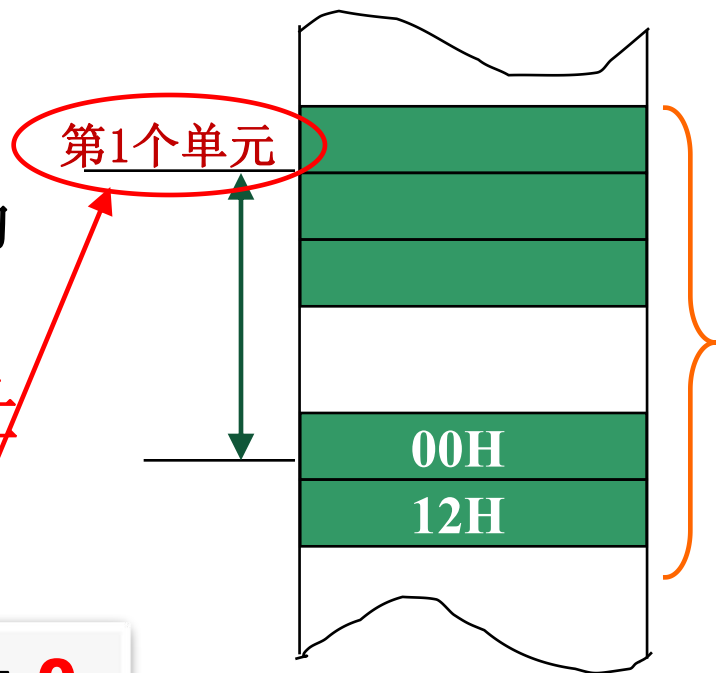
- 相对地址 (偏移地址)

- 该存储单元相对段内第一个单元的距离

- 逻辑段的起始地址称为**段首地址**

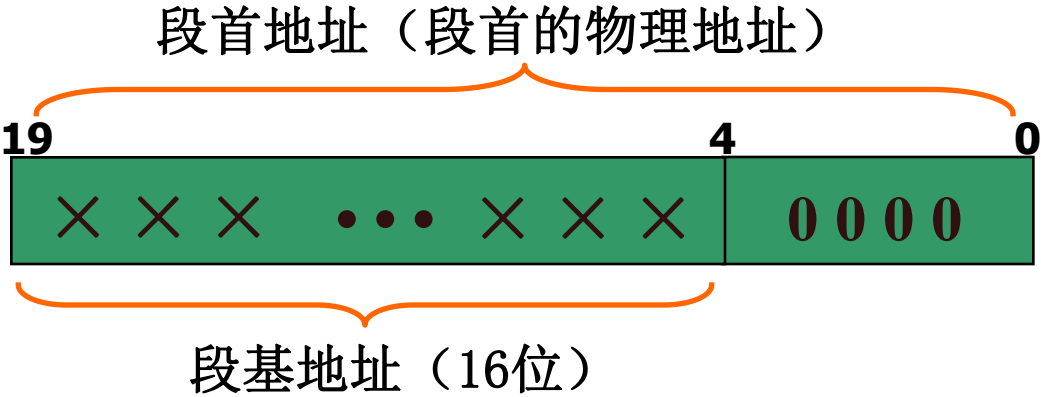
- 每个逻辑段内的第一个单元

由偏移地址的定义得段首的偏移地址= **0**



存储器的编址 (3)

段首的偏移地址：
0000H



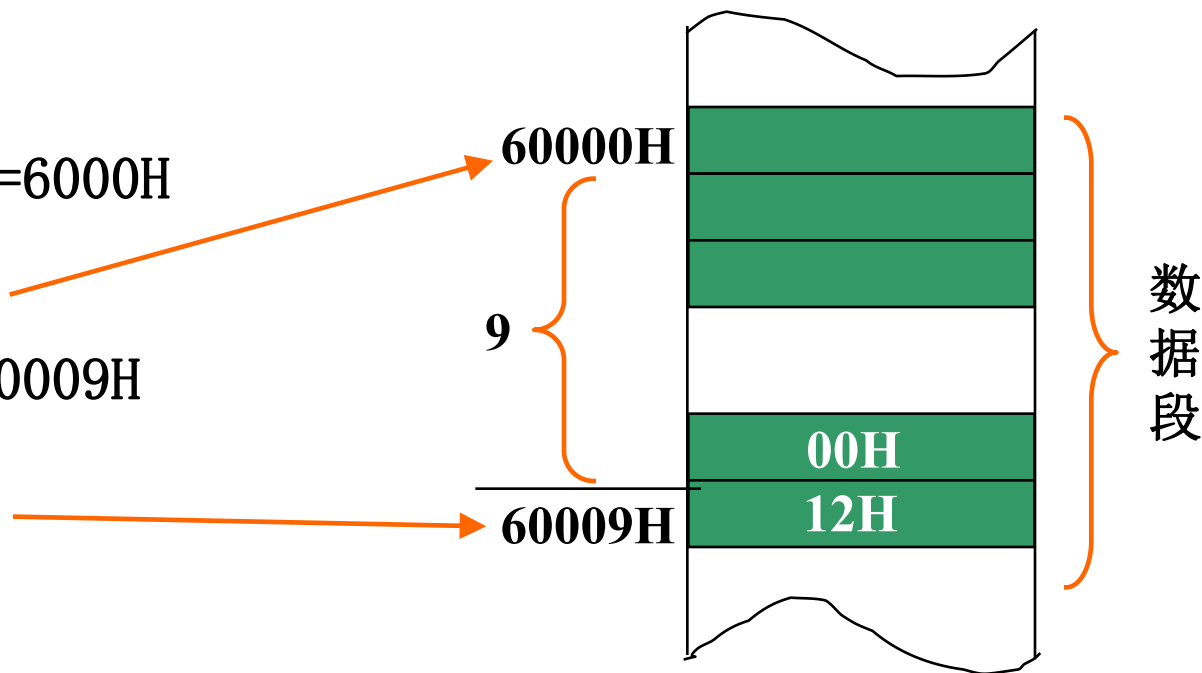
存储器的编址 (4)

■ 物理地址:

- 内存单元在整个内存空间中的唯一地址

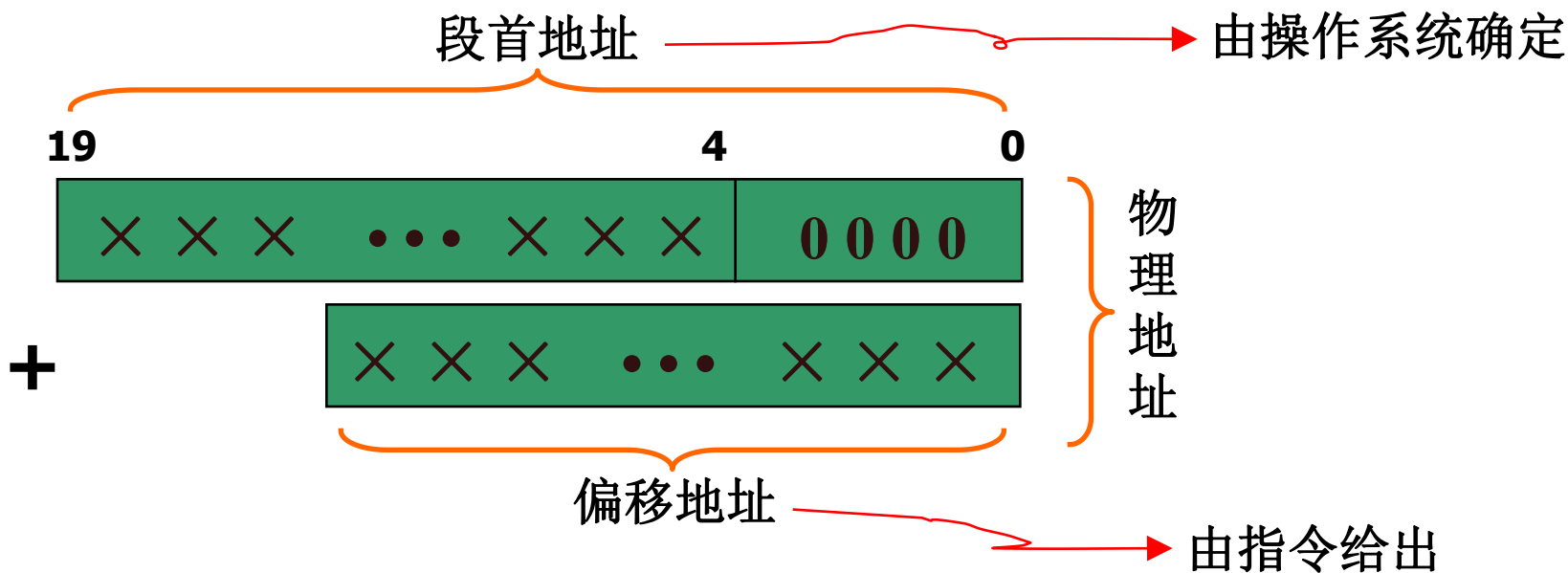
■ 例:

- 段基地址 = 6000H
- 段首地址
- 偏移地址 = 0009H
- 物理地址



2. 实地址模式下的存储器地址变换

- ## ■ 内存物理地址由段基址和偏移地址组成



物理地址=段基地址×16+偏移地址

3. 段寄存器

- 作用

- 用于存放相应逻辑段的段基地址

- 8086/8088内存中逻辑段的类型

- 代码段 —————> 存放指令代码
 - 数据段 —————> 存放操作的数据
 - 附加段 —————> 存放操作的数据
 - 堆栈段 —————> 存放暂时不用但需保存的数据。

段寄存器

- CS
 - 代码段寄存器，存放代码段的段基地址
- DS
 - 数据段寄存器，存放数据段的段基地址
- ES
 - 附加段寄存器，存放数据段的段基地址
- SS
 - 堆栈段寄存器，存放堆栈段的段基地址

段寄存器的值表明相应逻辑段在内存中的位置

例:

- 设某操作数存放在数据段，DS=250AH，数据所在单元的偏移地址=0204H。则该操作数所在单元的物理地址为：

$$\begin{array}{r} 250A0H \\ + 0204H \\ \hline = 252A4H \end{array}$$

- $250AH \times 16 + 0204H = 252A4H$

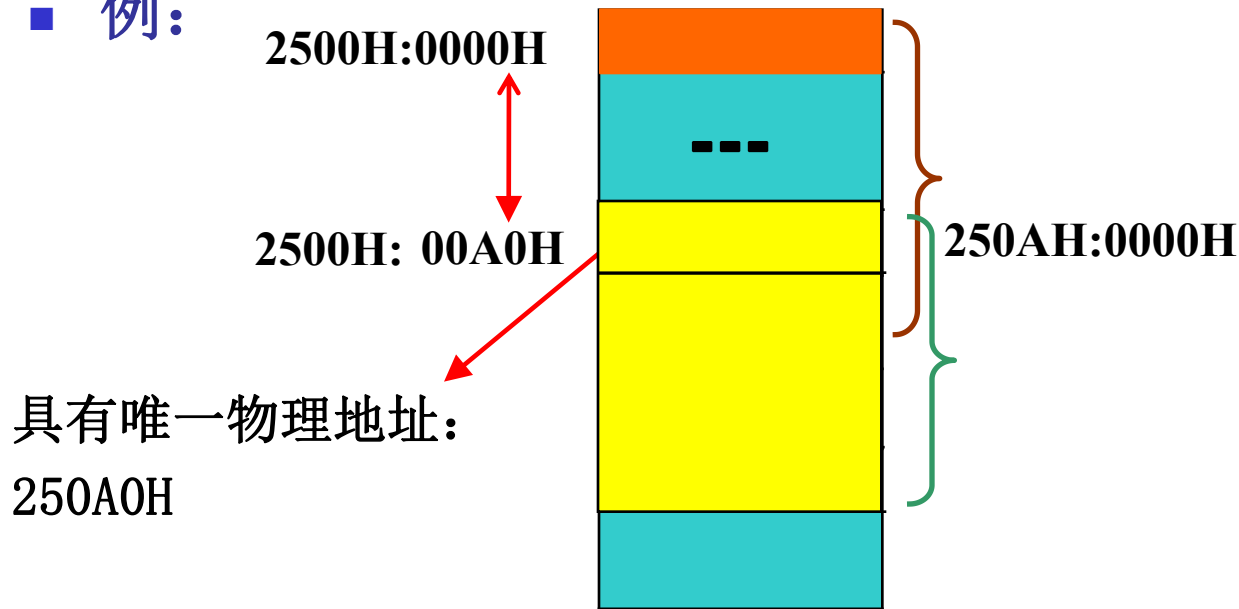
4. 逻辑段与逻辑地址

一个物理地址可以
对应若干逻辑地址


■ 关于逻辑段：

- 大小、位置都可改变的“段”
- 每个内存单元的段地址和偏移地址都可变

■ 例：



逻辑段与逻辑地址

- **内存的分段是逻辑分段，不是物理段。**各个逻辑段在地址上可以不相连、可以部分重合，也可以完全重合
- 每个内存单元具有惟一物理地址，但可能具有多个逻辑地址。
- 一个逻辑段的默认容量为64KB  16bit 计算机

一个内存单元可以同时处于两个不同类型的逻辑段

一个内存单元可以在不同的时刻属于相同（或不同）类型的段

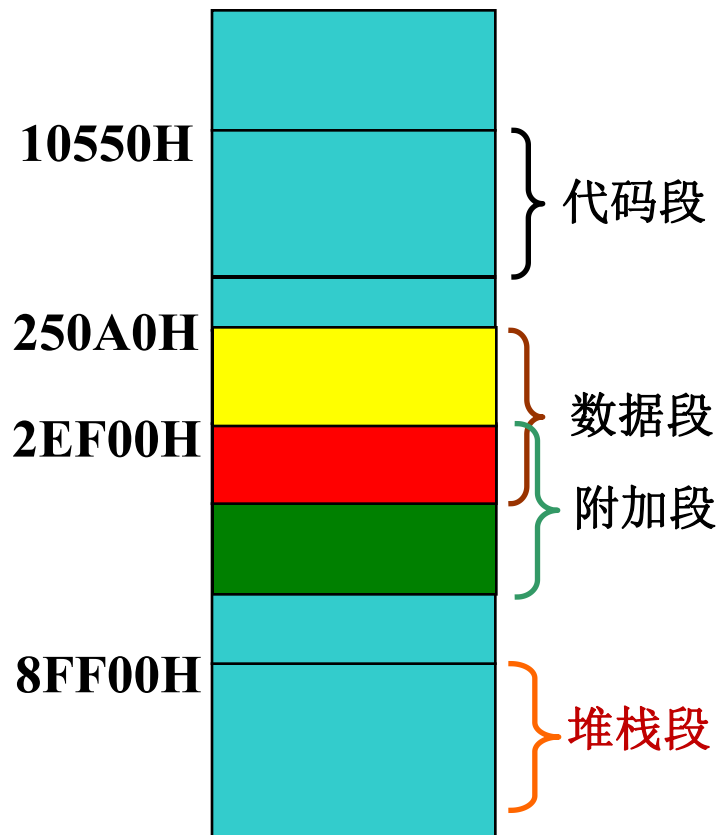
不同类型段在内存中可以完全重合、部分重合、相邻、不相邻

例：

- 已知：**CS=1055H**,
DS=250AH
ES=2EF0H
SS=8FF0H
- 画出各段在内存中的分布。

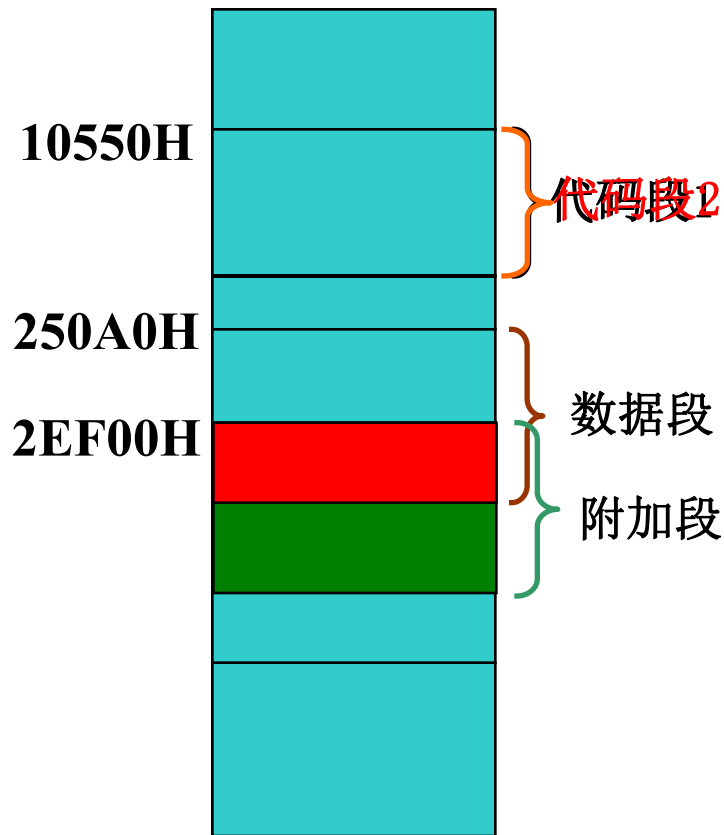
例：

- CS=1055H
 - 段首地址=10550H
 - 默认段尾地址= **2054FH**
(=10550H+FFFFH)
- DS=250AH
 - 段首地址=250A0H
 - 默认段尾地址=3509FH
(=250A0H+FFFFH)
- ES=2EF0H
- SS=8FF0H



逻辑段说明

- 同一程序模块装入主存时，不同类型的段可以装入在相同/不同的物理空间
 - 两个逻辑段完全重合或部分重合
- 两个不同程序模块装入主存时，同一类型的逻辑段也可以装入相同或不同的物理空间中



5. 存储器的保护模式 (具体不做要求)

■ 保护模式:

- 支持多任务的工作模式，提供了多任务保护机制；
- 内存段的访问受到限制，不能再随意存取数据段。

■ 保护模式下的内存访问

- 不再直接从段寄存器中获得段基地址，段基地址存放在内存的段描述符表中，由段描述符寄存器给出段描述符表的基地址，段寄存器中仅存放段选择符。

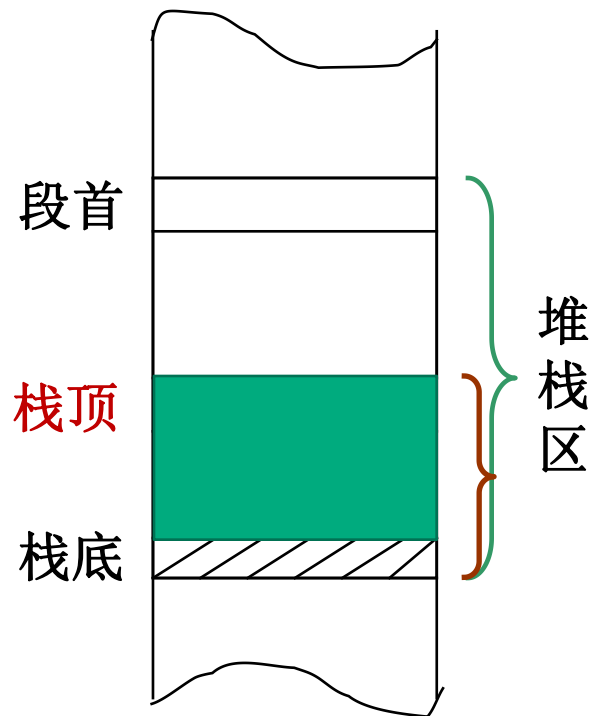
6. 堆栈及堆栈段的使用

■ 堆栈:

- 内存中一个特殊区域，用于存放暂时不用或需要保护的数据。
- 常用于响应中断或子程序调用。

例：

- 已知
 - $SS=1000H$, $SP=0100H$
- 则：
 - 当前堆栈指针指向的物理地址是
 $10000H+0100H=10100H$



实模式下的存储器寻址小结

- 每个内存单元在整个内存空间中都具有**唯一地址**
- 每个内存单元的地址都由**两部分组成**:
 - 段基地址 段内相对地址（偏移地址）
- 段基地址决定了逻辑段在内存中所占的区域，改变段基地址，则改变了逻辑段的位置。
- 一个逻辑段的默认长度为64KB，最小长度值为16B。
- 逻辑段可以有多个，但只有4种类型。在一个程序模块中，每种类型的逻辑段最多只能有一个。

2.2.5 总线时序

教材P49

几个基本概念

- 时序：

- CPU各引脚信号在时间上的关系

- 时钟周期：

- 每个时钟脉冲的持续时间

- 总线周期：

- CPU完成一次访问内存（或接口）操作所需要的时间。
 - 一个总线周期至少包括4个时钟周期。

2.5 总线 (部分要求)

采用总线的优越性：见教材P72


2.5.1 概述：见教材P72

- 总线的基本概念和分类；
- 总线的工作方式；
- 常用系统总线标准。

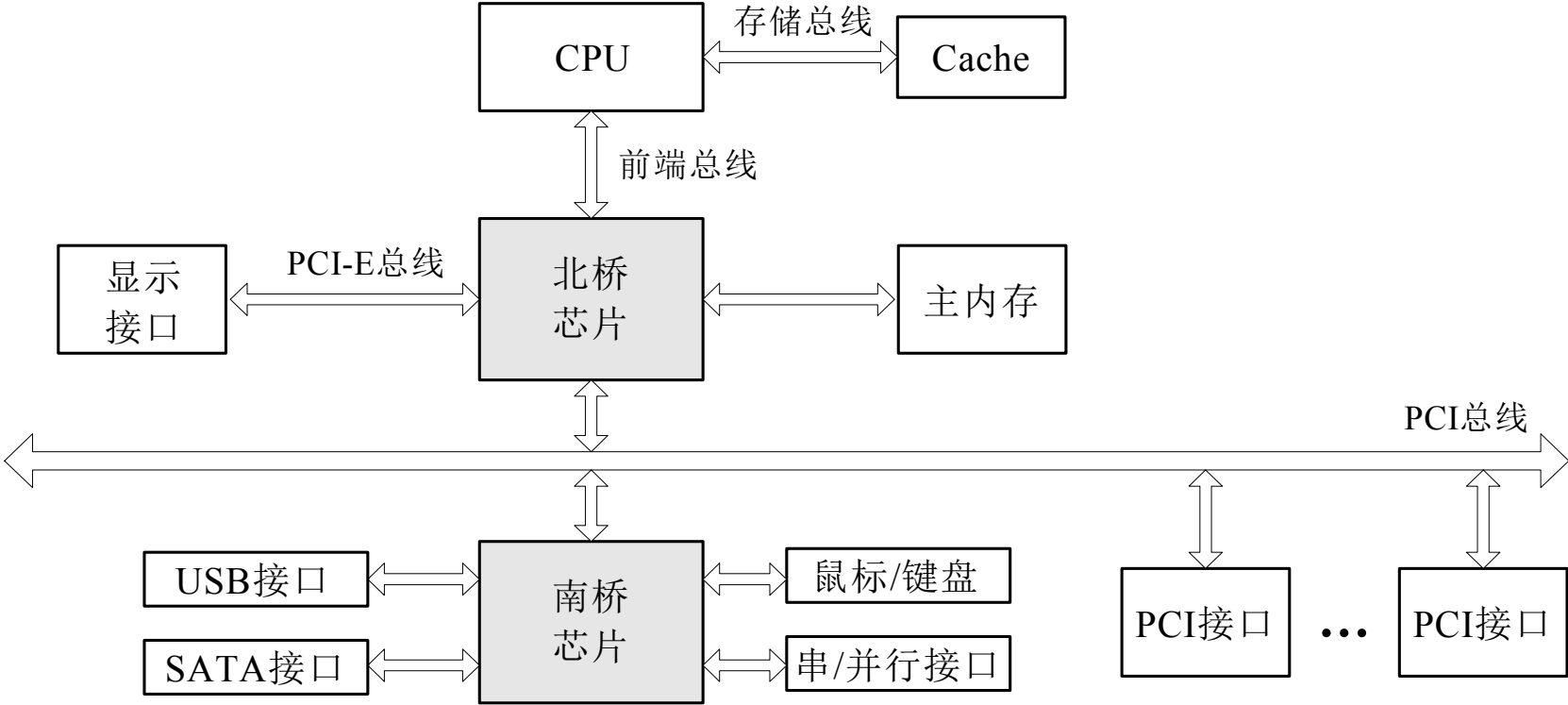
1. 概述

■ 总线：

是一组导线和相关的控制、驱动电路的集合。是计算机系统各部件之间传输地址、数据和控制信息的通道。

地址总线（AB）
数据总线（DB）
控制总线（CB）

现代微机中的多总线结构



南北桥芯片



2. 总线分类

按相对CPU
的位置分

{ 片内总线
片外总线

按层次结构分

{ CPU总线
系统总线
外部总线

3. 总线的基本功能

- 数据传送
- 仲裁控制
- 出错处理
- 总线驱动

4. 总线的主要性能指标

- 总线带宽（B/S）：
 - 单位时间内总线上可传送的数据量
- 总线位宽（bit）：
 - 能同时传送的数据位数
- 总线的工作频率（MHz）
 - 总线带宽=（位宽/8）×（工作频率/每个存取周期的时钟数）

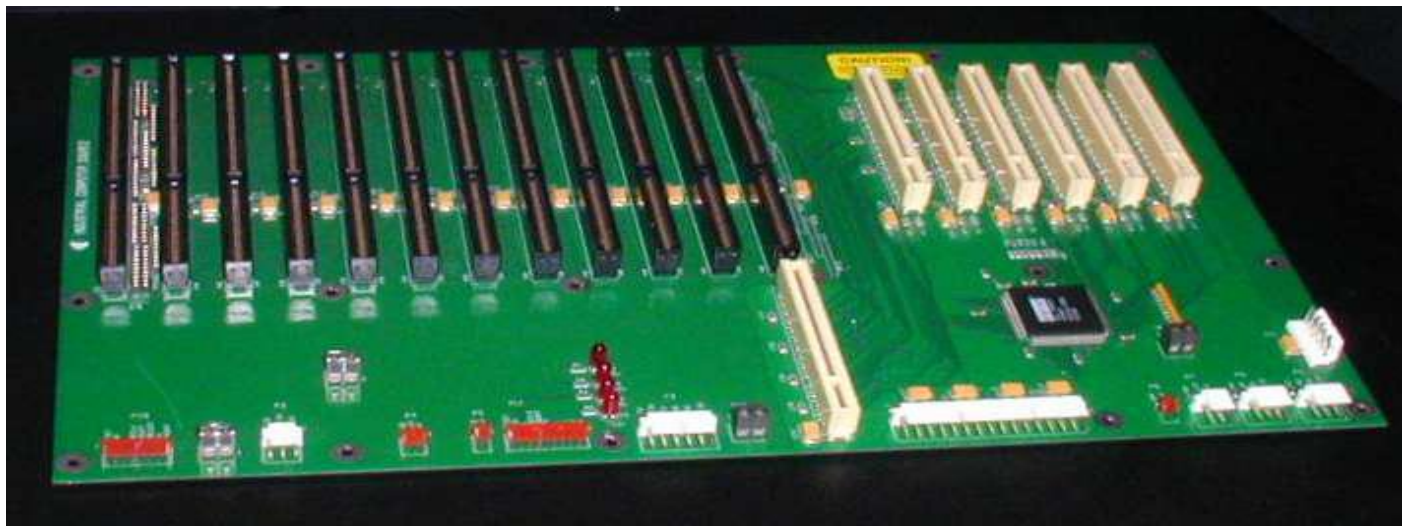
5. 常用系统总线

- ISA (8/16位)
- PCI (32/64位)



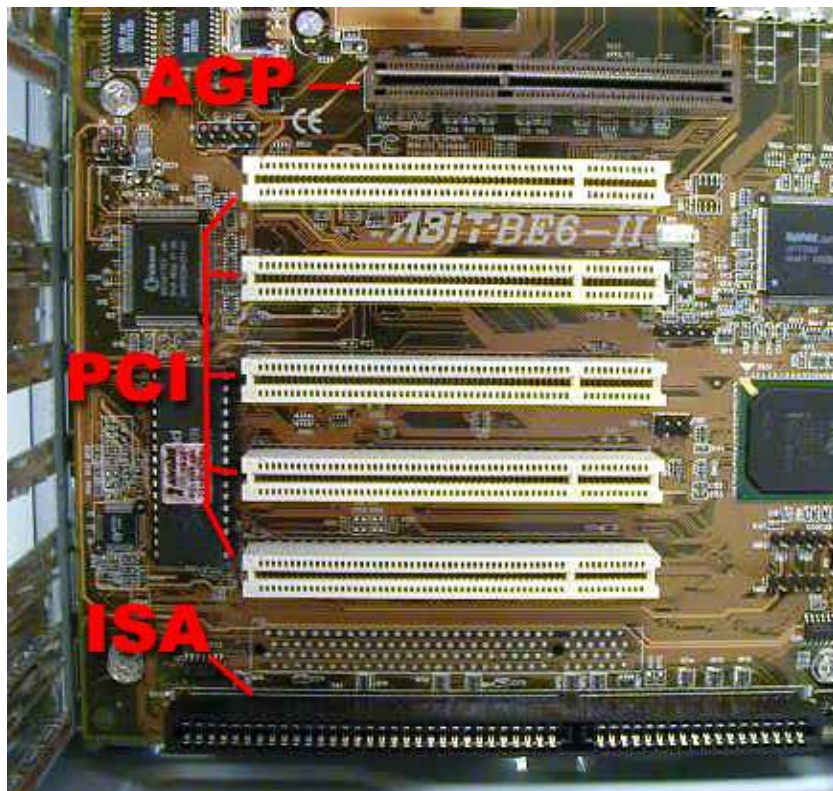
5. 常用系统总线

- ISA（8/16位）
- PCI（32/64位）



5. 常用系统总线

- AGP（加速图形端口，用于提高图形处理能力）



5. 常用系统总线

■ PCI-E (PCI Express)

- 目前最新的系统总线标准，采用串行方式传输数据，依靠高频率来获得高性能。



本章小结

- 微处理器的一般构成
- 8088CPU的主要引线及其功能
- 8088CPU的内部结构
- 内部寄存器功能
 - 寄存器中数据的含义
 - 8位寄存器中存放的均为运算的数据
- 存储器寻址
 - 逻辑地址，段基地址，偏移地址，物理地址
- 堆栈
 - 栈顶地址，栈底地址，堆栈段基地址

