

# 기초회로이론 및 실험 예비보고서

- 제 3 장 테브넨 등가회로, 휘스톤브리지 회로와 Voltage follower -

전기정보공학부

2014-16824 김한성

## 1 실험 목적

Thevenin 등가회로와 Norton 등가회로, 최대 전력 조달 조건 등 회로이론에서의 기본적인 정리들을 실제 실험을 통해서 확인해 본다. 또한 실제 회로에서 부하효과 (loading effect)를 어떻게 방지하는지 알아본다.

## 2 예비 실험 내용

### 2.1 휘스톤브리지 회로

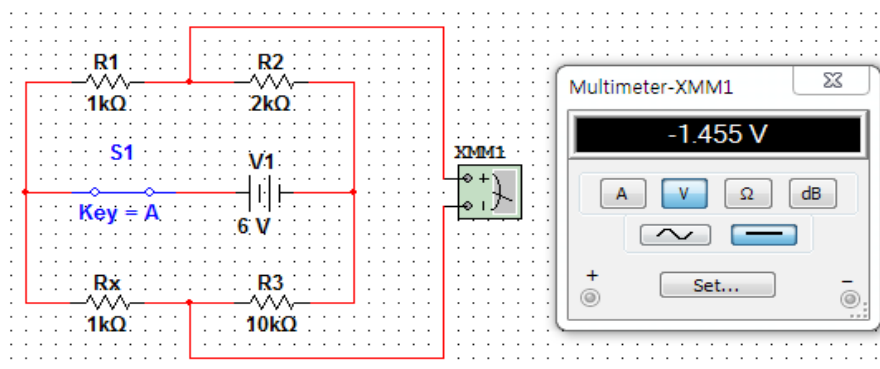


그림 1: 문제 1의 회로도 및 출력 전압 측정 시

#### 2.1.1 Thevenin 등가회로

Thevenin 등가회로를 그리기 위해서는 open-circuit voltage  $V_{oc}$  와 Thevenin 저항  $R_t$  를 알아야 한다.

먼저  $V_{oc}$  를 구하면, node voltage method를 사용해

KCL, node a :

$$\frac{V_s - V_a}{R_1} - \frac{V_a}{R_2} = 0$$

$$V_a = \frac{R_2}{R_1 + R_2} V_s$$

마찬가지로 KCL, node b:

$$V_b = \frac{R_3}{R_3 + R_x} V_s$$

따라서 노드 b에 대한 a의 상대 전위, 즉 출력 전압은

$$V_{oc} = V_a - V_b = \left( \frac{R_2}{R_1 + R_2} + \frac{R_3}{R_3 + R_x} \right) V_s$$

Ri에 상수를 대입해 계산하면

$$V_{oc} = -\frac{48}{33} = -1.455 \text{ [V]}$$

다음  $i_{sc}$ 를 구하는 과정은, 먼저 KCL 법칙에 맞게 R1에 흐르는 전류  $i_a$ , R2에 흐르는 전류  $i_a - i_{sc}$ , Rx에 흐르는 전류  $i_b$ , R3에 흐르는 전류  $i_b + i_{sc}$ , 방향은 모두 오른쪽으로 설정하면,

$$\text{KVL, 가장 바깥쪽 loop: } R_1 i_a = i_a = R_x i_b = i_b$$

$$\text{KVL, 위쪽 절반 loop: } 6 = (R_1 + R_2) i_a - R_2 i_{sc} = 3 i_a - 2 i_{sc}$$

$$\text{KVL, 아래쪽 절반 loop: } 6 = (R_3 + R_4) i_a + R_3 i_{sc} = 11 i_b + 10 i_{sc}$$

MATLAB을 이용해 전류값을 구하면

$$i_{sc} = -0.9231 \text{ [A]}$$

마지막으로 voltage source를 zero로 두고 회로의 합성저항을 구하면

$$R_t = R_1 \parallel R_2 + R_3 \parallel R_x = 52/33 = 1.576 \Omega$$

Thevenin theorem을 확인해보면  $\frac{V_{oc}}{i_{sc}} = 1.576 = R_t$ 를 만족하므로 계산이 맞음을 알 수 있다.

따라서 Thevenin 등가회로는:

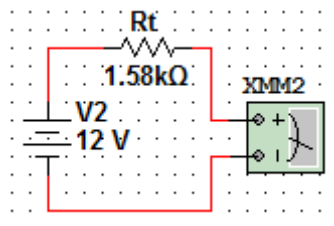


그림 2: Thevenin 등가회로  
(단,  $R_t$ 는  $1.576k\Omega$ )

## 2.1.2 출력전압 및 출력전압을 0으로 하는 Rx

출력 전압은 2.1.1에서 계산한  $V_{oc} = -1.455V$

$$V_{oc} = V_a - V_b = \left( \frac{R_2}{R_1 + R_2} + \frac{R_3}{R_3 + R_x} \right) V_s \text{ 이 0이 되기 위한 충분조건은 } R_x = \frac{R_1 R_3}{R_2} = 5 k\Omega$$

### 2.1.3 가변저항의 섭동과 출력 전압의 관계

이항근사를 사용한다.

$$R_x = R_{x0}(1+\epsilon) = 5(1+\epsilon) \text{ k}\Omega$$

$$V_{oc} = \left(\frac{2}{3} - \frac{10}{10+5(1+\epsilon)}\right) V_s = \left(\frac{2}{3} - \frac{2}{3+\epsilon}\right) V_s = \frac{2}{3} \left(1 - \frac{1}{1+\epsilon}\right) 6 \simeq 4(1 - (1-\epsilon)) = 4\epsilon$$

즉,  $V_{oc}$  와  $\epsilon$  간에는 정비례 관계가 성립한다.

## 2.2 Voltage follower

### 2.2.1 SW1 R2 전압

단순한 voltage division으로

$$V_2 = \frac{R_2}{R_1 + R_2} V_s = \frac{10}{2+10} 6 = 5 \text{ V}$$

### 2.2.2 SW1, SW2 Rload 전압

R2와 Rload의 합성저항  $R_{2,load}$ 라 할 때, Voltage division으로

$$R_{2,load} = \frac{R_2 R_{load}}{R_2 + R_{load}} = \frac{10 * 10}{20} = 5 \text{ k}\Omega$$

$$V_{load} = \frac{R_{2,load}}{R_1 + R_{2,load}} V_s = \frac{5}{2+5} 6 = 4.286 \text{ V}$$

## 2.2.3 측정결과와 이유

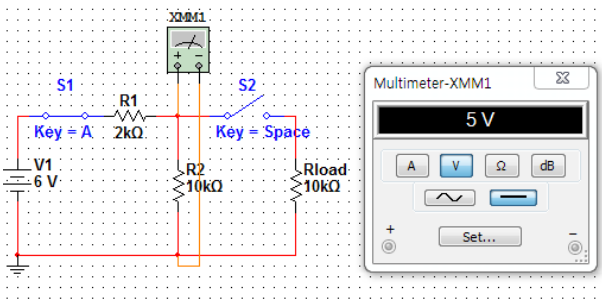


그림 3: 2.2.1 측정결과

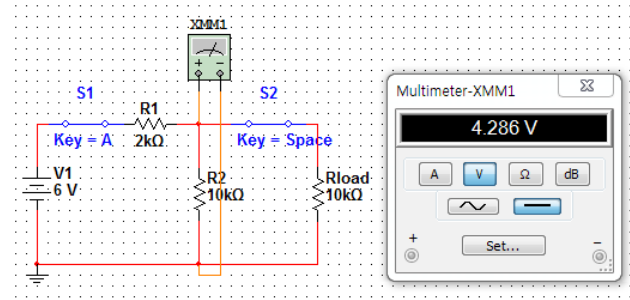


그림 4: 2.2.2 측정결과

Multisim 측정값과 계산값이 동일한 결과를 보였다.

그러나 Multisim의 DMM 내부저항은 1GOhm으로 높은 반면, 실험실의 DMM은 11MOhm 정도로 낮아 부하 효과가 클 것이며 실제 관측되는 Vload에 음의 오차를 줄 것이다.

이는 DMM의 내부저항이 Rload에 병렬 연결되면서 둘을 합성한 효과저항이 10kOhm보다 감소하고, 따라서 voltage division에서 4.286 V보다 더 적은 양이 Rload에 분압될 것이기 때문이다.

또한 이는 Rload를 연결했을 때 전압값이 5V보다 낮아진 4.286V로 관측된 것과 같은 맥락이다. Rload가 R2에 병렬 연결되며 두 저항의 합성값이 감소하고, 따라서 R2에 분압되는 전압이 더 낮아진다.

## 2.2.4 Voltage follower 설계

2.2.3의 부하효과를 보정하기 위해 Op-amp를 사용한다.

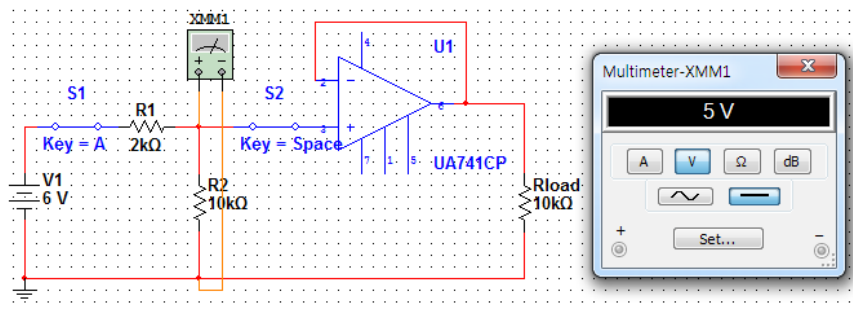


그림 5: Op-Amp UA741을 사용했을 때 부하효과