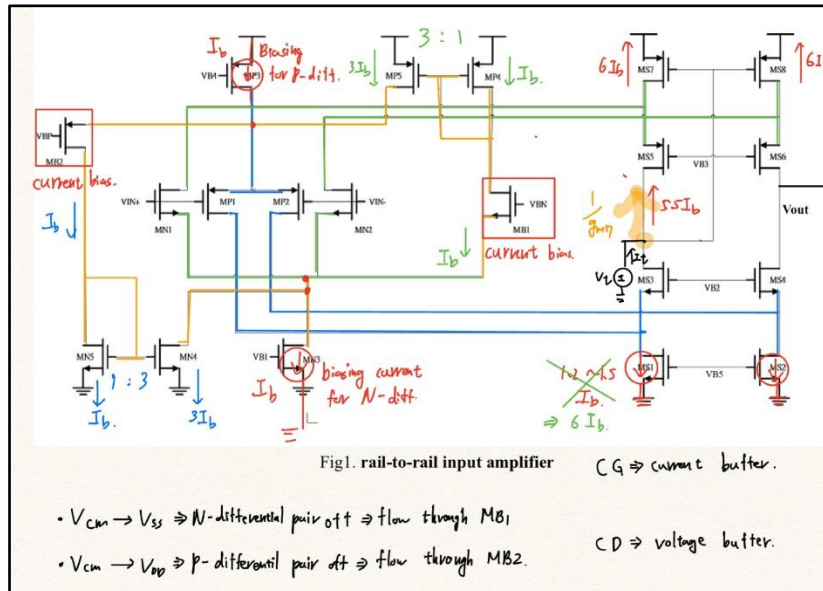


Analog Circuit Design

HW2

工科 25 110011101 林冠濤

(1) Design of a rail-to-rail input amplifier with constant gm control.



(a) Design I_{Bias} and W/L of all transistors by hand calculation.

(1) Power dissipation

根據電路的功能，在最高電流的狀態為 17 個 I_{Bias} 。

$$(1) \therefore I_{total} = 17 I_b.$$

$$P_{diss} = 17 I_b \cdot 1.8 < 2mW$$

$$\Rightarrow I_b < 65.4 \mu A \Rightarrow \text{選 } I_b = 60 \mu A.$$

(2) Frequency response

$$\textcircled{1} f_{3dB} = \frac{1}{2\pi \cdot R_{out} \cdot C_L} \geq 80 k. \Rightarrow R_{out} \leq 995 k\Omega.$$

$$R_{out} = R_{on} \parallel R_{op}$$

$$r_{on} = \frac{1}{\lambda_n I_D} = \frac{1}{0.02 \times (6 \times 60 \mu A)} = 139 k\Omega.$$

$$r_{op} = \frac{1}{\lambda_p I_D} = \frac{1}{0.04 \times (5 \times 60 \mu A)} = 69 k\Omega.$$

$$= g_{mn} r_{on}^2 \parallel g_{mp} r_{op}^2$$

$$= \sqrt{2\beta_n I_b} \times (139 k)^2 \parallel \sqrt{2\beta_p I_b} \times (69 k)^2.$$

$$= \sqrt{2 \times 266.4 \mu A/V^2 \times (\frac{W}{L})_n \times 360 \mu A} \times (139 k)^2 \parallel \sqrt{2 \times 102.36 \mu A/V^2 \times (\frac{W}{L})_p \times 360 \mu A} \times (69 k)^2$$

$$= \sqrt{2 \times 266.4 \mu A/V^2 \times (\frac{W}{L})_n \times 360 \mu A} \times 3.82 \times 10^6 \leq 950 k \Rightarrow (\frac{W}{L})_n \leq 0.35, (\frac{W}{L})_p \leq 0.875.$$

Let $(\frac{W}{L})_p \approx 2.5 (\frac{W}{L})_n$
 $\Rightarrow g_{mn} \approx g_{mp}.$

利用 3dB frequency 的條件可以藉由 R_{out} 來獲得輸出端 MS1~MS8 的 size，但可以發現求出的尺寸不在合理的範圍，原因可以從 hw1 的結果發現出實際使用的電晶體 λ 值與 level-1 理想參數表差異甚大(>100%)，因此計算所用的 r_o 會比實際大得多。加上電晶體的 K 值也與設計的尺寸有關，因此在計算 g_m 時有相當的誤差。故在此次設計中並沒有藉由這個方式決定 MS1~8，而是採用 Output swing 條件設計。

(3) Output swing

為了達到目標的 output swing，在設計的過程中假設 MS1~MS8 電晶體的 $V_{DS}=0.25V$ ，以達到下界的 0.5V 與上界的 1.3V。因此可以藉由此條件設計 cascode 的 size 與 Biasing voltage

Output swing : $0.5V \leq V_{out} \leq 1.3V$.

MS4: $V_{B2} < 0.5 + V_{IH4} = 0.8V$
 $\Rightarrow V_{G4} < 0.8 - 0.25 < 0.56V$
 $I_D = 6I_b = \frac{1}{2} \times 266.46 \times \left(\frac{W}{L}\right)_n \times (0.56 - 0.31)^2 = 360\mu A$
 $\Rightarrow \left(\frac{W}{L}\right)_n > 43.23$
 MS4, MS2.

MS8: $V_{SD} \geq |V_{th}|$
 $V_{SD} = 0.25V$
 $\sqrt{\frac{2 \times 60\mu A}{102.36 \times \left(\frac{W}{L}\right)_{MS8}}} + |V_{th}| \leq V_{SD} + |V_{th}|$
 $\Rightarrow \left(\frac{W}{L}\right)_{MS8} \geq 112.54$
 MS6.

④ V_{B5} : $V_{B5} - 0.25 < V_{IH1}$
 $\Rightarrow V_{B5} < 0.56V$

⑤ V_{B3} : output max = 1.3V $\Rightarrow V_{SD} = 0.25V$ for MS6, MS8.
 $V_{SD} < V_{SD} - |V_{th}|$
 $\Rightarrow V_{G3} < -|V_{th}| \Rightarrow V_{B3} - 1.55 < -0.46$
 $\Rightarrow V_{B3} < 1.09V$

(4) Gain

根據 $A_v = G_m \times R_{out}$ ，而 R_{out} 可從 3dB 的條件獲得最大值，因此可以求得 MN1、2 與 MP1、2 的最小 size。

$A_v = G_m \cdot R_{out} = (g_{mn} + g_{mp}) \cdot R_{out} > 50dB = 311.23 \%$

$\Rightarrow 2g_m > \frac{311.23}{99.5k} \Rightarrow g_m > 158.91\mu A/V$

$\Rightarrow g_{mn} = \sqrt{2 \times 266.46 \times \left(\frac{W}{L}\right)_n \times \frac{1}{2} \times 60\mu A} > 158.91\mu A/V$
 $\Rightarrow \left(\frac{W}{L}\right)_n > 1.58$
 MN1, MN2.

$\Rightarrow g_{mp} = \sqrt{2 \times 102.36 \times \left(\frac{W}{L}\right)_p \times \frac{1}{2} \times 60\mu A} > 158.91\mu A/V$
 $\Rightarrow \left(\frac{W}{L}\right)_p > 4.11$
 MP1, MP2.

(5) Input differential pair

在 Differential pair stage 的部分，若是同樣有設計使得 current source 的 $V_{DS}=0.25V$ 的話，可以藉由電晶體飽和條件再次推算出 MN1、2 與 MP1、2 的 size，並因為這個值比 gain 所求得的 size 更大，因此會使用這裡的邊界條件進行後續設計。

而在 current source 的 size(MN3、MP3)與偏壓(V_{B1} 、 V_{B4})也可以藉由 V_{DS} 與 I_{Bias} 的設計求得。

<p>⑥ $V_{icm} = 0.9$.</p> <p>$V_{GSN1} < 0.9 - 0.25 = 0.65$.</p> <p>$\therefore 30\mu = \frac{1}{2} \times 266.46 \times \left(\frac{W}{L}\right)_{MN1} (0.65 - 0.31)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MN2} > 1.95$.</p>	<p>$V_{SG1} < (1.8 - 0.25) - 0.9 = 0.65$.</p> <p>$30\mu = \frac{1}{2} \times 102.36 \times \left(\frac{W}{L}\right)_{MP1} (0.65 - 0.46)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MP1, MP2} > 16.24$.</p>
<p>⑦ V_{B1}, MN3.</p> <p>$V_{B1} - 0.25 < V_{TH} \Rightarrow V_{B1} < 0.56$.</p> <p>$60 = \frac{1}{2} \times 266.46 \times \left(\frac{W}{L}\right)_{MN3} \times (0.56 - 0.31)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MN3} > 7.21$</p>	<p>V_{B4}, MP3.</p> <p>$V_{B4} - 1.55 > - 0.46$</p> <p>$\Rightarrow V_{B4} > 1.09V$.</p> <p>$60\mu = \frac{1}{2} \times 102.36 \times \left(\frac{W}{L}\right)_{MP3} (1.8 - 1.19 - 0.46)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MP3} \geq 18.76$.</p>

(6) Complementary input pair

在 N 與 P 的互補輸入對中也是藉由使 $V_{DS}=0.25V$ 來進行設計。並為了使 $\Delta g_m < 10\%$ 的條件，在 current mirror 中設計了 1:3 的電流以進行補償。

<p>⑧ MN4, MN5.</p> <p>Let $V_{DS} = 0.25V$</p> <p>$\Rightarrow V_{DS} \geq V_{GS} - V_{TH}$</p> <p>$\Rightarrow 0.25 \geq \sqrt{\frac{2 \times 60\mu}{266.46 \times \left(\frac{W}{L}\right)_{MN4}}} + V_{TH} - V_{TH}$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MN4} \geq 7.21$.</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MN5} \geq 3 \times \left(\frac{W}{L}\right)_{MN4}$.</p>	<p>⑩ MP4, MP5.</p> <p>Let $V_{SD} = 0.25V$.</p> <p>$\Rightarrow V_{SD} \geq V_{SG} - V_{TH}$</p> <p>$\Rightarrow 0.25 \geq \sqrt{\frac{2 \times 60\mu}{102.36 \times \left(\frac{W}{L}\right)_{MP5}}} + V_{TH} - V_{TH}$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MP5} \geq 18.76$.</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MP4} = 3 \times \left(\frac{W}{L}\right)_{MP5}$.</p>
<p>⑪ M_{B1}, V_{BN}.</p> <p>\Rightarrow Let $V_{BN} = 0.9V$.</p> <p>$I_D = 60 = \frac{1}{2} \times 266.46 \times \left(\frac{W}{L}\right)_{MB1} \times (0.9 - 0.25 - 0.31)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MB1} = 22.98$</p>	<p>⑫ M_{B2}, V_{BP}.</p> <p>Let $V_{BP} = 0.9V$.</p> <p>$I_D = 60 = \frac{1}{2} \times 102.36 \times \left(\frac{W}{L}\right)_{MB2} \times (1.8 - 0.25 - 1.19 - 0.46)^2$</p> <p>$\Rightarrow \left(\frac{W}{L}\right)_{MB2} = 32.47$.</p>

(b) Biasing circuit

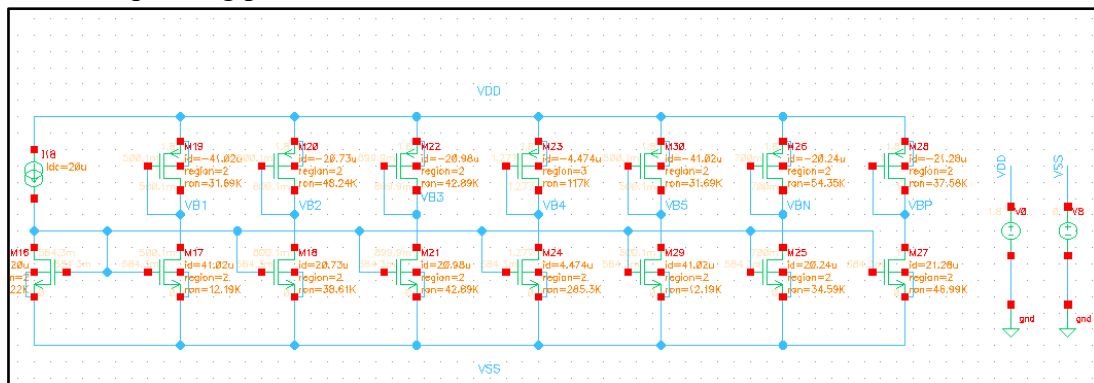
利用 $I_{ref} = 20\mu A$ 藉由 current mirror 設計 bias voltage。

由於電路中有 7 個偏壓點需要施加，因此在這邊設計 7 組 current mirror 產生 7 個不同的 Bias voltage，每組中藉由下半部的 NMOS 對左邊的理想電流進行複製，並利用比例控制電流大小。再利用上端的 PMOS 作為電阻產生壓差生成穩定電壓點作為主電路的偏壓。

● Bias circuit size

Cell	Iref	M19	M20	M22	M23	M30	M26	M28
$\frac{w}{L}$ (m)	20uA	$\frac{0.26u}{1.08u}$	$\frac{0.3u}{1.48u}$	$\frac{0.31u}{2.3u}$	$\frac{0.2u}{17.25u}$	$\frac{0.26u}{1.06u}$	$\frac{0.48u}{1.49u}$	$\frac{0.3u}{3.83u}$
Cell	M16	M17	M18	M21	M24	M29	M25	M27
$\frac{w}{L}$ (m)	$\frac{5u}{0.5u}$	$\frac{9.98u}{0.5u}$	$\frac{5.01u}{0.5u}$	$\frac{5u}{0.5u}$	$\frac{1.25u}{0.5u}$	$\frac{9.98u}{0.5u}$	$\frac{4.97u}{0.5u}$	$\frac{5u}{0.5u}$

● DC operating point



● Bias voltage result

Node	VDD	VSS	VB1	VB2	VB3	VB4	VB5	VBN	VBP
Voltage(V)	1.8	0	500.1m	800.1m	899.9m	1.277	500.1m	700m	1

(c) rail-to-rail input amplifier

(i) Summary of the circuit

● Circuit parameter

MOS	MN1、2	MN3	MN4	MN5	MP1、2	MP3	MP4	MP5
$\frac{w}{L}$ (m)	$\frac{34 \times 0.5u}{0.5u}$	$\frac{39 \times 1u}{1u}$	$\frac{22 \times 1u}{1u}$	$\frac{30 \times 1u}{1u}$	$\frac{69 \times 0.5u}{0.5u}$	$\frac{83 \times 1u}{1u}$	$\frac{50 \times 0.5u}{0.5u}$	$\frac{106 \times 0.5u}{0.5u}$
M	1	1	3	1	2	9	6	6

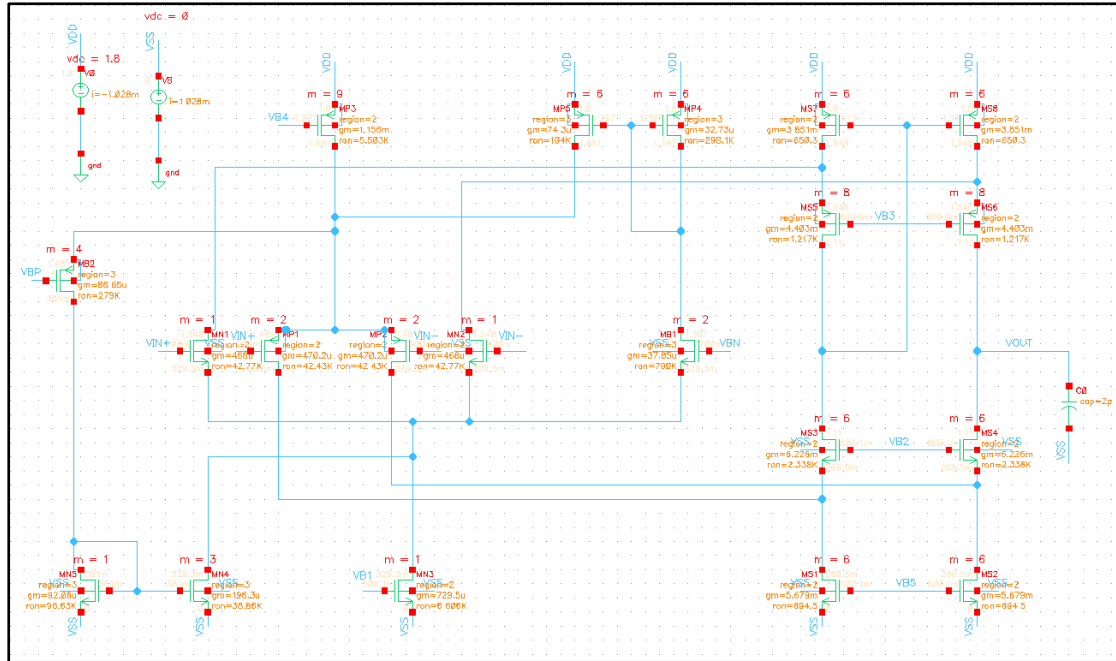
MOS	MB1	MB2	MS1、2	MS3、4	MS5、6	MS7、8
$\frac{w}{L}$ (m)	$\frac{30 \times 1u}{1u}$	$\frac{30 \times 1u}{1u}$	$\frac{51 \times 1u}{1u}$	$\frac{80 \times 0.75u}{0.75u}$	$\frac{88 \times 0.52u}{0.52u}$	$\frac{81 \times 0.55u}{0.55u}$
M	2	4	6	6	8	6

● Design flow

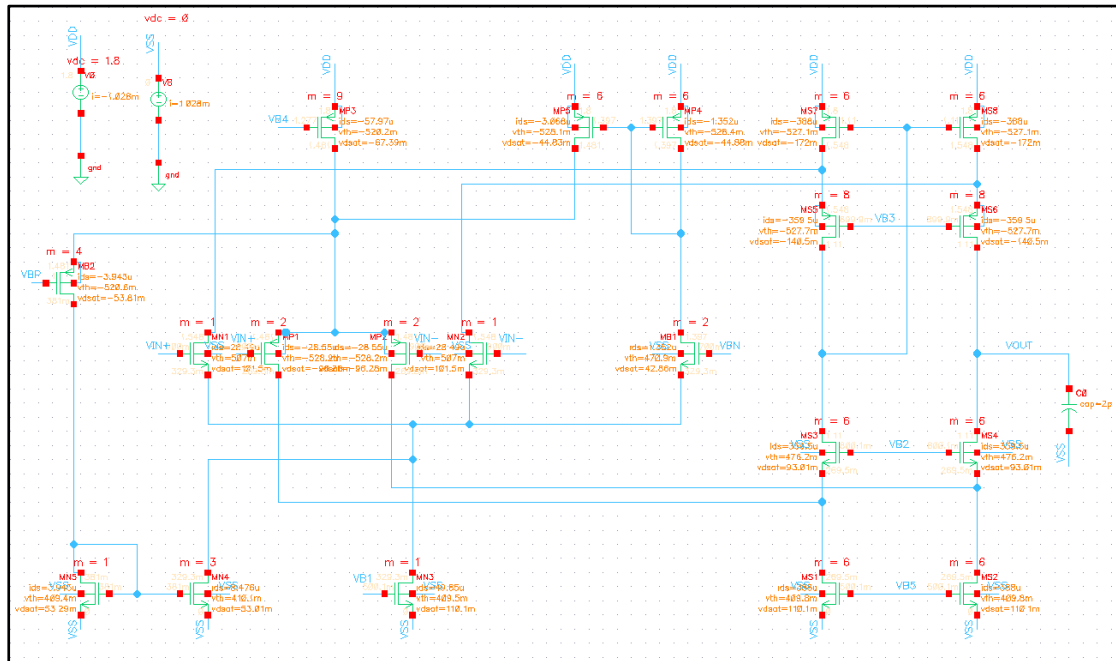
- I. 使用計算出來的邊界值套入電路中，並逐步調整直到在 $V_{cm}=0.9V$ 時達到 input pair 與 cascode 電路操作在 Saturation 區域以達到最大的放大倍率。而互補輸入對則在此時操作在 Subthreshold 區域。
- II. 藉由 Δg_m 的條件重新調整 input pair N-type 與 P-type 的相對比例。並使 g_m total 維持在 $1m$ 左右，以利後續 phase 的調控。
- III. 放大 cascode stage 的比例，以達到目標 gain 與 f_{3dB} 的條件。
- IV. 藉由 g_m 與 r_o 的數值，使上下 R_{op} 與 R_{on} 相對平衡，也就是讓 N 型與 P 型的放大比例穩定，藉此提高 phase margin。
- V. 最後重複調整 cascode 的 W/L 與 m 的相對數值，使 DC Output swing 與 AC 的 f_{3dB} 、phase margin、gain 可以操作在 $0V < ICMR < 1.8V$ 的情況下接滿足條件。

- DC operating point

➤ Region-gm-ro

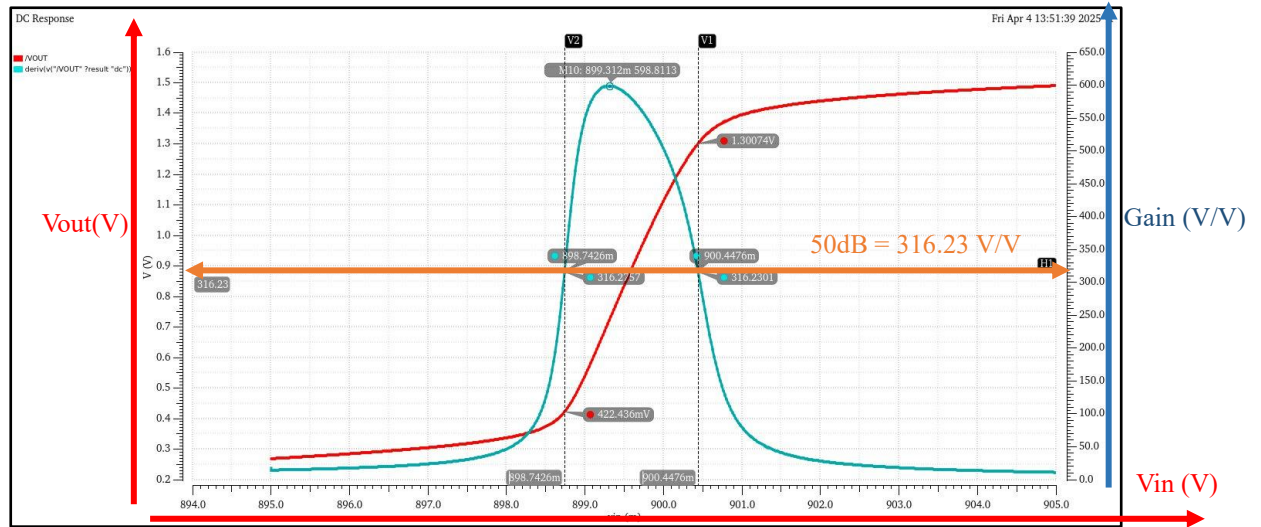


➤ Id-vth-vdsat



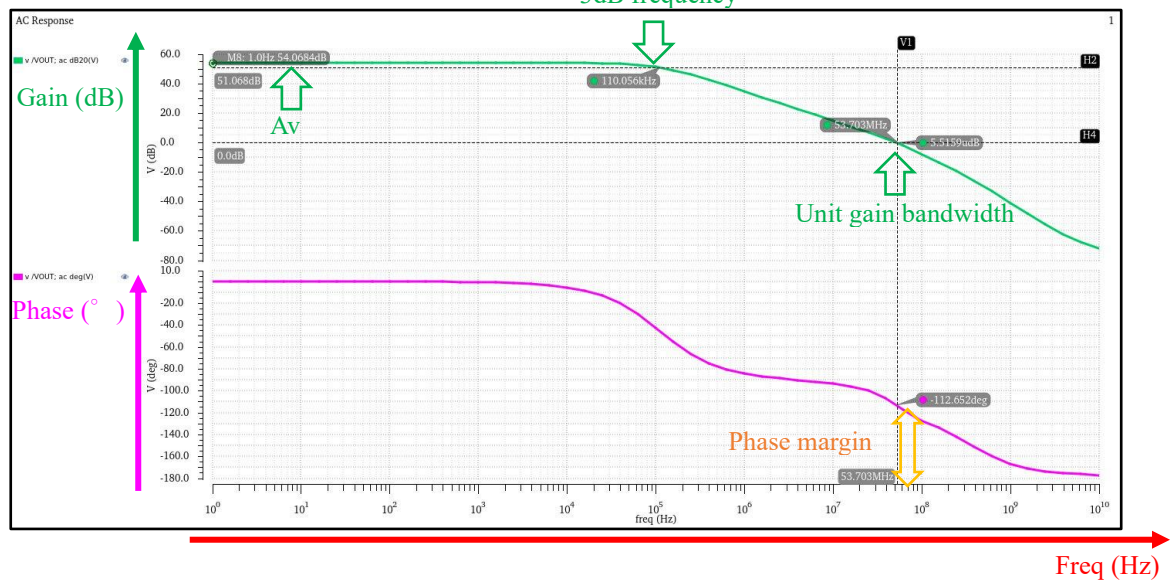
● $P_{diss} = 1.028m \times 1.8 = 1.8504mW$

(ii) Sweep the DC value of v_O with v_I sweeping from 0 to 1.8V.



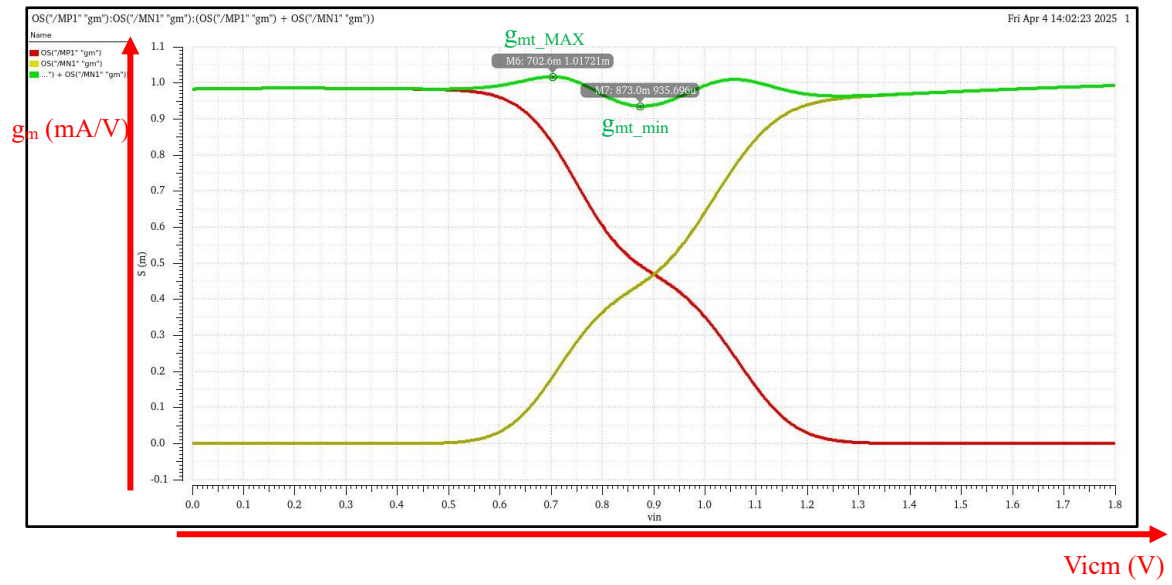
- Red line: $V_{out}-V_{in}$ 、 Blue line: Gain- V_{in}
- Maximum gain = 598.8113 V/V = 55.546 dB
- Output dynamic range : $0.4224 V \leq V_{out} range \leq 1.3007 V$

(iii) Frequency response at $V_{cm} = 0.9V$



- AC gain : $A_v = 54.0684 \text{ dB}$
- 3dB frequency : $f_{3dB} = 110.056 \text{ kHz}$
- Unit gain bandwidth : $UBW = 53.703 \text{ MHz}$
- Phase margin : $PM = 180^\circ - 112.652^\circ = 67.348^\circ$

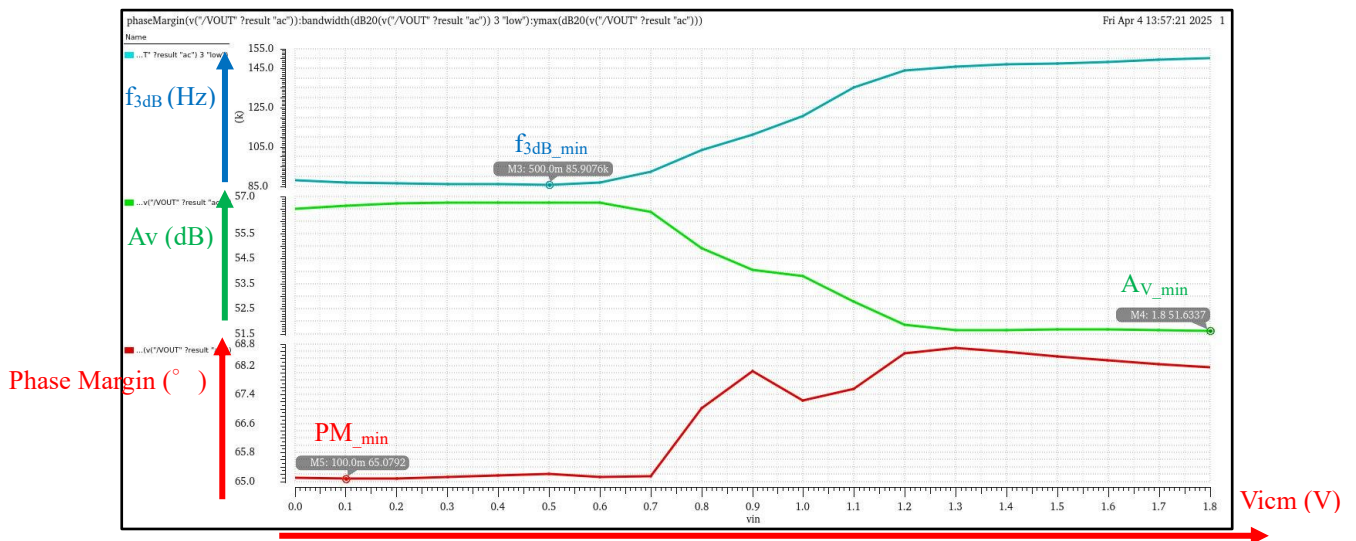
(iv) Constant g_m



- Red line: g_{mp} 、 Yellow line: g_{mn} 、 Green line: $g_{mn} + g_{mp}$
- $g_{m_max} = 1.01721 \text{ mA/V}$, $g_{m_min} = 0.935696 \text{ mA/V}$

$$\Delta G_m = \frac{1.01721 - 0.935696}{1.01721} = 8.01\%$$

(v) ICMR



From $V_{icm} = 0V \sim 1.8V$:

- AC gain : $A_v \geq 51.6337 \text{ dB}$
- 3dB frequency : $f_{3dB} \geq 85.9076 \text{ kHz}$
- Phase margin : $PM \geq 65.0792^\circ$

(d) Summarize the specifications of the Op-amp

	Specifications	Simulations	Units
DC Characteristics	$P_{diss} \leq 2$	1.8504	mW
	$0 \leq ICMR \leq 1.8$	$0 \leq ICMR \leq 1.8$	V
	$0.5 \leq V_{out range} \leq 1.3$	$0.4224 \leq V_{out range} \leq 1.3007$	V
	$\Delta g_m < 10\%$	8.01	%
AC Characteristics	$A_v \geq 50dB$	54.0684	dB
	3-dB-bandwidth $\geq 80k$	110.056	Hz
	$PM \geq 65$	67.348	°