

Analog Circuit Design

HW1

工科 25 110011101 林冠濤

(1) Above-threshold Device parameters and Amplifier Design

(a) Estimate the values of the Level-1 parameters

N_18.1		P_18.1	
V_{th0}	0.3075V	V_{th0}	-0.4555 V
K	266.46 $\mu\text{A}/\text{V}^2$	K	102.36 $\mu\text{A}/\text{V}^2$
λ	0.02	λ	0.04
γ	0.0043 $\text{V}^{1/2}$	γ	0.0055 $\text{V}^{1/2}$
$2 \phi_F $	0.8838V	$2 \phi_F $	0.9102V

(a) N_18.1

$$V_{th} = 0.3075 \text{ V.}$$

$$K = \mu_0 C_{ox} = \mu_0 \cdot \frac{\epsilon_{ox}}{T_{ox}} = 3.2410 \times 10^2 \cdot \frac{3.9 \cdot 8.854 \times 10^{-14} \cdot \frac{\text{F}}{\text{cm}}}{4.2 \times 10^{-9} \text{ (m)}} = 266.46 \frac{\mu\text{A}}{\text{V}^2}.$$

$$\lambda = 0.02.$$

$$\gamma = \frac{\sqrt{2\epsilon_{si}\epsilon_0 N_{sub}}}{C_{ox}} = \frac{\sqrt{2 \cdot 11.7 \cdot 8.854 \times 10^{-14} \cdot 1.6 \times 10^{-19} \cdot 3.7446 \times 10^{17}}}{\frac{3.9 \cdot 8.854 \times 10^{-14}}{4.2 \times 10^{-9}}} = 0.0043 \text{ V}^{1/2}$$

$$2|\phi_F| = 2 \frac{kT}{q} \ln \left(\frac{N_{sub}}{n_i} \right) = 2 \cdot \frac{1.387 \times 10^{-23} \cdot 300}{1.6 \times 10^{-19}} \ln \left(\frac{3.7446 \times 10^{17}}{1.45 \times 10^{10}} \right) = 0.8838 \text{ V.}$$

P_18.1

$$V_{th} = -0.4555 \text{ V.}$$

$$K = \mu_0 C_{ox} = \mu_0 \cdot \frac{\epsilon_{ox}}{T_{ox}} = 1.245 \times 10^2 \cdot \frac{3.9 \cdot 8.854 \times 10^{-14}}{4.2 \times 10^{-9}} = 102.36 \frac{\mu\text{A}}{\text{V}^2}.$$

$$\lambda = 0.04.$$

$$\gamma = \frac{\sqrt{2\epsilon_{si}\epsilon_0 N_{sub}}}{C_{ox}} = \frac{\sqrt{2 \cdot 11.7 \cdot 8.854 \times 10^{-14} \cdot 1.6 \times 10^{-19} \cdot 6.231 \times 10^{17}}}{\frac{3.9 \cdot 8.854 \times 10^{-14}}{4.2 \times 10^{-9}}} = 0.0055 \text{ V}^{1/2}$$

$$2|\phi_F| = 2 \frac{kT}{q} \ln \left(\frac{N_{sub}}{n_i} \right) = 2 \cdot \frac{1.387 \times 10^{-23} \cdot 300}{1.6 \times 10^{-19}} \ln \left(\frac{6.231 \times 10^{17}}{1.45 \times 10^{10}} \right) = 0.9102 \text{ V.}$$

(b) Use the Level-1 parameters obtained in (a) to design (W/L)_i by hand calculation

(b)

① $A_v > 60 \text{ V/V}$ ② $f_{3dB} > 650 \text{ kHz}$ ③ $\text{power} \leq 250 \mu\text{W}$.

power = $1.8 \times i_b \leq 250 \mu\text{W}$
 $\Rightarrow i_b \leq 138 \mu\text{A}$

$A_v = g_m \cdot \frac{2}{3} r_o > 60$

$BW = \frac{1}{\frac{2}{3} r_o \cdot 1p} > 650 \text{ k} \Rightarrow r_o < 3.08 \times 10^6 \Omega$

$R_o = r_{o1} \parallel r_{o2}$
 $= \frac{1}{0.02 \cdot I_D} \parallel \frac{1}{0.04 \cdot I_D} = \frac{2}{3} r_o$

$\therefore I_D > 16 \mu\text{A}$

$f_{3dB} = \frac{1}{2\pi (r_{o1} \parallel r_{o2}) \cdot C_L} = \frac{1}{2\pi \cdot \frac{50}{3} \frac{1}{I_D} \cdot 1p} > 650 \text{ k}$

$\Rightarrow I_D > 68 \mu\text{A}$... 令單邊 $I_D \approx 68 \mu\text{A}$.

For NMOS: $g_m \cdot \frac{2}{3} r_o = g_m \cdot \frac{1}{3} r_{o2} = \sqrt{2 \mu_n C_{ox} \left(\frac{W}{L}\right)_n \cdot I_D} \cdot \frac{1}{3} \cdot \frac{1}{\lambda_n I_D}$
 $= \sqrt{2 \times 266.96 \left(\frac{\mu\text{C}}{\text{V}^2}\right)_n \cdot 68} \cdot \frac{1}{3 \cdot 0.02 \cdot 68} > 60$

$\Rightarrow \left(\frac{W}{L}\right)_n \geq 1.65$ NMOS 1.2.

For PMOS: $I_D = 68 \mu = \frac{1}{2} K_p \left(\frac{W}{L}\right)_p (V_{SGP} - |V_{thp}|)^2$
 $1.8 - V_C = \frac{I_D}{g_m} = \frac{I_D}{\sqrt{2 \mu_p C_{ox} \left(\frac{W}{L}\right)_p \cdot I_D}} = V_{SGP}$

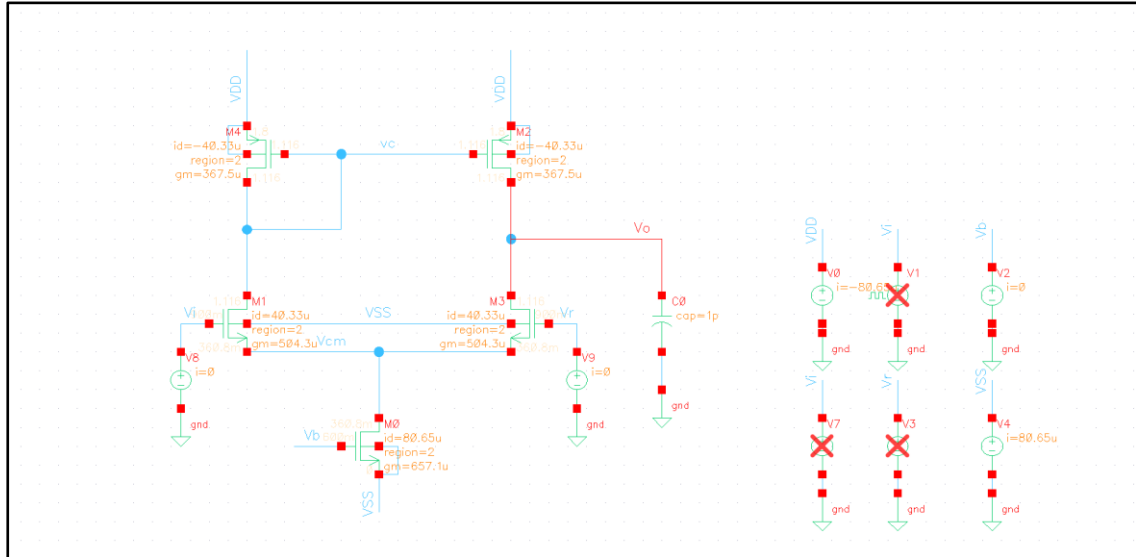
$\Rightarrow \left(\frac{W}{L}\right)_p \geq 14.44$ PMOS 3.4.

For M5: $I_b = 68 \mu \times 2 = \frac{1}{2} K_n \left(\frac{W}{L}\right)_n (V_b - V_{thn})^2$
 $\Rightarrow \left(\frac{W}{L}\right)_n \geq 11.53$ NMOS 5.

(c) First-time Design

I_{bias}	80.65 μA
I_d	40.33 μA
Power	145.2 μW

Spec.	Width(m)	Length (m)	m
M1	15*2u	2u	1
M2	15*2u	2u	1
M3	30*0.5u	0.5u	1
M4	30*0.5u	0.5u	1
M5	12*1u	1u	1



(i) Operating Mode for all transistor

➤ M1 、M2

$$V_{ds} = 755.4 \text{ mV}$$

$$V_{gs} = 539.2 \text{ mV}$$

$$V_{th} = 415.4 \text{ mV}$$

$$\because V_{gd} < V_{th} \Rightarrow \text{Saturation Region}$$

$$g_m = 504.3 \text{ uA/V}$$

$$r_o = \frac{1}{g_{ds}} = 199.6 \text{ k}\Omega$$

➤ M3 、M4

$$V_{ds} = -683.8 \text{ mV}$$

$$V_{gs} = -683.8 \text{ mV}$$

$$V_{th} = -501.3 \text{ mV}$$

$$\because |V_{gd}| < |V_{th}| \Rightarrow \text{Saturation Region}$$

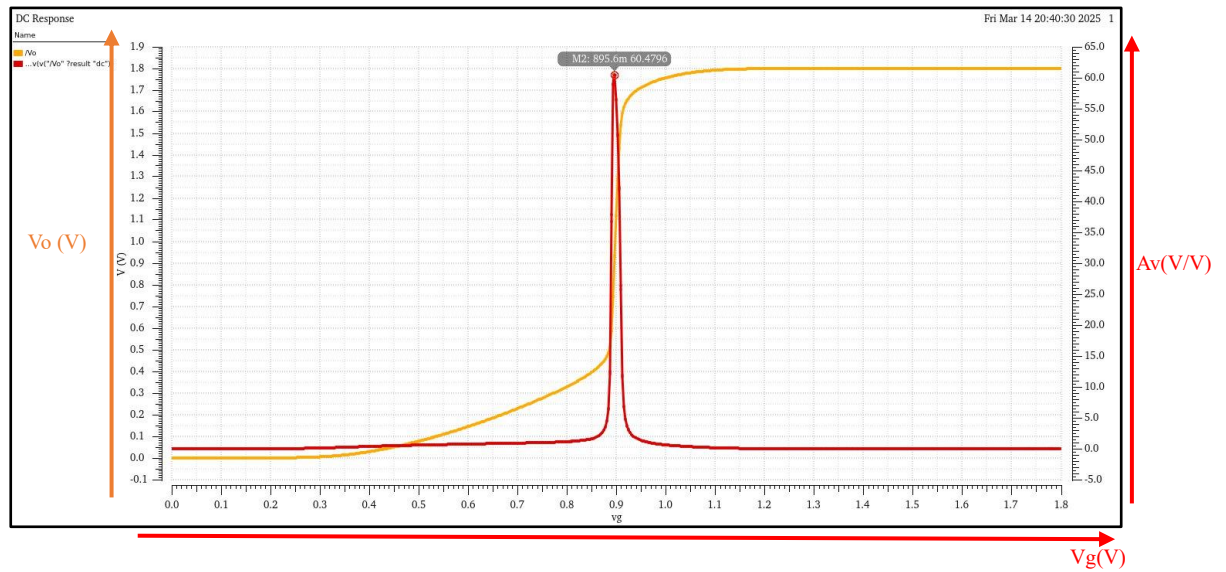
$$g_m = 367.5 \text{ uA/V}$$

$$r_o = \frac{1}{g_{ds}} = 258.2 \text{ k}\Omega$$

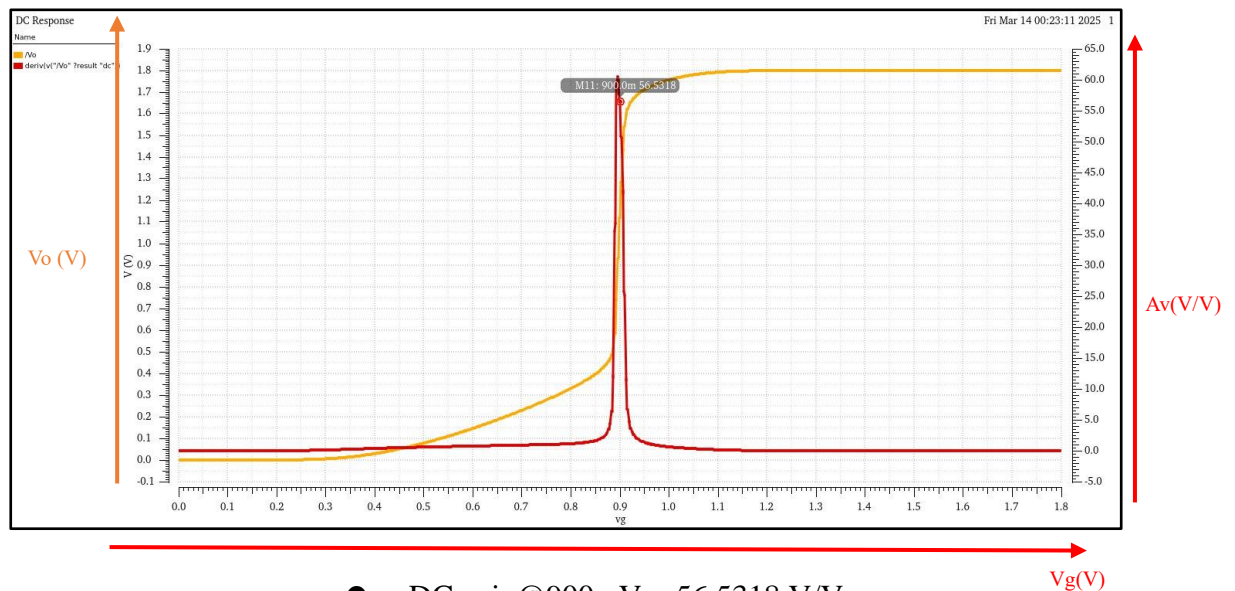
➤ M5

$$\begin{aligned}
 V_{ds} &= 360.8 \text{ mV} \\
 V_{gs} &= 600 \text{ mV} \\
 V_{th} &= 385.3 \text{ mV} \\
 \therefore |V_{gd}| &< |V_{th}| \Rightarrow \text{Saturation Region} \\
 g_m &= 657.1 \text{ uA/V} \\
 r_o &= \frac{1}{g_{ds}} = 68.77 \text{ k}\Omega
 \end{aligned}$$

(ii) Sweep the DC value of v_O with v_I sweeping from 0 to VDD

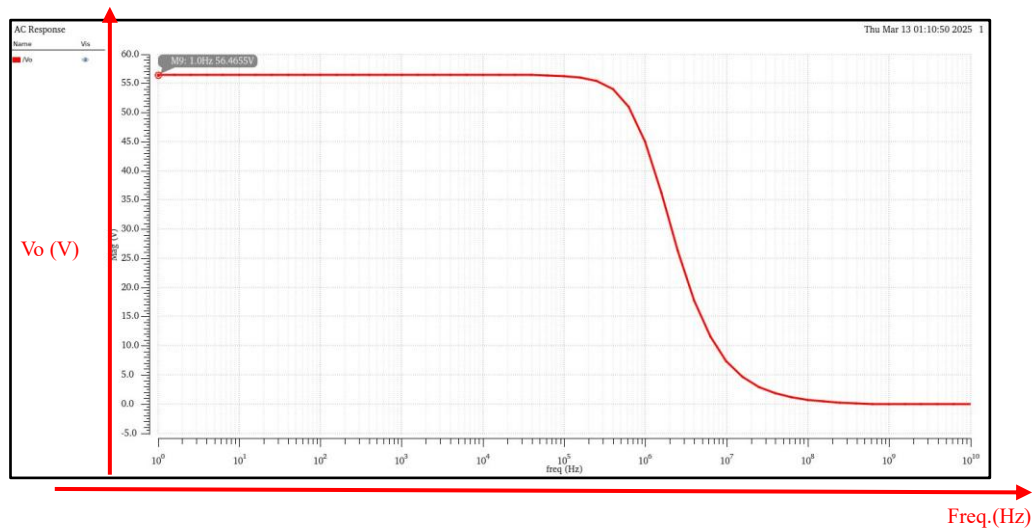


● DC gain max = 60.4796 V/V

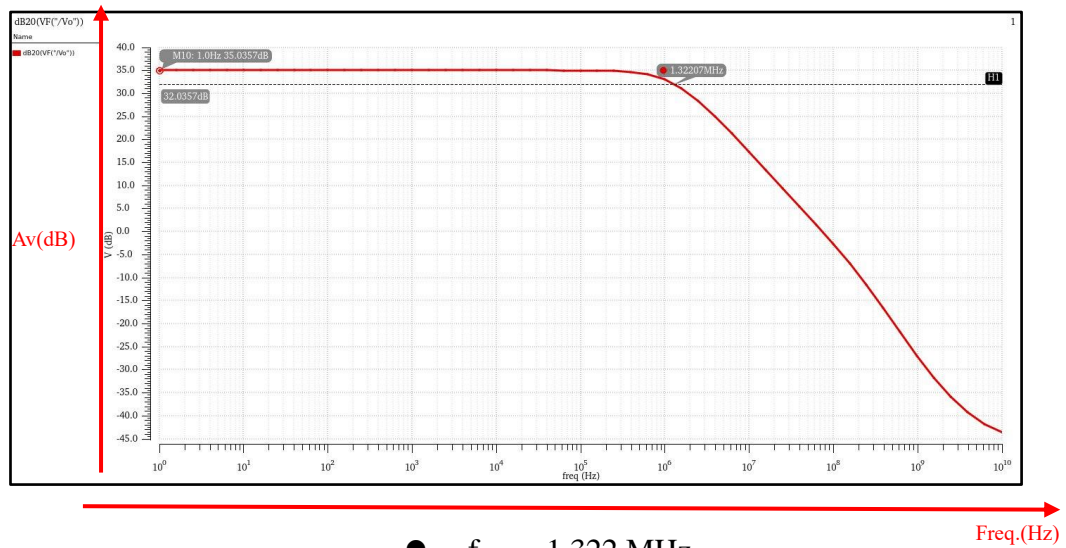


● DC gain@900mV = 56.5318 V/V

(iii) Frequency response of V_O/V_I as $V_I = V_{REF} = 0.9V$



● AC gain = 56.4655 V/V = 35.0357dB



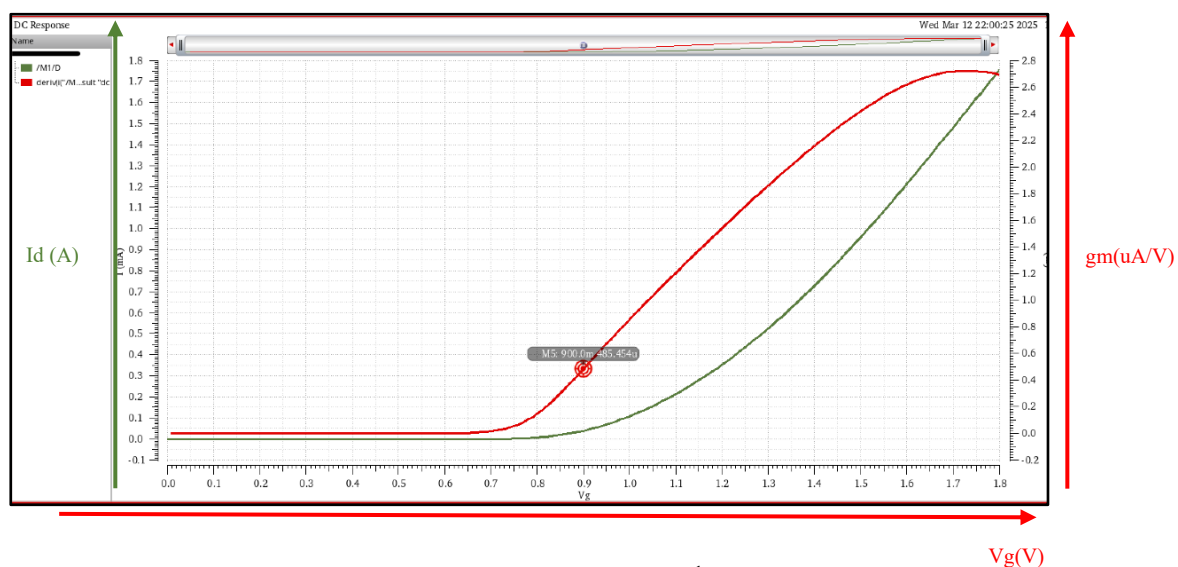
● $f_{3dB} = 1.322 \text{ MHz}$

(d) Compare the differences between simulation results and hand calculation.

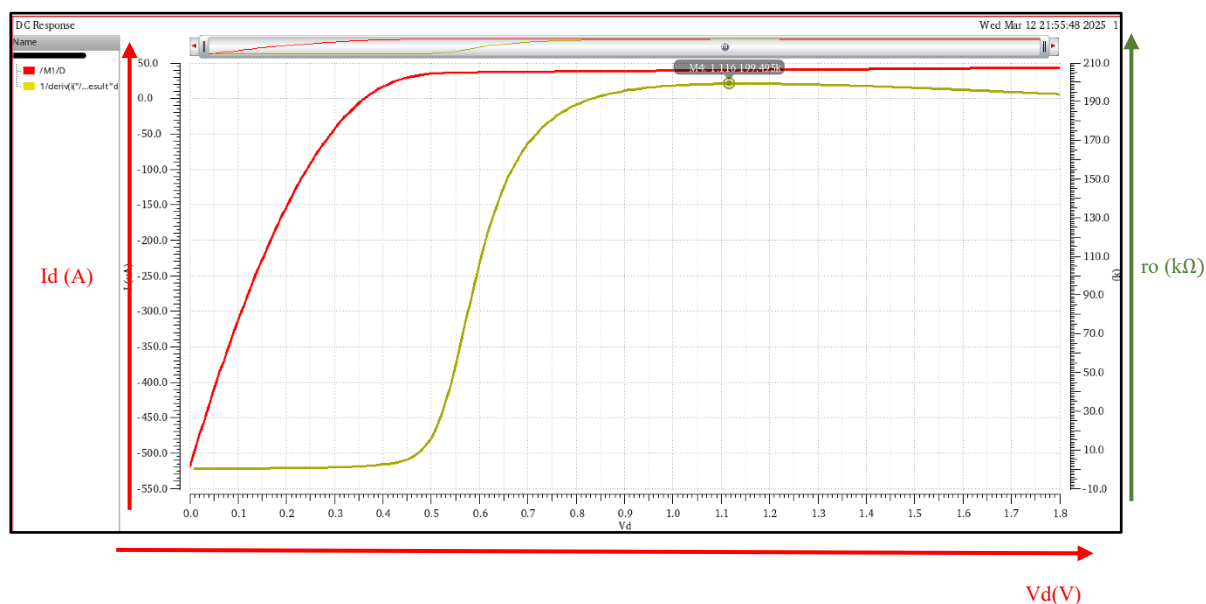
計算方式是以(c)圖 operation point 中各個 node 電壓作為基準來對各個電晶體電壓進行 I_D v.s V_G 、 I_D v.s. V_D 的 sweep。

● M1、M2 (

$$\bullet \quad g_m = \left. \frac{\partial I_D}{\partial V_{gs}} \right|_{V_G=900mV @ V_D=1.116V \cdot V_S=360.8mV} = 485.454 \mu A/V$$

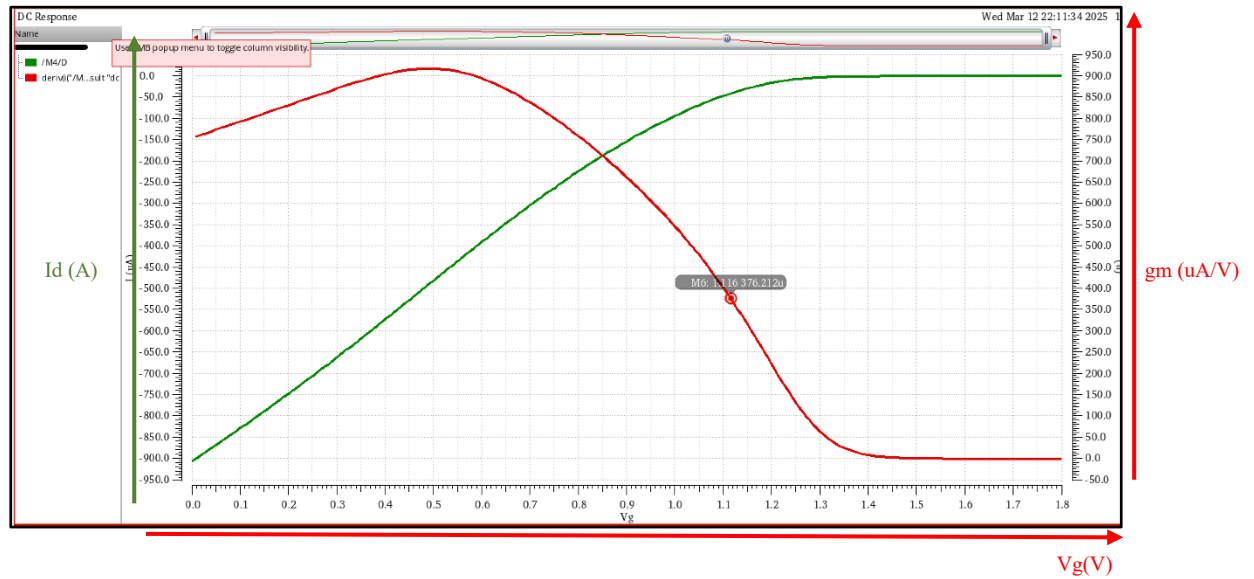


$$\bullet \quad r_o = \left(\left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_D=1.116V @ V_G=900mV \cdot V_S=360.8mV} \right)^{-1} = 199.495 k\Omega$$

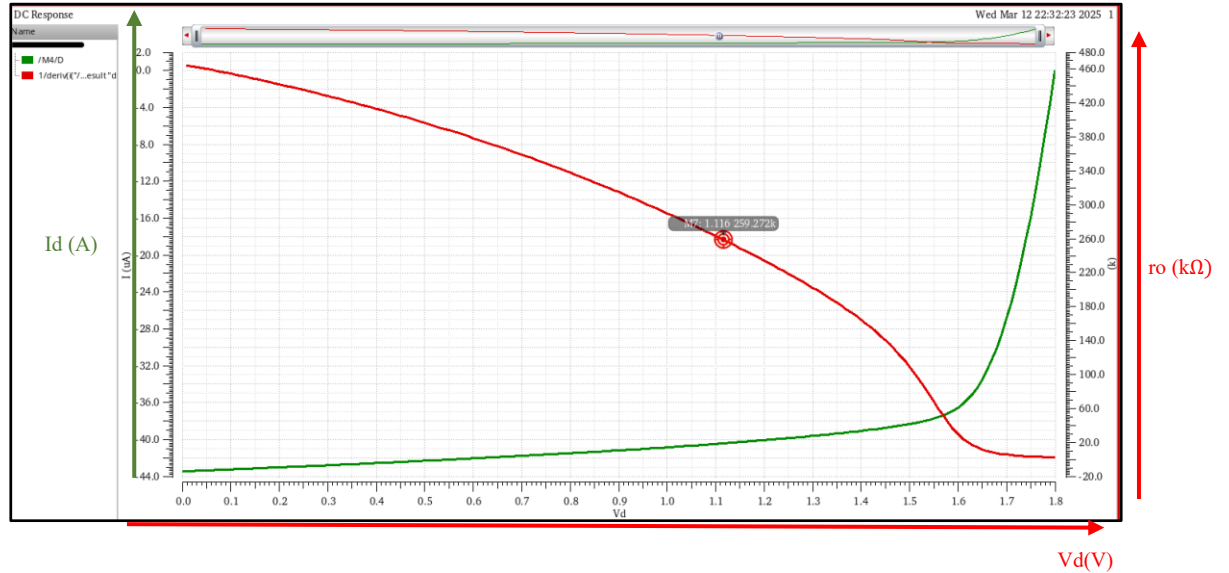


- M3、M4

- $g_m = \left. \frac{\partial I_D}{\partial V_{SG}} \right|_{V_G=1.116V @ V_D=1.116V, V_S=1.8V} = 376.212 \mu A/V$

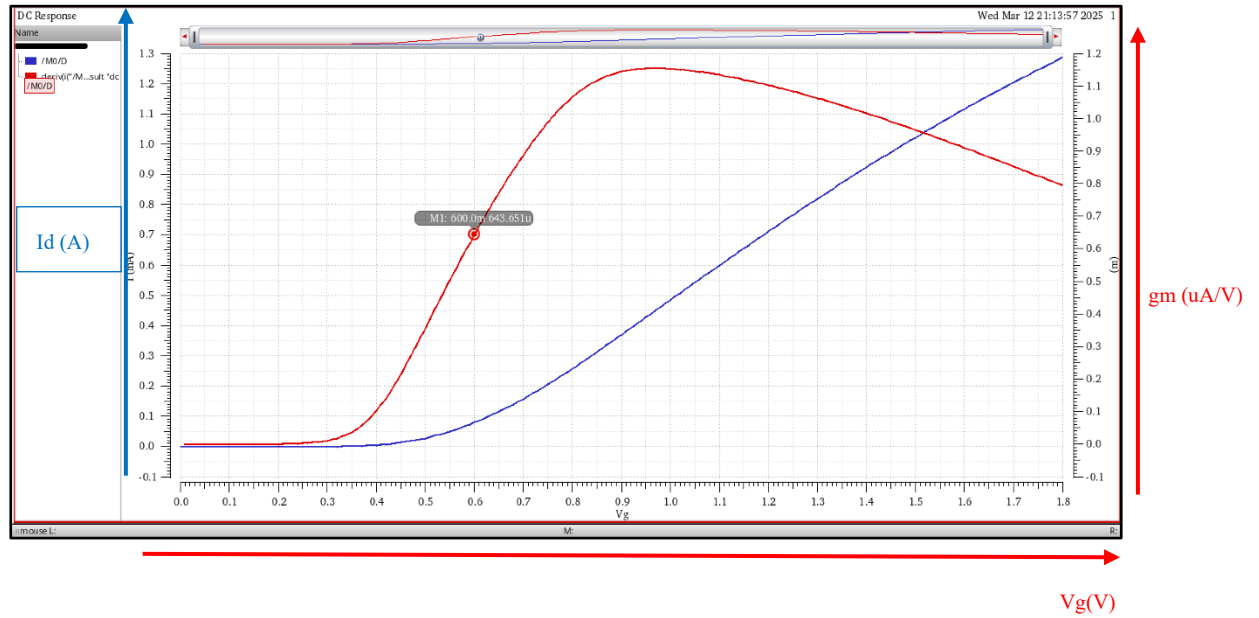


- $r_o = \left(\left. \frac{\partial I_D}{\partial V_{SD}} \right|_{V_D=1.116V @ V_G=1.116V, V_S=1.8V} \right)^{-1} = 259.272 k\Omega$

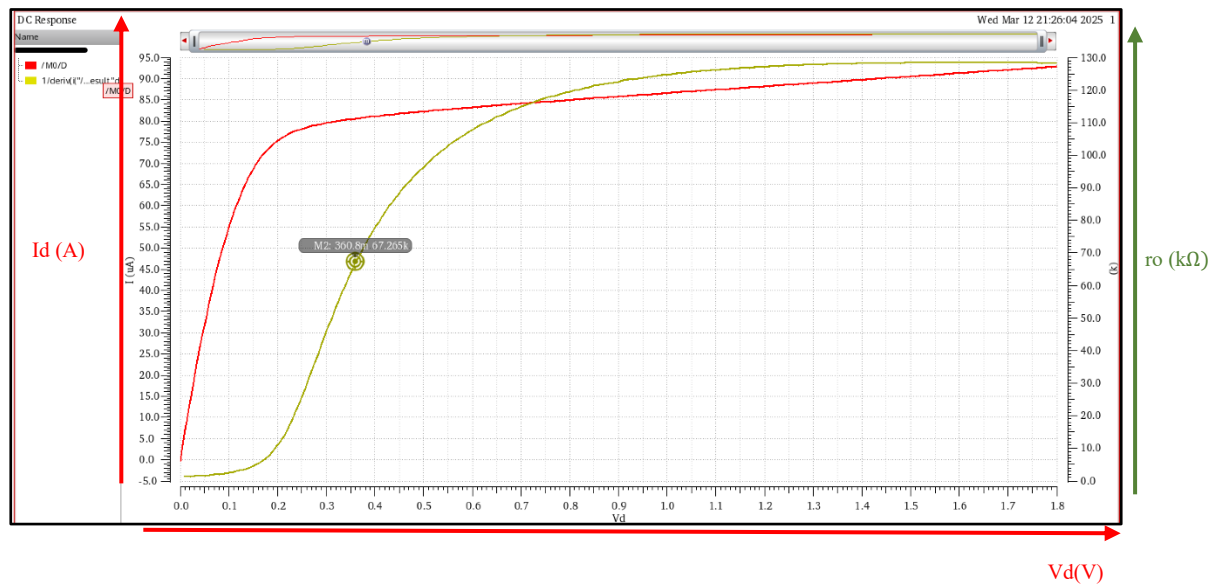


- M5

- $$g_m = \left. \frac{\partial I_D}{\partial V_{gs}} \right|_{V_G=600mV @ V_D=360.8mV \cdot V_S=0V} = 643.651 \mu A/V$$



- $$r_o = \left(\left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_D=360.8mV @ V_G=600mV \cdot V_S=0V} \right)^{-1} = 67.265 k\Omega$$



● Level-1 Parameter

由於電晶體利用 Sweep 與 DC operating 產生的(.lis)所得出的 r_o 相當接近，所推得的 λ 也完全相同。因此採用前項 sweep 所算得的 r_o 進行計算。

Level-1 Parameters	Re-calculation			From process file	
	M1、M2	M3、M4	M5	N_18.1	P_18.1
V_{th0} (V)	415.4	-501.3	385.3	307.5	-455.5
K ($\mu A/V^2$)	350.85	80.55	291.6	266.46	102.36
λ	0.124	0.096	0.184	0.02	0.04

因為尺寸會造成的製程誤差以及單一 mos 與電路上會有的多種電場效應與電晶體內部多個 p-n junction 以及氧化層造成的漏電流影響，模擬出的電晶體參數並不會與使用製成檔算出的結果匹配。

根據計算結果與製程檔案相比較， V_{th} 、 K (含 u_n 、 C_{ox})與 λ 會藉由計算電阻與電流飽和公式影響設計電晶體的比例，而三者當中影響最大的即是 λ 參數，因為 λ 與電晶體的 L 高度相關，若 L 降低則 λ 會上升進而影響電阻。而我所設計的 L 與理想值最多有差到兩倍多。因此會造成極大誤差。

另外一個誤差就是電流公式我並沒有考慮 channel-length modulation 的效應會帶來的少部分電流影響，因此過程中也會有誤差。

最後就是因為 NMOS 的 P-well 必須要接地，因此在 M1、M2 的部分會有 body effect 的效應造成部分的漏電，但這部分因為我並未在電流公式中考慮 body effect，因此 Level-1 參數中的 γ 與 $|\psi_F|$ 不會是影響的主因。

(d).

N_18.1 (M1, M2).

$$V_{th} = 415.4 \text{ mV}$$

$$r_o = \frac{1}{\lambda I_D} \Rightarrow 199.445 \text{ k} = \frac{1}{\lambda_{12} \cdot 40.33 \mu A}$$

$$\Rightarrow \lambda_{12} = 0.124$$

$$I_D = \frac{1}{2} K_{12} \cdot \left(V_{GS} - V_{th} \right)^2 \Rightarrow 40.33 \mu A = \frac{1}{2} \cdot K_{12} \cdot (539.2 \text{ mV} - 415.4 \text{ mV})^2$$

$$\Rightarrow K_{12} = 350.85 \frac{\mu A}{V^2}$$

P_18.1 (M3, M4).

$$V_{th} = -501.3 \text{ mV}$$

$$r_o = \frac{1}{\lambda I_D} \Rightarrow 259.272 \text{ k} = \frac{1}{\lambda_{34} \cdot 40.53 \mu A}$$

$$\Rightarrow \lambda_{34} = 0.096$$

$$I_D = \frac{1}{2} K_{34} \cdot \left(V_{GS} - |V_{th}| \right)^2 \Rightarrow 40.33 \mu A = \frac{1}{2} K_{34} \cdot 30 \times (0.689 - 0.5013)^2$$

$$\Rightarrow K_{34} = 80.55 \frac{\mu A}{V^2}$$

N_18.1 (M5)

$$V_{th} = 385.3 \text{ mV}$$

$$r_o = \frac{1}{\lambda I_D} \Rightarrow 67.265 \text{ k} = \frac{1}{\lambda_5 \cdot 80.65 \mu A}$$

$$\Rightarrow \lambda_5 = 0.184$$

$$I_D = \frac{1}{2} K_5 \cdot \left(V_{GS} - V_{th} \right)^2 \Rightarrow 80.65 \mu A = \frac{1}{2} K_5 \cdot 12 \times (0.6 - 0.3853)^2$$

$$\Rightarrow K_5 = 291.60 \frac{\mu A}{V^2}$$

(e) Use re-estimated Level-1 parameters to design $(W/L)_i$ by hand calculation.

(e) Re estimate.

$$R_{out} = r_{on} \parallel r_{op} = \frac{1}{0.124 I_D} \parallel \frac{1}{0.096 I_D} = \frac{1}{0.22 I_D}$$

(i) $f_{3dB} = \frac{1}{2\pi \cdot \frac{1}{0.22 I_D} \cdot 1p} > 650 \text{ K}$

$\Rightarrow I_D > 18.6 \mu A \dots \Rightarrow \text{令單邊電流為 } 40 \mu A$

$\left. \begin{array}{l} g_{mn} = 530 \\ r_{on} = 201.6 \text{ k}\Omega \\ r_{op} = 260.4 \text{ k}\Omega \end{array} \right\}$

(ii) $A_v = g_{mn} \cdot R_{out} = \sqrt{2 \times 350.85 \times \left(\frac{W}{L}\right)_{1,2} \times 40} \times \frac{1}{0.22 \times 40} > 60$

$\Rightarrow \left(\frac{W}{L}\right)_{1,2} > 9.93$

(iii) $I_D = 40 \mu A = \frac{1}{2} K_{3,4} \left(\frac{W}{L}\right)_{3,4} (V_{SG} - V_{th})^2$

$$V_{SB} = V_{SG} = \frac{I_D}{g_m} = \frac{I_D}{\sqrt{2K \frac{W}{L} I_D}}$$

$\Rightarrow \left(\frac{W}{L}\right)_{3,4} > 8.89$

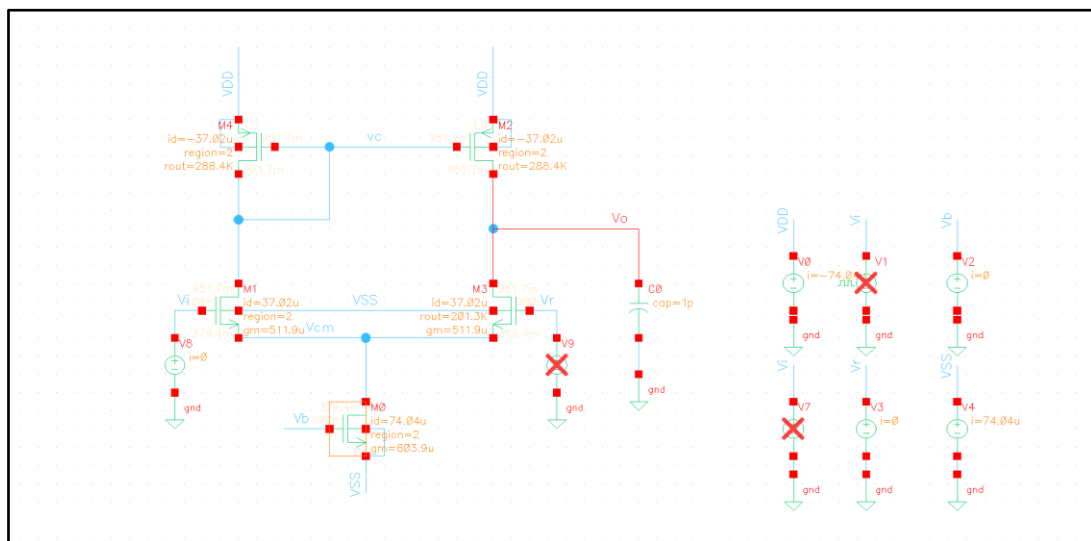
(iv) $I_{bias} = 80 \mu A = \frac{1}{2} \times 291.6 \times \left(\frac{W}{L}\right)_5 (0.6 - 0.3853)^2$

$\Rightarrow \left(\frac{W}{L}\right)_5 > 11.90$

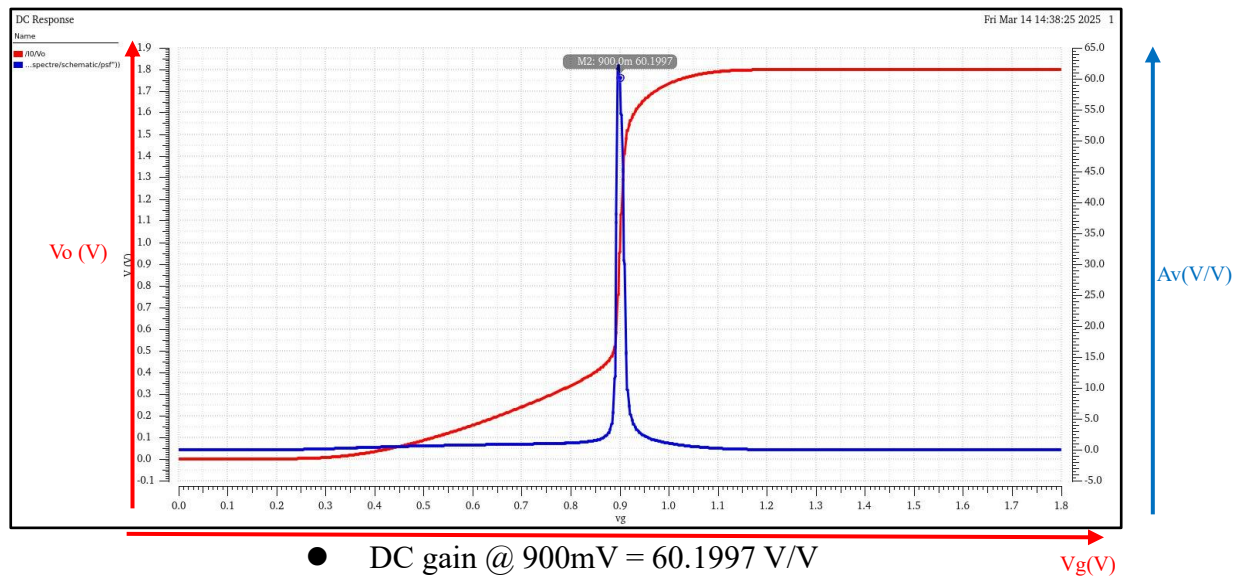
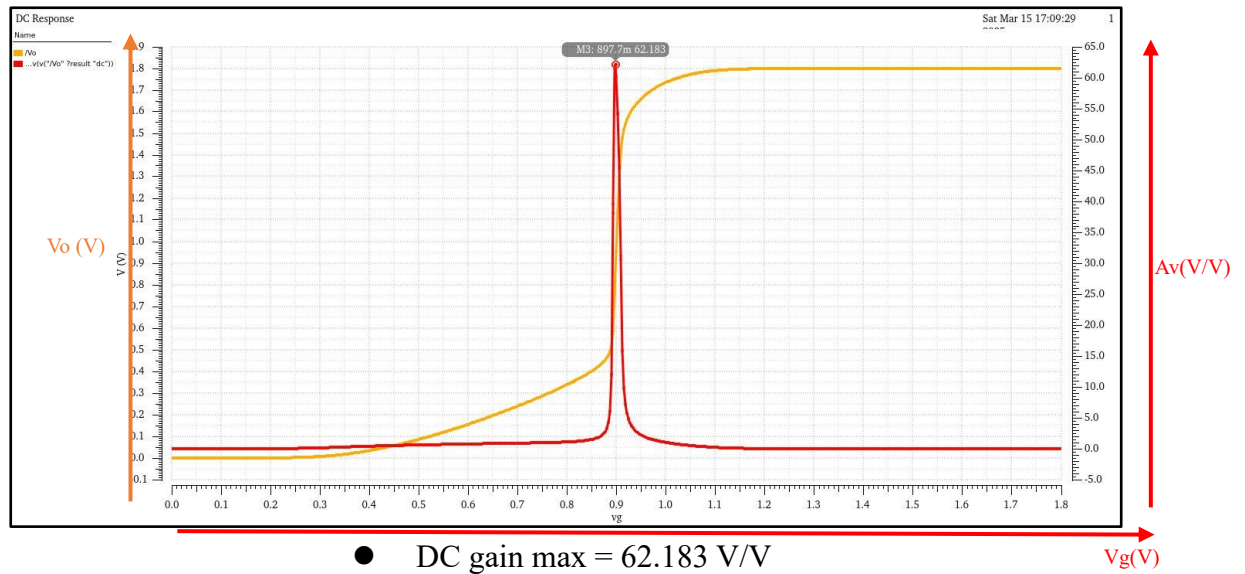
(f) Use Spectre to simulate the design in (e).

Spec.	Width(m)	Length (m)	m
M1	18*2.2u	2.2u	1
M2	18*2.2u	2.2u	1
M3	9.5*0.43u	0.43u	1
M4	9.5*0.43u	0.43u	1
M5	11*1u	1u	1

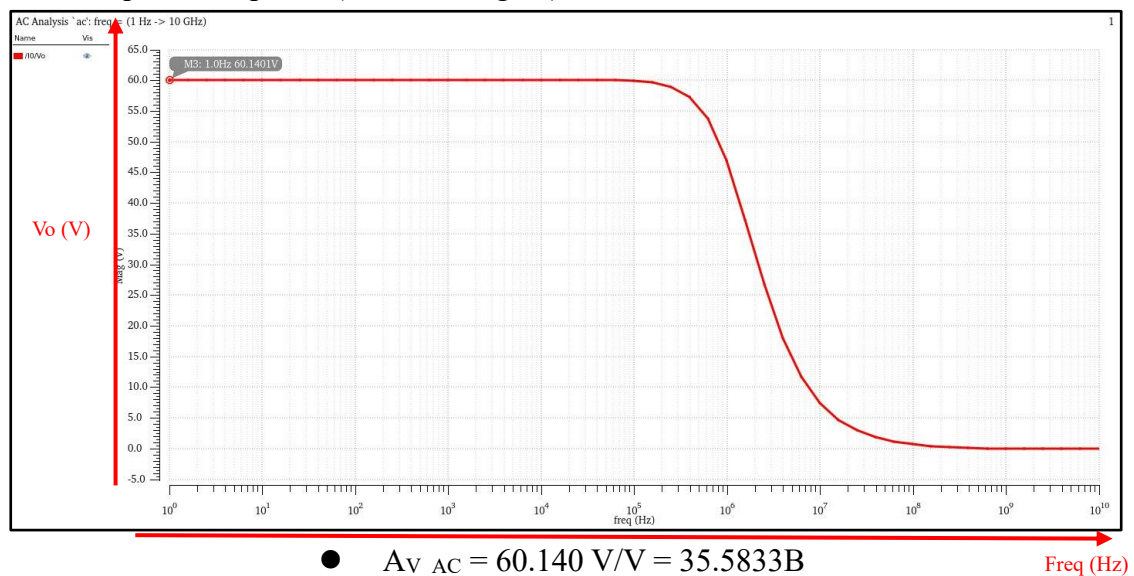
I_{bias}	74.04 uA	A_v	60.14 V/V
I_d	37.02 uA	f_{3dB}	1.25 MHz
V_b	600 mV	Power	133.3 uW

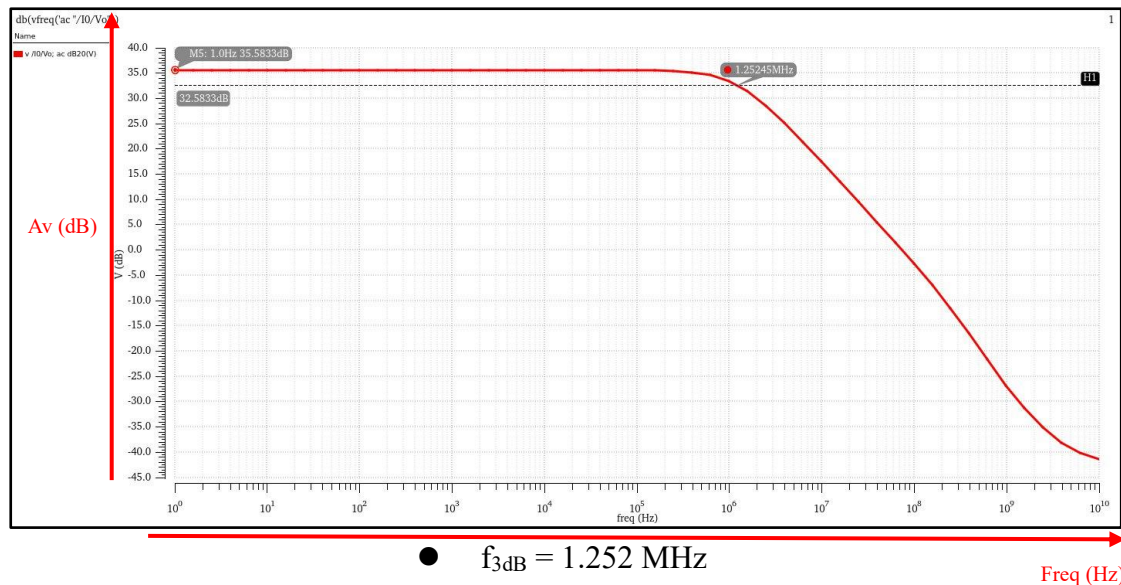


● V_o v.s. V_i (DC sweep)



● Frequency response (AC small signal)





● Adjustment procedure

藉由 redesign 的過程中，除了最後得出的 $(\frac{W}{L})$ 比例外，其中所能算出的

g_{mn} 、 r_{ON} 與 r_{OP} 是設計放大器 spec 的關鍵參數。

1. 由於第一次設計出的放大器除了倍率不夠以外，另外的 3dB freq.以及 power 都有達到，加上第一次設計的整體電流值還保持在 re-estimate 所算出的電流範圍內。因此判斷是可以藉由這個模板來 redesign。
2. 在藉由此設計重新優化的過程中，為了維持 Level-1 參數的準確度，第一步的假設是讓 L 保持不變，並將電流固定在與第一次所設計的模板中相同的電流為 40uA。藉由鎖定目標電流可以藉由 level-1 參數來得到目標 g_{mn} 、 r_{ON} 與 r_{OP} 。
3. 先採用大於範圍附近的 $(\frac{W}{L})$ 比例，再觀察 g_{mn} 、 r_{ON} 與 r_{OP} 三個參數的值，來調整 W、L 以及 Bias 電流。

由於 $A_v = g_m * r_o \propto \sqrt{I_D} * \frac{1}{I_D} \propto \frac{1}{\sqrt{I_D}}$ ，所以最終設計有稍微降低一點電流來使 gain 更容易滿足目標。

4. 藉由降低 M3、M4 的 L 降低 r_{op} 使之接近 re-estimate 設定的數值；再增加 M1、M2 的 W 提升 g_m 與增加 L 提升 r_{on} 。
5. 最終設計出的 $r_{on} = 201.3k\Omega$ 、 $r_{op} = 288.4k\Omega$ 、 $g_m = 511.9\mu A/V$ 。達到 $A_v = 60.14 V/V$ 、 $f_{3dB} = 1.25MHz$ 、Power=133uW。
6. 優化：
 - (a) 固定更低的 Bias 電流重新估計 Level-1 參數，可以在減少 power 的同時獲得更大的增益，但須考量電晶體的驅動能力確保維持在 Saturation 狀態。
 - (b) 降低 L size，因為初始設計的 size 偏大，在實際製程中可能造成非

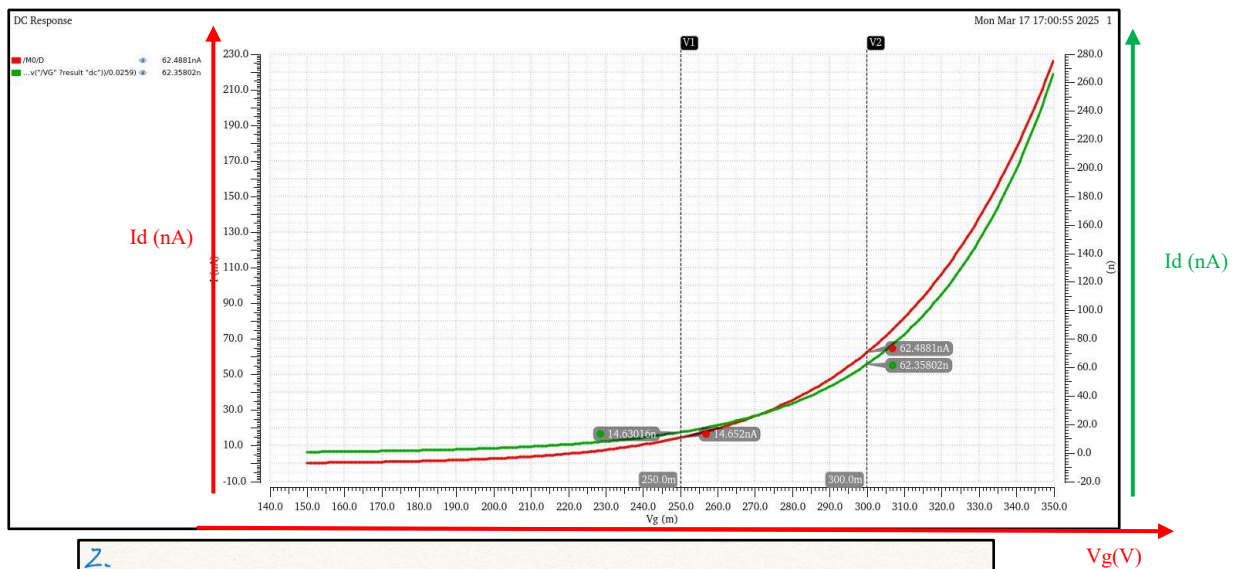
必要的面積消耗，因此可以試著降低 L 重新設計來獲得最佳的效益。

(2) Subthreshold Device parameters and Amplifier Design

- (a) Choose a size (W/L) for a PMOS and an NMOS transistors. Use Spectre to simulate and plot the ID-VGS curves of the selected NMOS and PMOS operating in the subthreshold region. According to the model (equation) of ID-VGS in subthreshold operation, extract the parameters I_{s0} and κ from the simulated curves.

➤ NMOS

N_18	Width(m)	Length(m)
	2u	1u



2.

(a) $N_{18} (W=2\mu, L=1\mu)$

$$I_D = I_{s0} e^{(kV_g - V_t)/U_T}$$

(i) $V_{gs} = 300 \text{ mV}$ ($V_g = 300 \text{ mV}$, $V_d = 100 \text{ mV}$, $V_s = 0 \text{ V}$) $\Rightarrow I_D = 62.49 \text{ nA}$.

(ii) $V_{gs} = 250 \text{ mV}$ ($V_g = 250 \text{ mV}$, $V_d = 100 \text{ mV}$, $V_s = 0 \text{ V}$) $\Rightarrow I_D = 14.65 \text{ nA}$.

$$\ln(62.49 \times 10^{-9}) = \ln(I_{s0}) + \frac{k \cdot 0.3 - 0}{0.0259}$$

$$\ln(14.65 \times 10^{-9}) = \ln(I_{s0}) + \frac{k \cdot 0.25 - 0}{0.0259}$$

$$\Rightarrow I_{s0} = 1.04 \times 10^{-11} \text{ A}$$

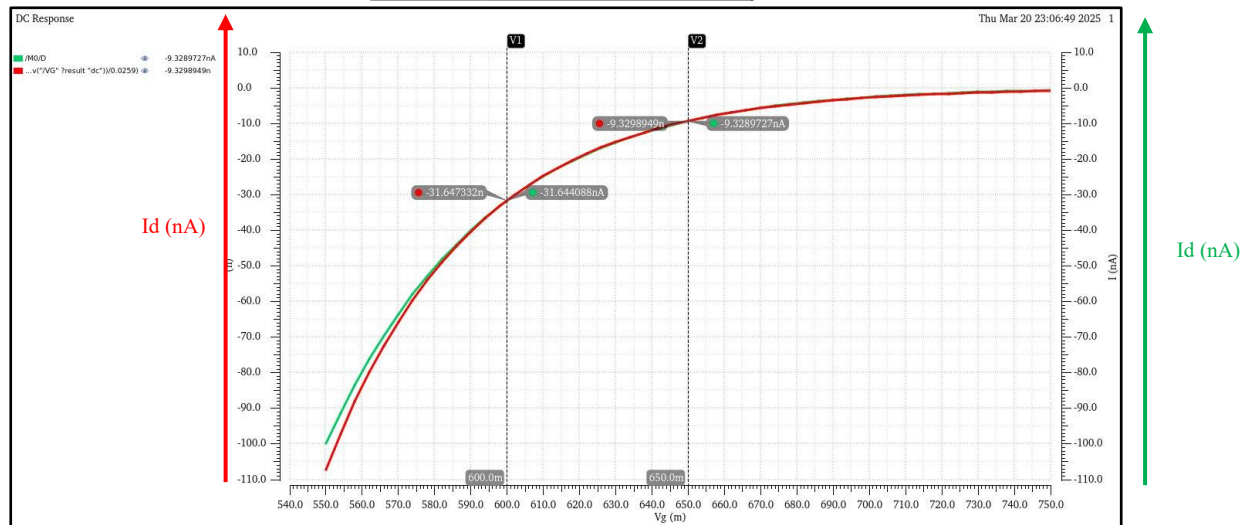
$$k = 0.751$$

藉由紅線 I_d - V_{gs} 圖的 sweep，可在當中獲得兩個 subthreshold 的操作點，分別為 250mV 與 300mV，再利用公式推導出 κ 值與電流 I_{s0} 。

將導出的 κ 與 I_{s0} 代回原電路作圖可得綠色線，由圖中比較兩條電流特性取線近乎相似，可確認兩變數推導無誤。

➤ PMOS

P_18	Width(m)	Length(m)
	2u	0.5u



$P_{18} (W = 2\mu, L = 0.5\mu). \quad I = I_0 \cdot \exp\left(\frac{-K_p V_g + V_s}{V_t}\right)$

(i) $V_{sg} = 400 \text{ mV} (V_g = 600 \text{ mV}; V_s = 1 \text{ V}; V_d = 0 \text{ V}) \Rightarrow I_d = -31.61 \text{ nA}$

(ii) $V_{sg} = 350 \text{ mV} (V_g = 650 \text{ mV}; V_s = 1 \text{ V}; V_d = 0 \text{ V}) \Rightarrow I_d = -9.33 \text{ nA}$

$$\ln(31.61 \times 10^{-9}) = \ln(I_0) + \frac{-K \cdot 0.6 + 1}{0.0259}$$

$$\ln(9.33 \times 10^{-9}) = \ln(I_0) + \frac{-K \cdot 0.65 + 1}{0.0259}$$

$$\Rightarrow K = 0.632$$

$$I_0 = -1.23 \times 10^{-18}$$

同上述的方式，先藉由綠色線的 I_d - V_{gs} 圖推導出 $kappa$ 與 I_{so} 值，再帶回原公式可以獲得圖中的紅色電流特性曲線，可觀察出推算的結果與原始電流幾乎相同。

(b) Describe clearly how you select the biasing current and voltage, as well as how you calculate all transistor sizes in your design.

➤ Biasing current

$$\therefore P_{bias} < 500 \text{ nW} \quad \therefore I_{bias} < 500 \text{ nA}$$

$$slew \text{ rate} = \frac{I_{bias}}{C_L} \geq 0.3 \Rightarrow I_{bias} \geq 300 \text{ nA}$$

$$\Rightarrow 300 \text{ nA} < I_{bias} < 500 \text{ nA}$$

$$\Rightarrow \text{選擇 } 350 \text{ nA design}$$

➤ Biasing voltage

為了使電晶體操作在 subthreshold region，因此 $V_{gs} < V_{th}$ 。由此可以決定 V_b 電壓為 300mV，而 V_{icm} 則設置為 500mV。之後再行模擬確認或調整。

➤ Transistor size

$$g_m = \frac{K I_b}{U_T}$$

$$r_o = \frac{V_e}{I_b}$$

$$f_{dB} = \frac{1}{2\pi \cdot (V_o // V_m) \cdot C_L}$$

$$A_v = \frac{K I_b}{U_T} \times \left(\frac{V_{en}}{I_b} // \frac{V_{ep}}{I_b} \right) = \frac{K \cdot V_{en} \cdot V_{ep}}{U_T (V_{en} + V_{ep})}$$

$$f_{3dB} = \frac{1}{2\pi \cdot \frac{V_{en} V_{ep}}{(V_{ep} + V_{en}) I_b} \times C_L}$$

因為在 Subthreshold region 的 g_m 與 r_o 公式如上，因此電壓增益的條件變得與電流無直接關係，而是與 $kappa$ 值及 early voltage 有關。

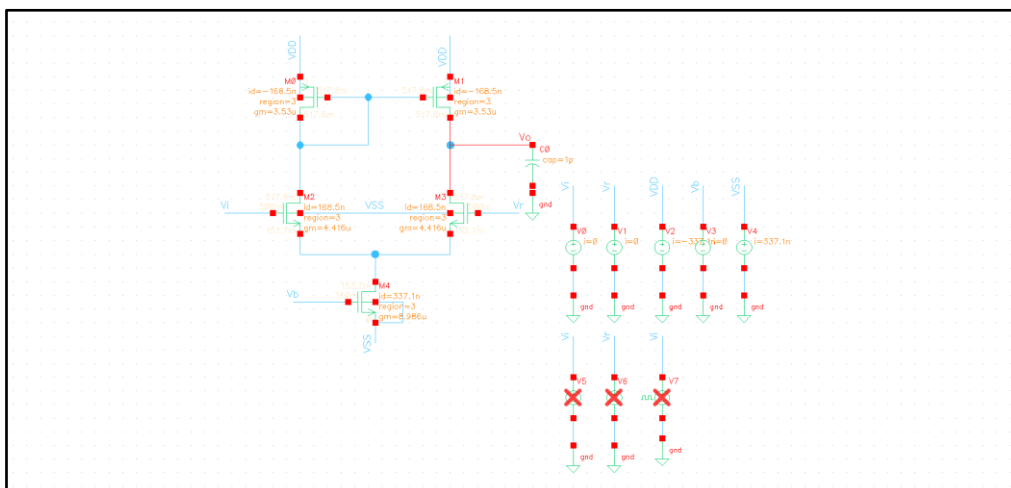
但因為 $V_e = \frac{I}{\lambda}$ 會與 transistor size 有關，因此先利用 a 小題所決定的 size

進行模擬再觀察結果修改。

起初放上去的電流並未達到目標的大於 300nA，因此藉由調整 bias transistor 的尺寸並同時提高放大器中的 W size 以提高整體電流驅動能力 (g_m)。達到目標電流後，因為電壓增益尚未符合需求，因此藉由調整 pmos 的通道長度來提高電阻 r_o 以達所求。

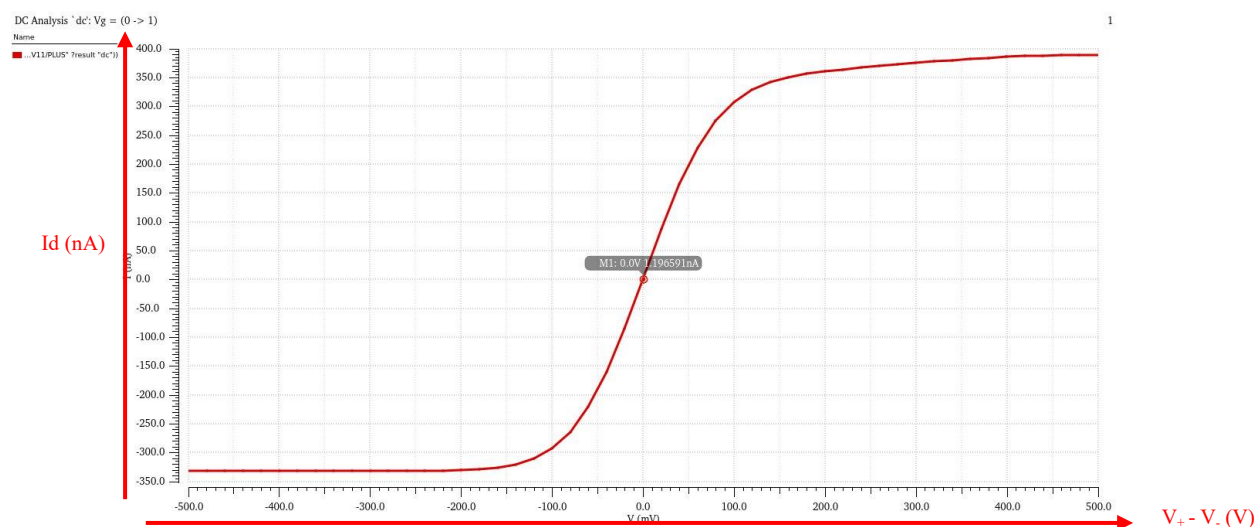
最終設計的電晶體尺寸與模擬結果如下：

Spec.	Width(m)	Length (m)	m
M1	3*1u	1u	1
M2	3*1u	1u	1
M3	3*0.75u	0.75u	1
M4	3*0.75u	0.75u	1
M5	9*0.5u	0.5u	1



(c) Use DC analysis in Spectre to simulate I_{out} versus $(V^+ - V^-)$ as $V^- = 0.5V$ and V^+ sweeps from 0 to 1V.

● 下圖為 $I_{out}-V^+-V^-$ 圖：



根據上述 I_{out} 結果可知此放大器正確操作於 subthreshold region，因為當

MOS 操作在 Subthreshold 時， $I_{out} = I_{tail} * \tanh(\frac{k(V^+ - V^-)}{2U_T})$ ，故電流曲線應該相

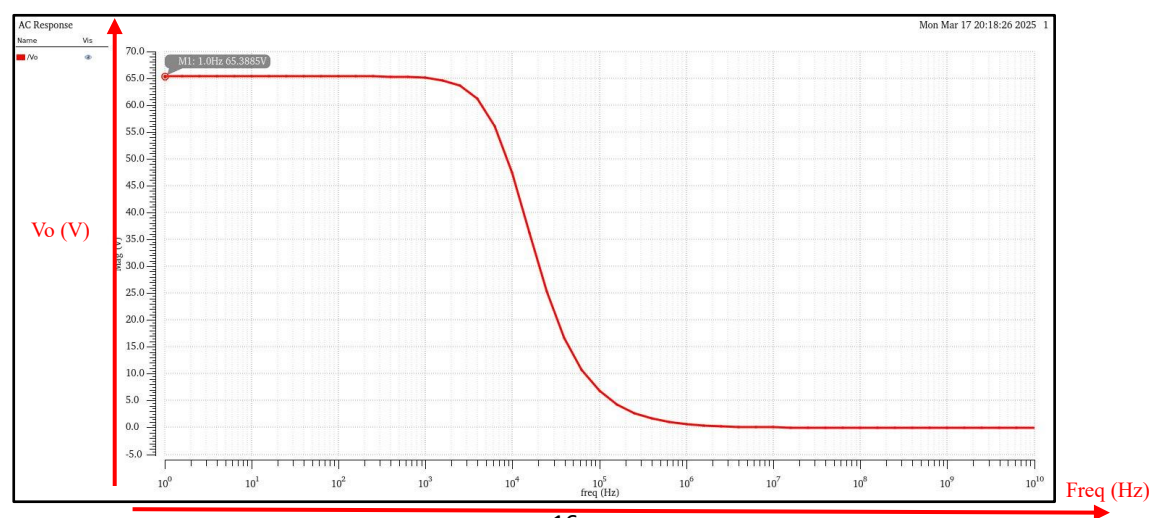
當於 tanh 的 S 型趨勢。另外，根據 $V^+ - V^- = 0V$ 的操作點可以得出理論要為 0A 的時候電流卻有微小的 1A，造成的原因可能是放大器左右並沒有如理想的完全匹配因此造成些微誤差。從以上的觀點可以得出此放大器的電流趨勢與前述計算所求得的操作區域相當，因此確認為操作在次閾值區域的放大器。

而根據電流特性的 DC Operation point 可以獲得 $I_{bias} = 337.7nA$ ，與計算目標的 350nA 相當接近。

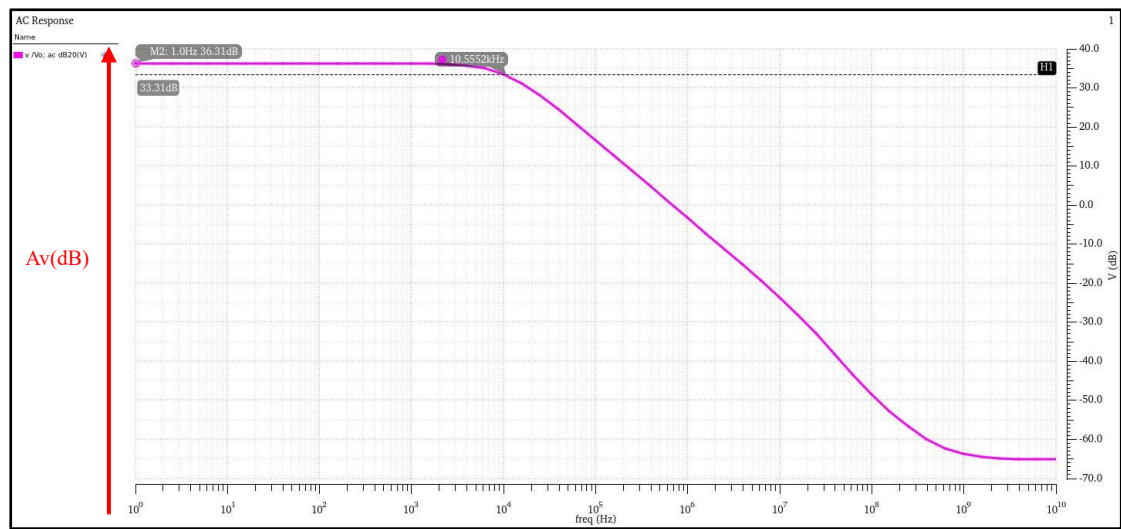
● Power dissipation: $P_{diss} = 337.7nA \times 1V = 337.7nW < 500nW$ 。

(d) Use AC analysis to simulate the frequency response of the amplifier and show the result in your report.

● $A_v = 65.3885 V/V$

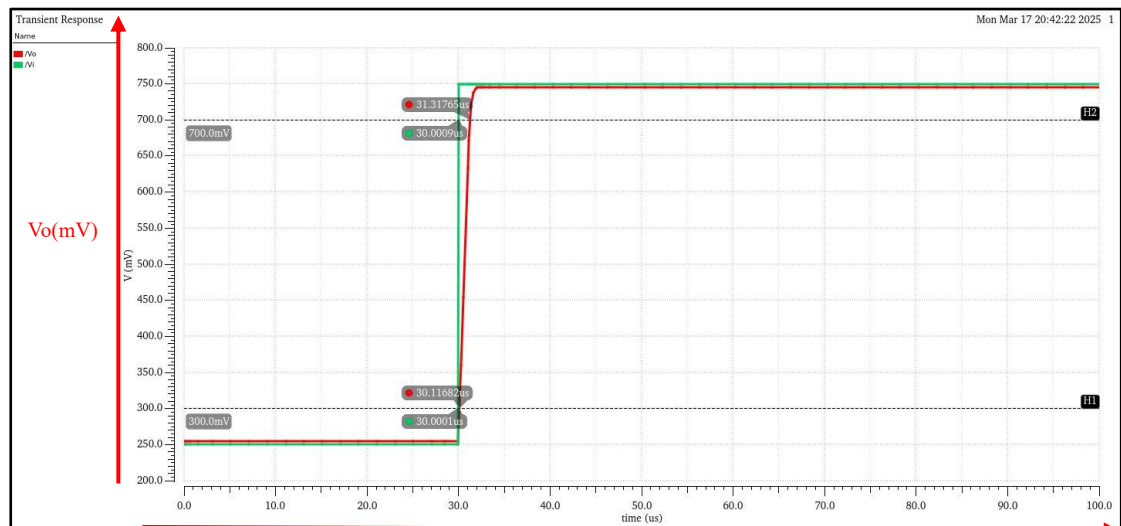


● $f_{3dB} = 10.56 \text{ KHz}$



Freq (Hz)

- (e) Connect the amplifier as a unit-gain buffer. Use transient analysis to apply a step input from 0.25 to 0.75 V and plot the corresponding transient response of V_{out} in your report.



t (us)

利用 input voltage(綠線) = 250mV~750mV, rise time = 1ns ,

量測 output voltage = 300mV~700mV 。

$$\text{slew rate} = \frac{0.7 - 0.3}{31.31765 - 30.11682} = 0.333 \text{ V}/\mu\text{s}$$