





Computer Organization & Design 实验与课程设计

实验七

CPU设计-指令集扩展

施青松

Asso. Prof. Shi Qingsong College of Computer Science and Technology, Zhejiang University zjsqs@zju.edu.cn

Course Outline



实验目的与实验环境

实验任务

实验原理

实验操作与实现

浙江大学系统结构与系统软件实验室

实验目的



- 运用寄存器传输控制技术
- 2. 掌握CPU的核心: 指令执行过程与控制流关系
- 3. 设计数据通路和控制器
- 4. 设计测试程序

实验环境



□实验设备

- 1. 计算机(Intel Core i5以上,4GB内存以上)系统
- 2. Spartan-3 Starter Kit Board/Sword开发板
- 3. Xilinx ISE14.4及以上开发工具

□材料

无

Course Outline



实验目的与实验环境

实验任务

实验原理

实验操作与实现

浙沙人学系统结构与系统软件实验室

实验任务



□ 基本要求:

- 1. 扩展实验六CPU指令集
 - □重新设计数据通路和控制器
 - 兼容OExp05的数据通路和控制器
 - 替换OExp05的数据通路控制器核
 - □扩展不少于下列指令

R-Type: add, sub, and, or, xor, slt/sltu,srl;

I-Type: addi, andi, ori, xori, slti/sltiu, srli,lw,jalr;

S-Type: sw;

B-Type: beq, bne, blt;

UJ-Type: Jal;

U-Type: lui, auipc*;

- □此实验在OExp06的基础上完成
- 2. 设计指令集测试方案
- 3. 设计指令集测试程序



大学 计算机学院 系统结构与系统软件实验室

Course Outline



实验目的与实验环境

实验任务

实验原理

实验操作与实现

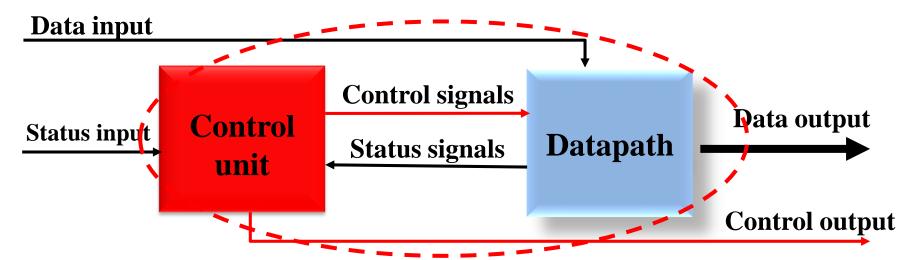
浙沙人学系统结构与系统软件实验室

CPU organization



□ Digital circuit

General circuits that controls logical event with logical gates Hardware



□ Computer organization

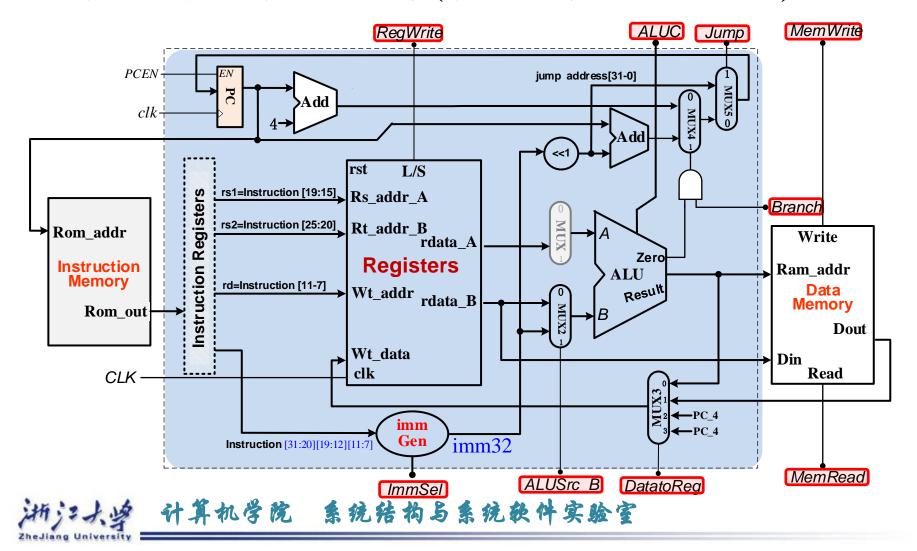
Special circuits that processes logical action with instructions
 -Software



扩展指令通路如何 扩展



□兼容9条指令扩展通路(兼容和最少改动原则)



控制信号定义



- □根据扩展通路增加那些操作控制信号
 - 兼容9条指令通路的控制

信号	源数目	功能定义	赋值0时动作	赋值1时动作			
ImmSel	4	立即数选择	=00: imm32 =01: imm32=ims32	=10: imm32=imsb32 =11: imm32=imuj32			
ALUSrc_B	2	ALU端口B输入选择	选择寄存器B数据	选择32位立即数 (符号扩展后)			
DatatoReg	3	寄存器写入数据选择	选择存储器、ALU或PC+4数据				
Branch	2	2 Beq指令目标地址选择 选择PC+4目		选择转移地址 (Zero=1)			
Jump	2	J指令目标地址选择	选择Jal目标地址	由Branch决定输出			
RegWrite	ı	寄存器写控制	禁止寄存器写	使能寄存器写			
MemWrite	<u> </u>	存储器写控制	禁止存储器写	使能存储器写			
MemRead	一 建议台	产并: WR 控制	禁止存储器读	使能存储器读			
•••							
ALUC	000-	3位ALU操作控制	参考表Exp04	Exp04			

沙大学 计算机学院 系统结构与系统软件实验室

控制信号真值表



根据数据通路重新设计控制器输出信号真值表

format	Inst.	Imm Sel	ALU Src_B	Data toReg	Reg Write	WR	Branch	Jump	•••	ALU op1	ALU op0
R	ALU										
	sltu										
I	lw										
	ALUI		,						L		
	jalr		1							1	
	sltiu				重新	设计	十真值	表		i	
S	SW		需要增加控制信号吗?								
SB	beq			而多						Ī	
	bne		需要ALU _{op} 吗?								
	blt										
UJ	jal		\			<u> </u>		₁ – – – -			
U	lui										
	auipc										

浙江大学 计算机学院 系统结构与系统软件实验室

重新设计数据通路与控制器接口:



□重新设计接口

- 扩展后增加了控制信号
- CPU命名为RSCPUE
 - ■接口信号不变
- ■数据通路命名为RSDPE
 - □接口信号建议同类多数器合并为一个,如:
 - PC通路改为四选一,选择信号为PCSource[1:0]
 - rd写数据已经是四选一,有富余,选择信号为Datatoreg[1:0]
- 控制器命名为RSCUE
 - □接口信号扩展建议同类合并或扩展位数
 - 如Branch、Jump、PC+4等合并为PCSource

数据通路功能控制器接口信号参考



```
module
         RSCUE (input clk,
              input reset,
              input[4:0]OPcode,
                                                  //OPcode: inst[6:2]
                                                  //Function: inst[14:12]
              input[2:0]Fun3,
                                                  //Function: inst[30]
              input Fun7,
                                                  //CPU Wait, 复杂时序交互(保留)
              input MIO ready,
                                                  //blt条件,利用slt或sub结果
              input blt,
              input zero,
                                                  //ALU result = 0
                                                  //ALU源操作数1选择(rs1、shift)
              output reg ALUSrc A,
                                                  //ALU源操作数2选择
              output reg ALUSrc B,
                                                  //立即数选择控制
              output reg [1:0]ImmSel,
                                                  //写回控制选择(ALU、MEM、PC+4、LUI)
              output reg [1:0]DatatoReg,
              output PCEN,
              output reg [1:0]PCSource,
                                                  //PC+4、SB、UJ、jalr
                                                  //寄存器堆写使能
              output reg RegWrite,
                                                  //存储器读写使能
              output reg WR,
                                                  //ALU控制
              output reg [2:0]ALUC,
                                                  //存储器操作信号
              output reg CPU MIO,
                                                  //立即数据符号指示
              output reg sign,
                                                  //存储器访问有效
              output ALE
             );
```

endmodule



计算机学院 系统结构与系统软件实验室

Course Outline



实验目的与实验环境

实验任务

实验原理

实验操作与实现

淅沙人学系统结构与系统软件实验室



CPU之控制器扩展设计

-扩展实验六设计的CPU功能

设计工程: OExp07-CSTEH-RSCPUE



◎验证通过的新CPU集成替换

- € RSCPUE替换实验六(OExp06)中的RSCPU9模块
- € RSCUE替换实验六(OExp06)中的RSCU9模块
- ₠ RSDPE替换实验六(OExp06)中的RSDP9模块
- € 顶层模块延用OExp06
 - 模块名改为: CSTE_SRV32

◎测试扩展后的CPU功能

€设计测试程序(RISC汇编)测试

设计要点



- ◎ 设计指令扩展后DataPath结构
 - £ 需要根据新的接口信号重新设计逻辑符号
 - € 在实验五的原理图上扩展
- ◎ 根据新DataPath结构设计控制器
 - E 需要根据新的数据通路重新整理接口信号
 - € 建议用HDL结构化描述
- ◎设计CPU调用模块
 - E 根据新的控制器和数据通路接口信号设计CPU模块
- ◎ 仿真新设计的模块
 - € 独立仿真DataPath和控制器
- ◎集成替换CPU及子模块
 - € 仿真正确后
 - 集成替换CPU、数据通路和控制器模块



浙江大学系统结构与系统软件实验室

CPU调试与测试



□调试

- RSCUE模块仿真
 - □设计测试激励代码仿真测试*
- RSDPE模块仿真
 - □ 设计测试激励代码仿真测试*

□集成替换

- 仿真正确后同时替换OExp06的相应模块
- ■使用实验六DEMO程序目测控制器正常运行后
 - □用扩展指令重写功能测试程序并测试

memory_initialization_radix=16;
memory_initialization_vector=

请自行设计功能测试程序

设计测试记录表格



- □ CPU指令测试结果记录
 - ■自行设计记录表格

思考题



- □ 指令扩展时控制器用二级译码设计存在什么问题?
- □设计bne指令需要增加控制信号吗?
- □设计andi时需要增加新的数据通道吗?
- ■无符号数运算如何兼容数据通路改动最少(兼容 ImmGen)?



END