

DDR3+乒乓操作

大纲

- 1. DDR3
 - 1.1 DDR3介绍
 - 1.2 MIG IP核
 - 1.2.1 MIG IP核介绍
 - 1.2.2 MIG IP核时钟域与位宽计算
 - 1.2.3 DDR3控制器设计
 - 整体模块
 - test_data模块
 - ddr3_controler模块
 - ddr3_rw模块
 - ddr3_fifo_ctrl
 - 仿真-数据的突发写入
 - 1.2.4 init_calib_complete和app_rdy信号之间先后顺序
 - 1.2.5一些疑问
- 2. 乒乓操作

1.1 DDR3介绍

- DDR3 SDRAM是DDR3的全称，它针对Intel新型芯片的一代内存技术（但主要用于显卡内存），频率在800M以上。DDR3是在DDR2基础上采用的新型设计，与DDR2 SDRAM相比具有功耗和发热量较小、工作频率更高、降低显卡整体成本、通用性好的优势。
- 同 SDRAM 相比，DDR SDRAM 的最大特点是双沿触发

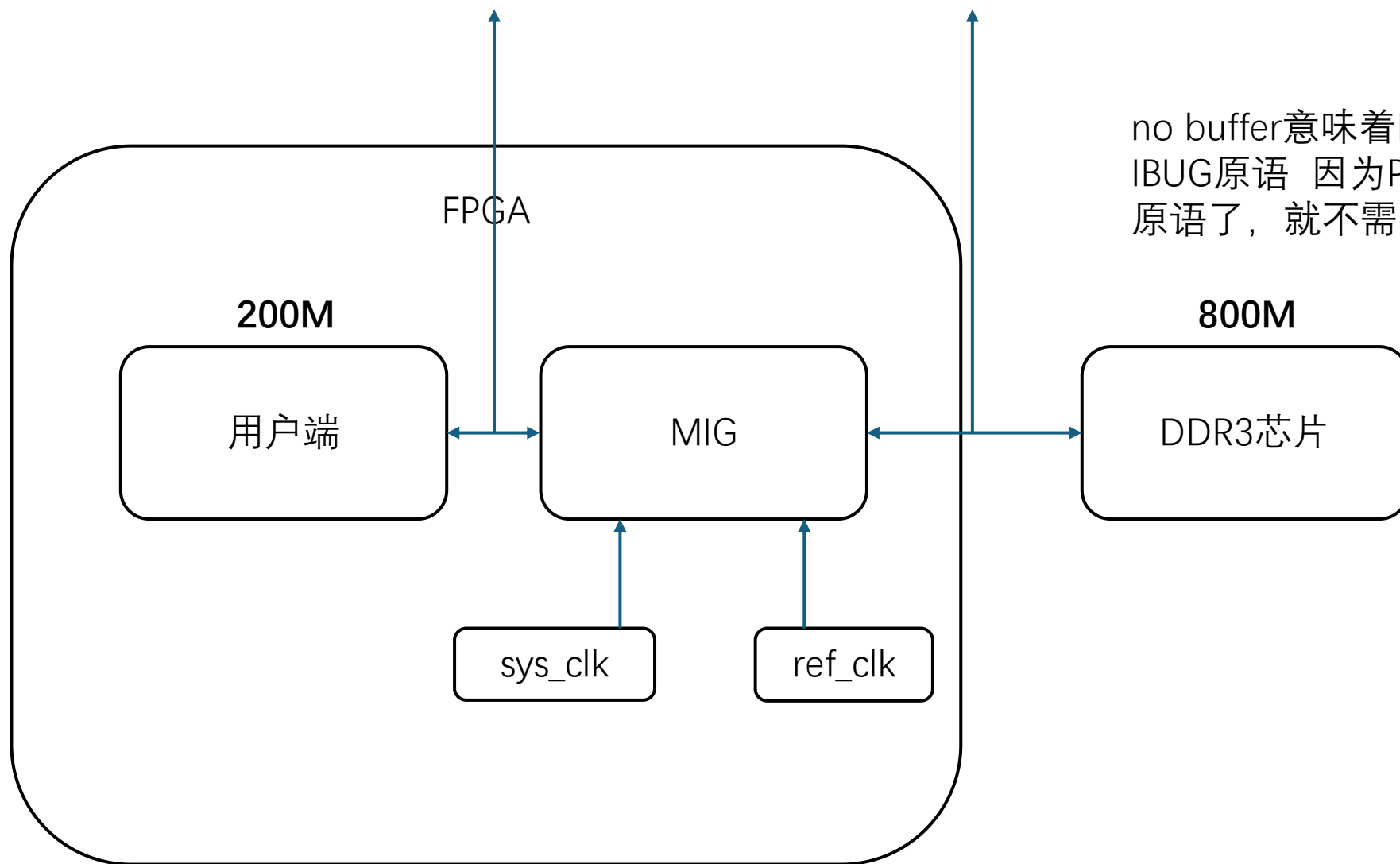


1.2.2 MIG IP核时钟域与位宽计算

带宽1=200***128**

==

带宽2=800*2*16



no buffer意味着MIG IP核没有例化IBUF原语 因为PLL内部例化有IBUF原语了，就不需要再进行例化了

```
.ui_clk      (ui_clk)
```

用户时钟（用户写入MIG IP核命令数据地址的时钟）

```
.ui_clk_sync_rst  (ui_clk_sync_rst)      ,
```

```
.app_wdf_mask     (32'b0)                ,
```

```
// System Clock Ports
```

```
.sys_clk_i      (sys_clk_i)      ,
```

50M晶振经过PLL倍频后的200M时钟频率

```
// Reference Clock Ports
```

```
.clk_ref_i      (clk_ref_i)      ,
```

50M晶振经过PLL倍频后的200M时钟频率

```
.sys_rst        (rst_n)
```

可以是外部晶振（差分或单端）或FPGA内部PLL输出的时钟

参考时钟**clk_ref_i**是MIG IP核用于校准和同步的时钟，主要用于IDELAYCTRL模块的延迟校准。固定频率，通常为200MHz（DDR工作频率 \leq 666MHz时）或300MHz/400MHz（DDR工作频率 $>$ 666MHz时）。

系统时钟**sys_clk_i**是MIG IP核的主输入时钟，用于驱动IP核内部逻辑和生成DDR芯片的时钟信号。根据DDR芯片的工作频率和IP核配置而定，通常在100MHz至400MHz之间。

数据的位宽app_wdf_data的计算

VIVADO
HLx Editions

Pin Compatible FPGAs
Memory Selection
Controller Options
AXI Parameter
Memory Options
FPGA Options
Extended FPGA Options
IO Planning Options
Pin Selection
System Signals Selection
Summary
Simulation Options
PCB information
Design Notes

XILINX

Options for Controller 0 - DDR3 SDRAM

Clock Period: Choose the clock period for the desired frequency. The allowed period range(2500 - 3300) is a function of the selected FPGA part and FPGA speed grade. Refer to the User Guide for more information. 2,500 ps 400.0 MHz

PHY to Controller Clock Ratio: Select the PHY to Memory Controller clock ratio. The PHY operates at the Memory Clock Period chosen above. The controller operates at either 1/4 or 1/2 of the PHY rate. The selected Memory Clock Period will limit the choices. 4:1

Vccaux_io: Vccaux_io must be set to 2.0V in the High Performance banks for the highest data rates. Vccaux_io is not available in the High Range banks. Note that Vccaux_io is common to groups of banks. Consult the 7 Series Datasheets and FPGA SelectIO Resources User Guide for more information. 1.8V

Memory Type: Select the memory type. Type(s) marked with a warning symbol are not compatible with the frequency selection above. Components

Memory Part: Select the memory part. Part(s) marked with a warning symbol are not compatible with the frequency selection above. Find an equivalent part or create a part using the "Create Custom Part" button if the part needed is not listed here. The "Create Custom Part" feature is not supported for RLDRAM II. MT41J128M16XX-125 Create Custom Part

Memory Voltage: Select the Voltage of the Memory part selected. 1.5V

Data Width: Select the Data Width. Parts marked with a warning symbol are not compatible with the frequency and memory part selected above. 32

Memory Details: 2Gb, x16, row:14, col:10, bank:3, data bits per strobe:8, with data mask, single rank, 1.5V

User Guide < Back Next > Cancel

MIG IP核的用户接口数据总线宽度 (DATA_WIDTH) 取决于两个因素:

DDR芯片的数据位宽 (NUM_DQ_PINS): 这是指连接到FPGA的DDR芯片的数据线总数。例如, 如果你使用了一个16位的DDR芯片, 那么NUM_DQ_PINS就是16。

PHY到控制器的时钟比例 (nCK_PER_CLK): 这个比例决定了用户接口时钟 (ui_clk) 和DDR芯片时钟之间的关系。常见的比例有2:1和4:1。

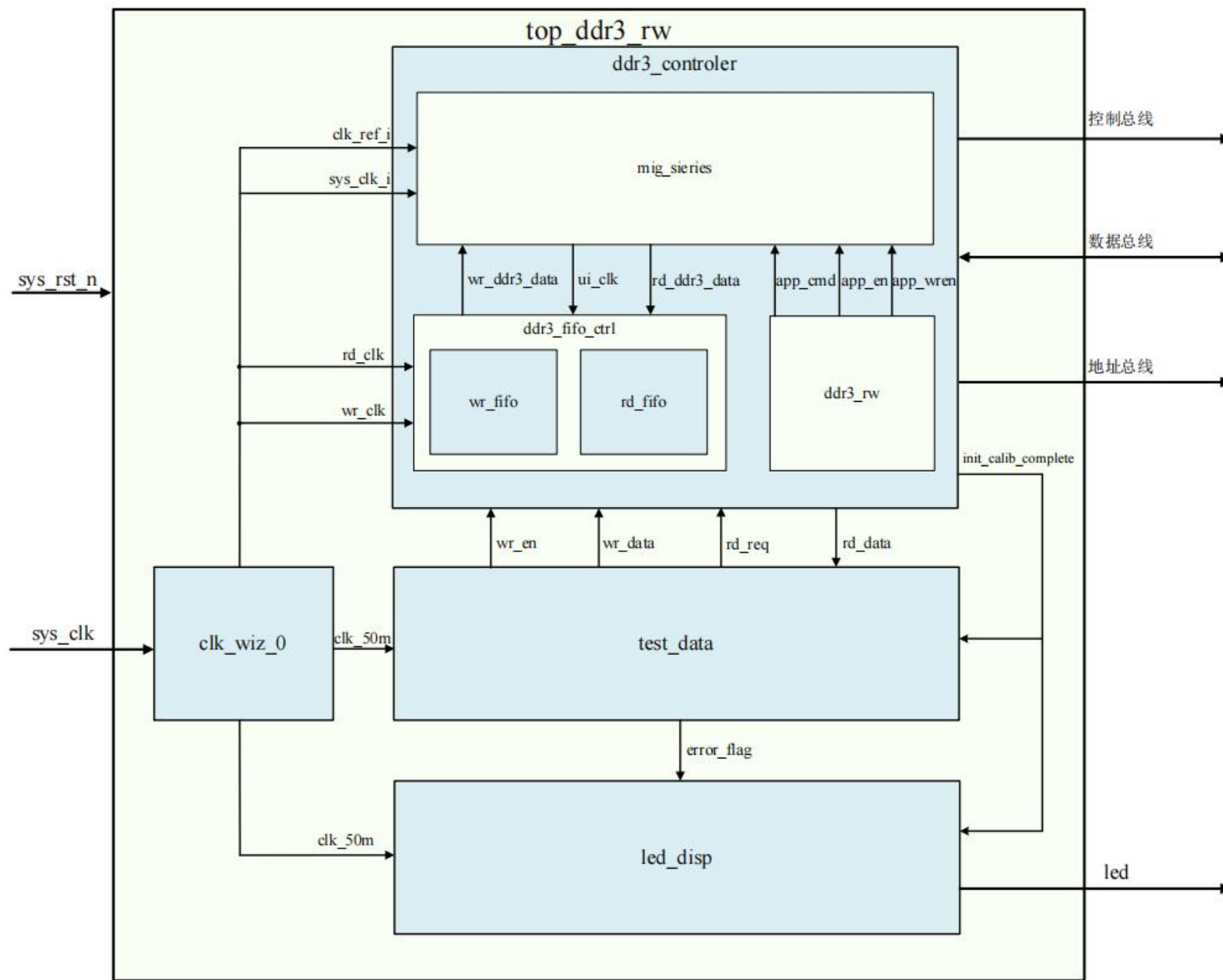
用户接口数据总线宽度 DATA_WIDTH 的计算公式为:

$$\text{DATA_WIDTH} = \text{NUM_DQ_PINS} \times \text{nCK_PER_CLK} \times 2$$

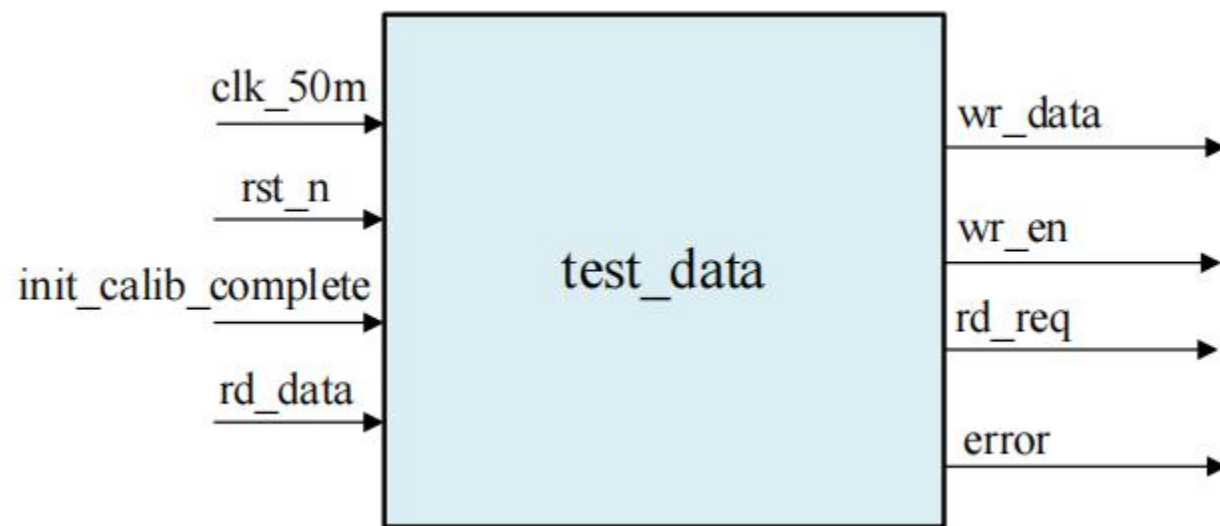
本例中使用了一个32位的DDR芯片, 并且选择了4:1的时钟比例, 那么:

$$\text{DATA_WIDTH} = 32 \times 4 \times 2 = 256 \text{位}$$

1.2.3



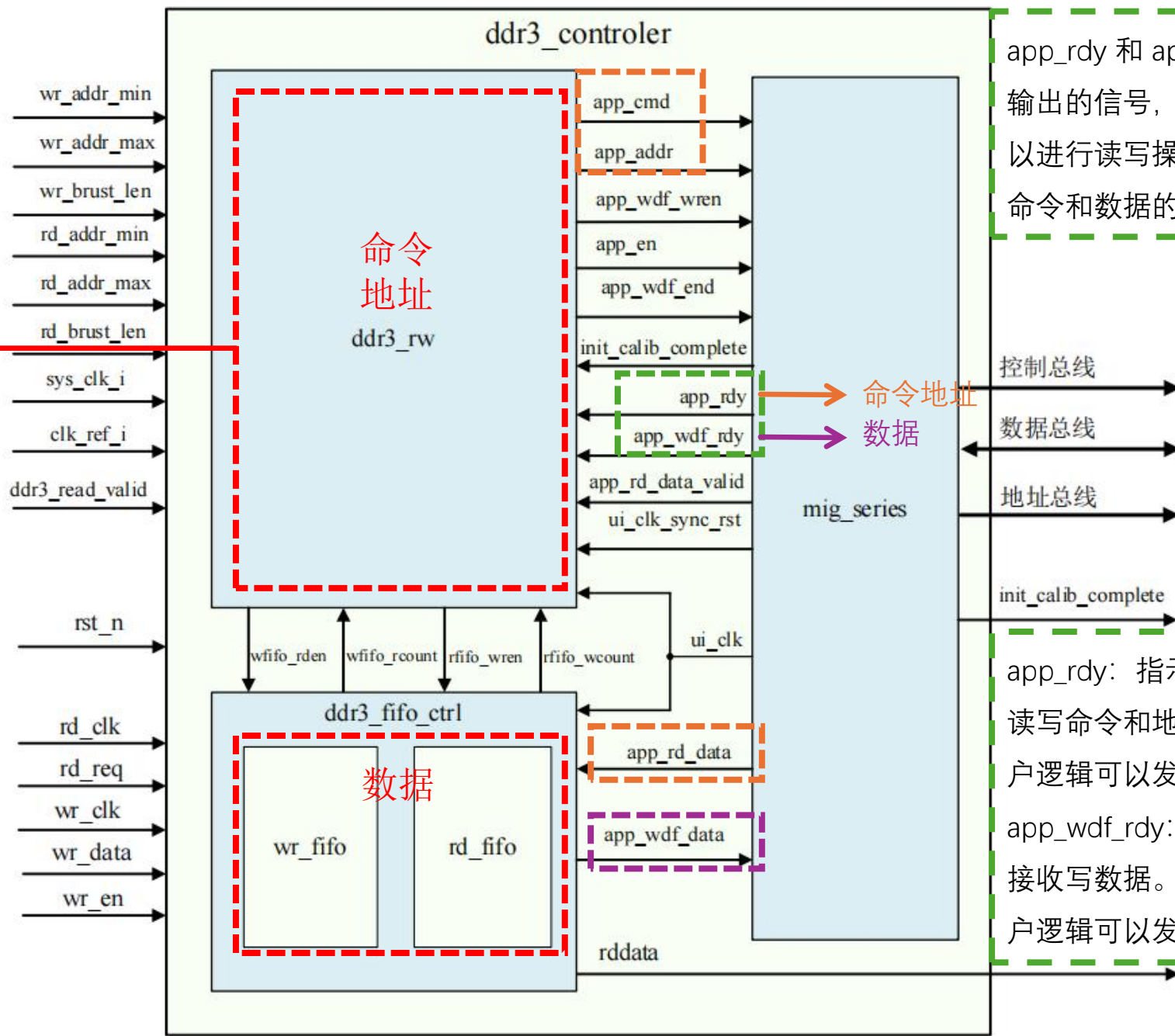
test_data模块



ddr 测试数据模块的作用是写入和读出 ddr 控制器的数据并且将读写数据进行比较

ddr3_

控制数据的读写



app_rdy 和 app_wdf_rdy 都是 MIG IP 核输出的信号，用于指示用户逻辑是否可以读写操作。它们共同参与了读写命令和数据同步过程。

app_rdy: 指示 MIG IP 核是否准备好接收读写命令和地址。当 app_rdy 为高时，用户逻辑可以发送**读写命令和地址**。

app_wdf_rdy: 指示 MIG IP 核是否准备好接收写数据。当 app_wdf_rdy 为高时，用户逻辑可以发送**写数据**。

在当前时钟拉高 app_en，同时发送命令（app_cmd）和地址（app_addr），此时命令和地址被写入

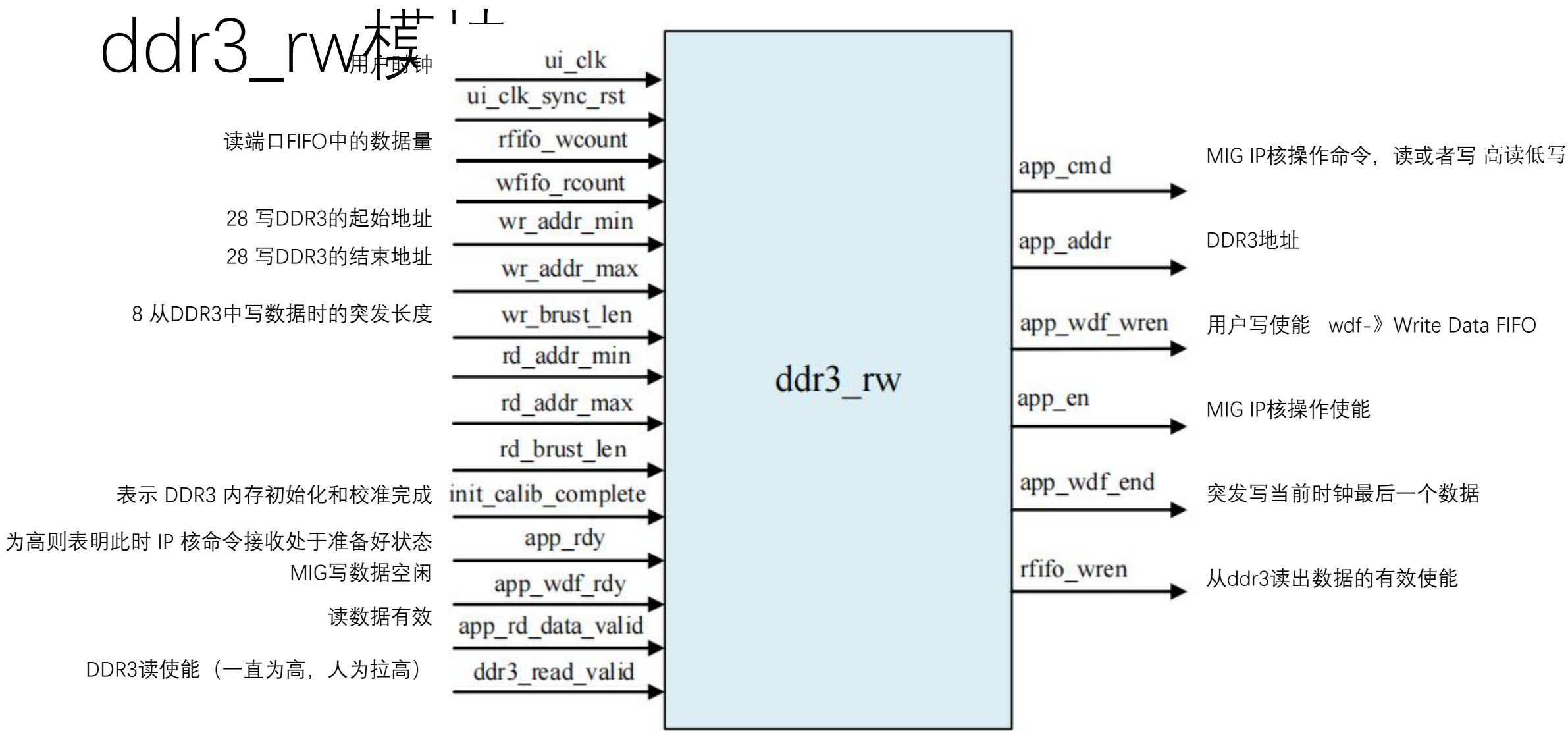
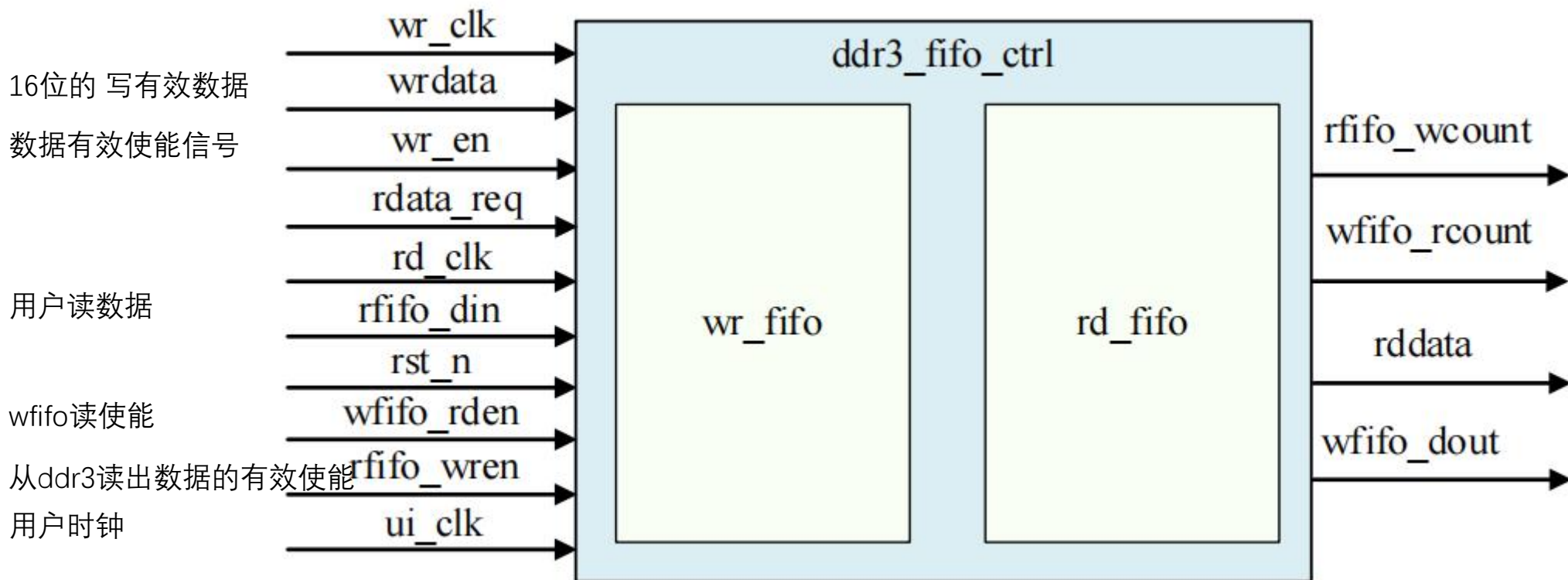


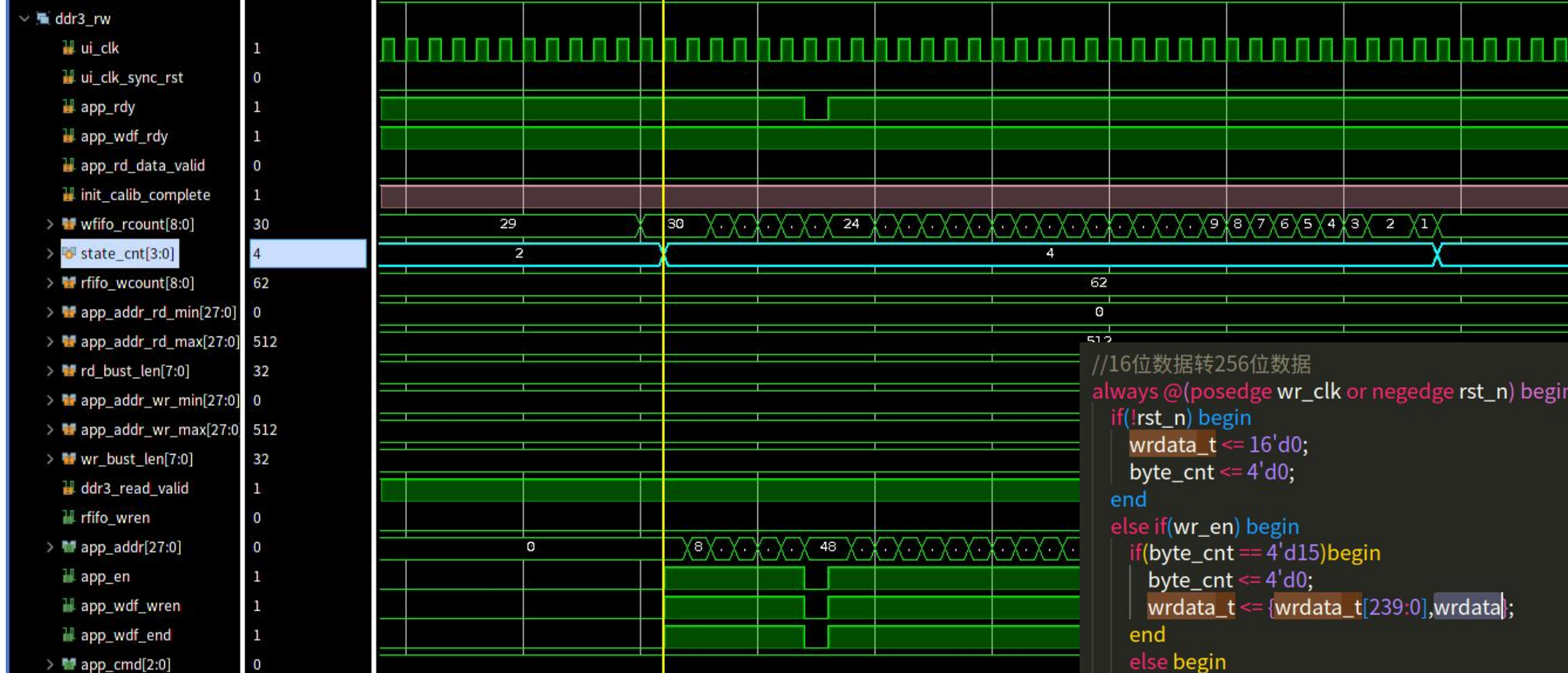
图 42.4.26 ddr3 读写模块框图

ddr3_fifo_ctrl 模块

- 负责对输入和输出的数据进行时钟域的切换和位宽的转换。fifo 控制模块的框图如下



写 fifo (`wr_fifo`) 写入时钟为系统时钟 50MHz,
读时钟为用户时钟 (即MIG IP 核输出的时钟) 100MHz。

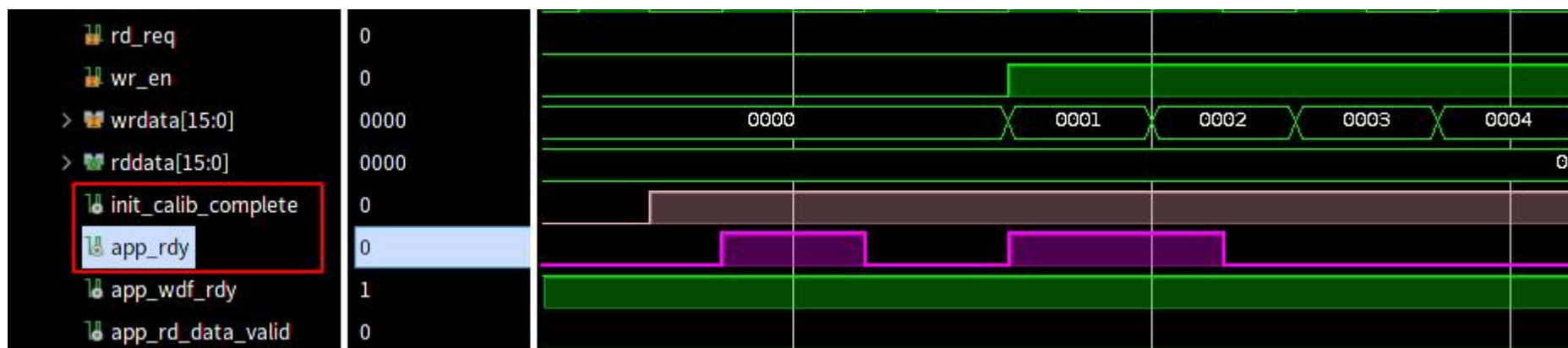


```
//16位数据转256位数据
always @(posedge wr_clk or negedge rst_n) begin
    if(!rst_n) begin
        wrdata_t <= 16'd0;
        byte_cnt <= 4'd0;
    end
    else if(wr_en) begin
        if(byte_cnt == 4'd15)begin
            byte_cnt <= 4'd0;
            wrdata_t <= {wrdata_t[239:0],wrdata};
        end
        else begin
            byte_cnt <= byte_cnt + 1;
            wrdata_t <= {wrdata_t[239:0],wrdata};
        end
    end
    else begin
        byte_cnt <= byte_cnt;
        wrdata_t <= wrdata_t;
    end
end
```

Data Port Parameters

Write Width	256	⊗	1,2,3,...1024
Write Depth	512	▼	Actual Write Depth: 513
Read Width	256	▼	
Read Depth	512		Actual Read Depth: 513

1.2.4 init_calib_complete和app_rdy信号之间先后顺序



先: *init_calib_complete* 拉高, 表示 *DDR* 内存初始化和校准完成。

后: *app_rdy* 拉高, 表示 *MIG IP* 核准准备好接收用户命令。

1.2.5 一些疑问

- 突发体现在哪？

- 顶层文件的

```
assign app_addr_wr_min = 28'd0;  
assign app_addr_wr_max = 28'd512;
```

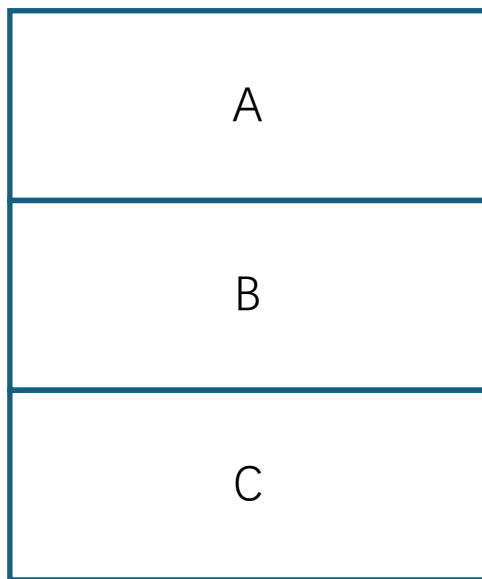
说明要传输512个字节的数据量

突发怎么体现的？

顶层文件的assign wr_burst_len = 8'd32;

2. 乒乓操作

- 用于FIFO、RAM、DDR
- 应用范例：视频的采集与显示-多帧缓存-防止视频撕裂



两种情况：

1. 写的快，读的慢
2. 写的慢，度的快

多帧缓存、乒乓操作的目的是不让读写冲突、防止视频出现撕裂