

Bài tập

$$y = ax^2 + bx + c$$

Yêu cầu đề bài

Thiết kế một mạch thực hiện phương trình bậc 2

$$y = ax^2 + bx + c$$

- + Đề xuất các phương án thiết kế :
 - a- phương án mạch **Combination** – PA.1
 - b- phương án mạch **Sequence** - PA.2
- + Mỗi phương án cần :
 - a- Define Input / Output;
 - b- Control Path; Data Path
 - c- FSM ...

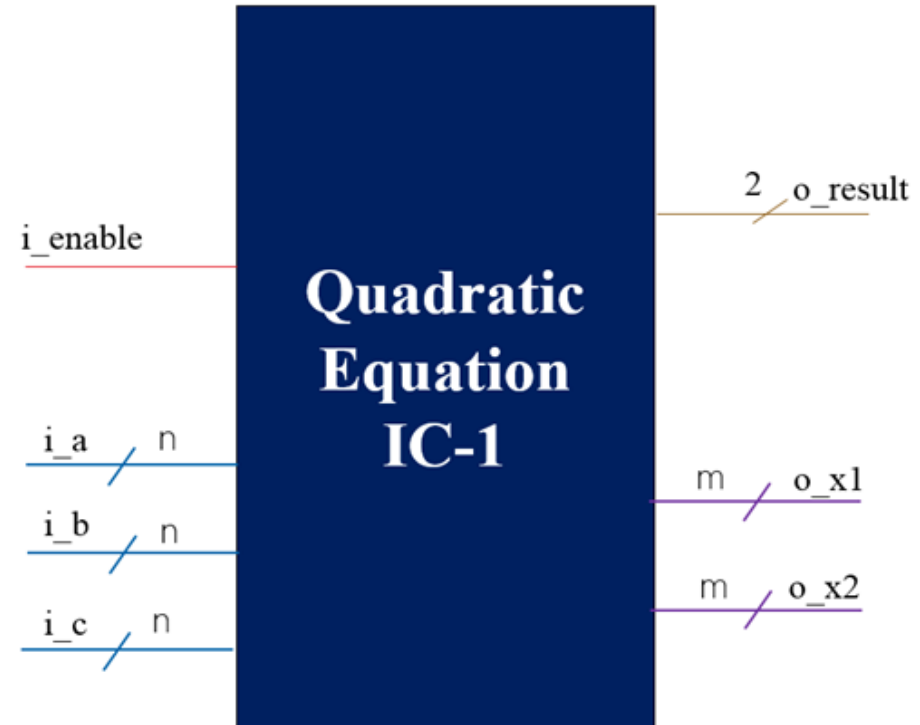
• Yêu cầu thực hiện PA.1 •

1- Với mô hình như hình bên thì mạch có khả thi với thực tế không ?

2 (*) – Nếu không thì bổ sung chỉnh sửa mạch như thế nào cho phù hợp (phải khác PA.2)

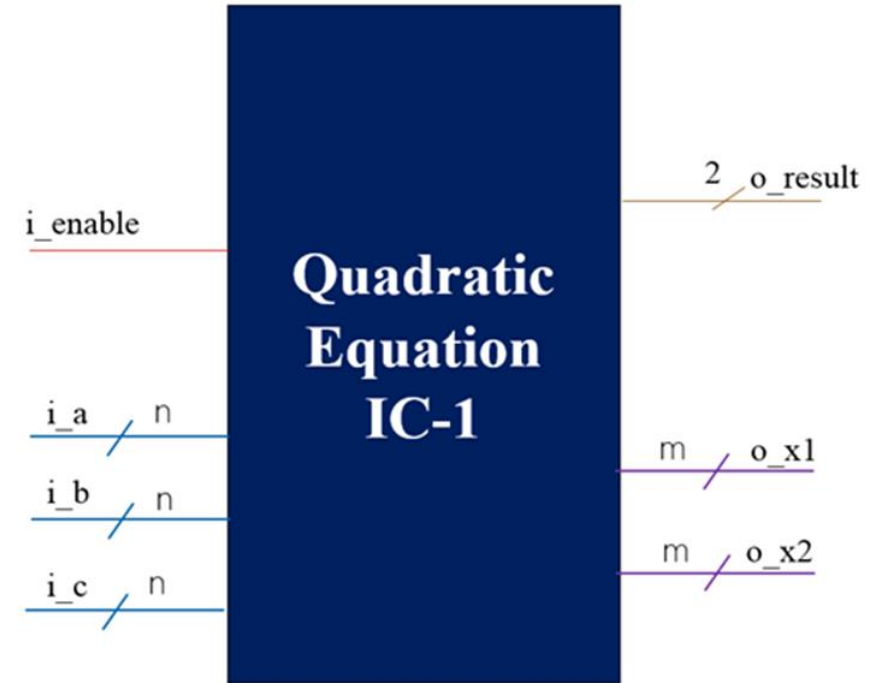
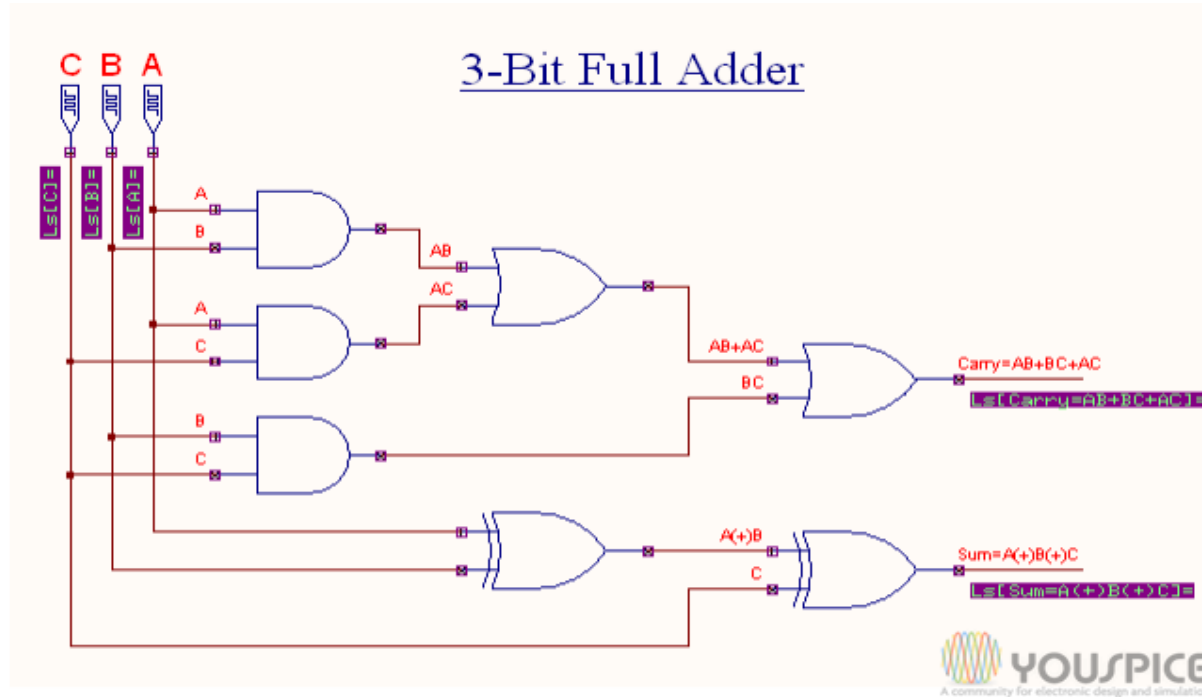
3 – Triển khai RTL & Testbench với chỉnh sửa đó

4 – Triển khai trên board FPGA



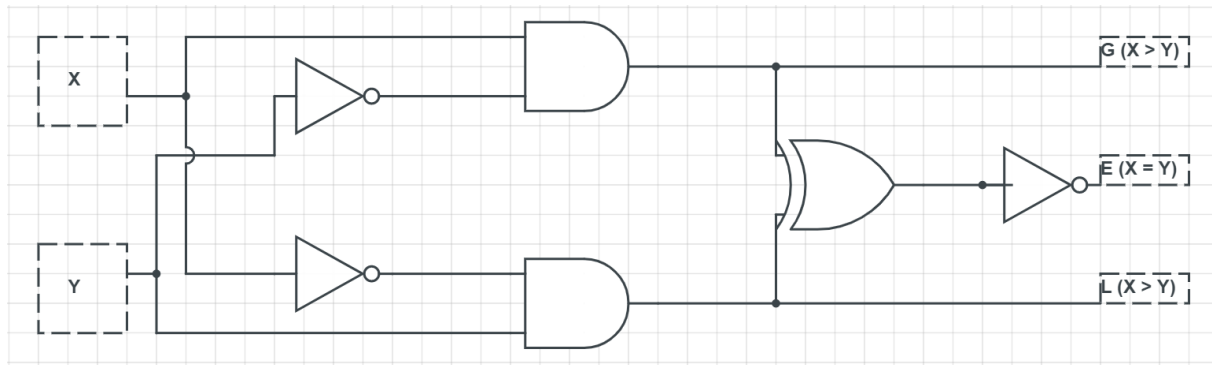
Ghi chú quan trọng : đây là bài tập quan trọng để chứng minh sự hiểu biết và năng lực của học viên
Nếu học viên có hướng xử lý (*) sẽ được đánh giá cao, sẽ được nhận vào khóa Thiết kế Vi mạch nâng cao

Yêu cầu thực hiện PA.1



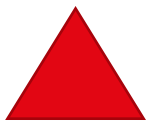
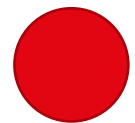
- 1- Mô tả cách hoạt động của PTBC.2 ở hình bên – nên vẽ sơ đồ dạng sóng
- 2 – Có điểm nào không hợp lý (tức là không thể triển khai trong thực tế)
- 3 – Gợi ý thêm các mạch bổ xung vào ?

Yêu cầu thực hiện PA.1

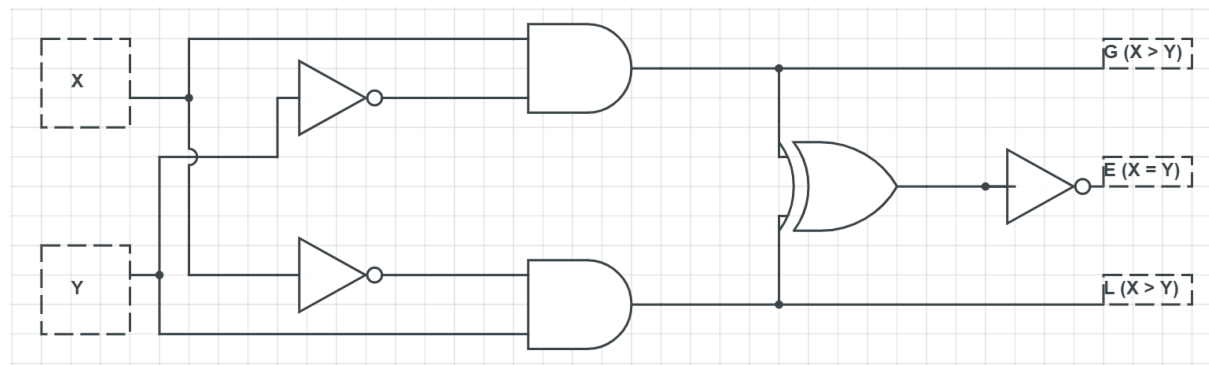


Hình minh họa so sánh 2 cổng vào 1 bit
X và Y

Minh họa mạch so sánh liên quan căn Delta



Detal



a0

a1

a2

a3

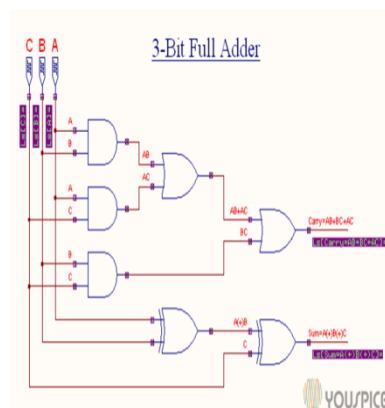
Encode
4-2

Result

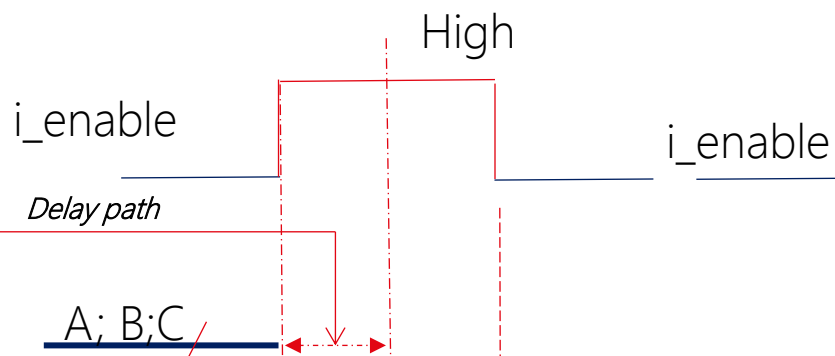
Yêu cầu thực hiện PA.1

Thời điểm 1
Khi bật điện lên

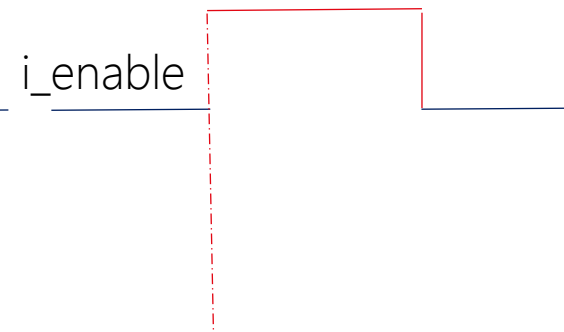
Input i_enable
low



Thời điểm 2
Tính toán lần 1



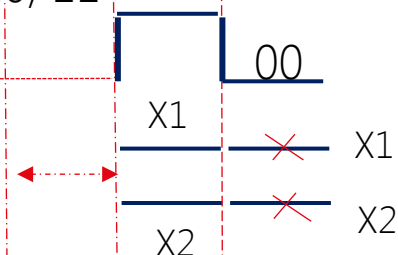
Thời điểm 3
Tính toán lần 2



Result = 00

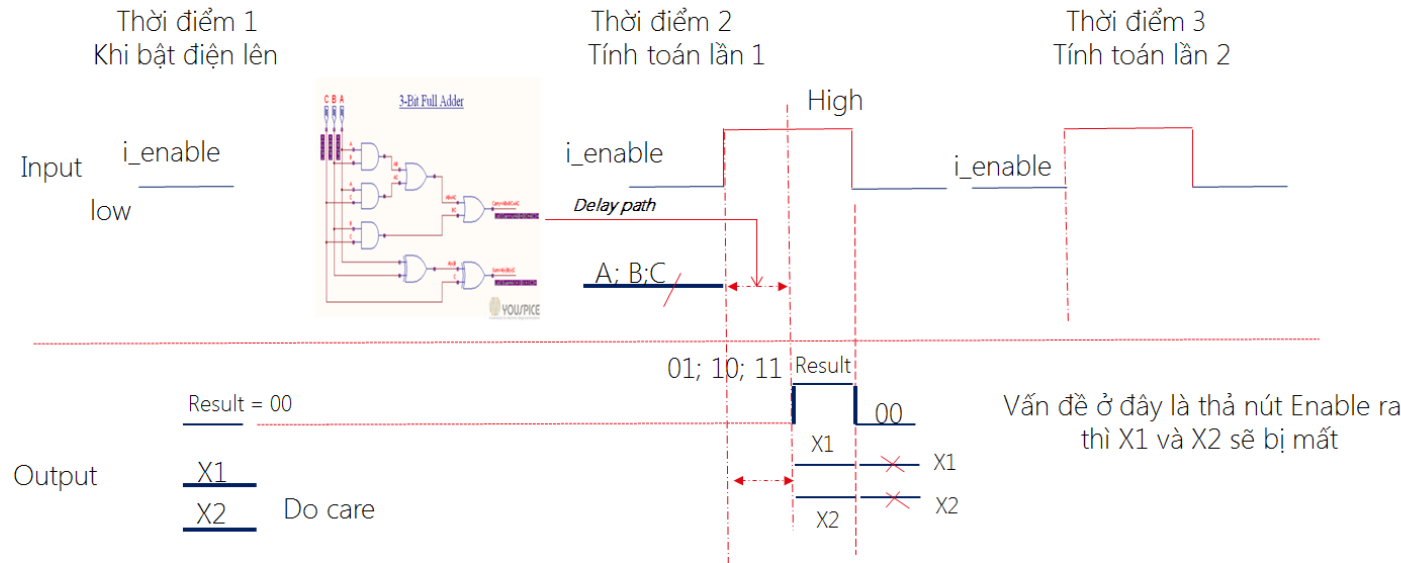
Output X1
X2 Do care

01; 10; 11 Result



Vấn đề ở đây là thả nút Enable ra
thì X1 và X2 sẽ bị mất

Yêu cầu thực hiện PA.1



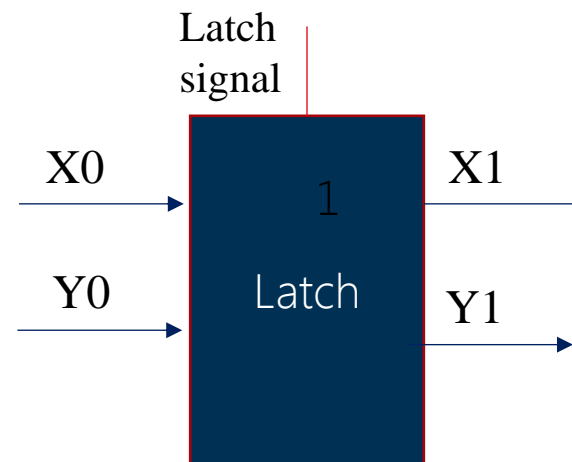
Tìm hướng xử lý làm sao khi nhả nút Enable ra thì $X1$ và $X2$ được lưu lại trước đó

Chốt lại

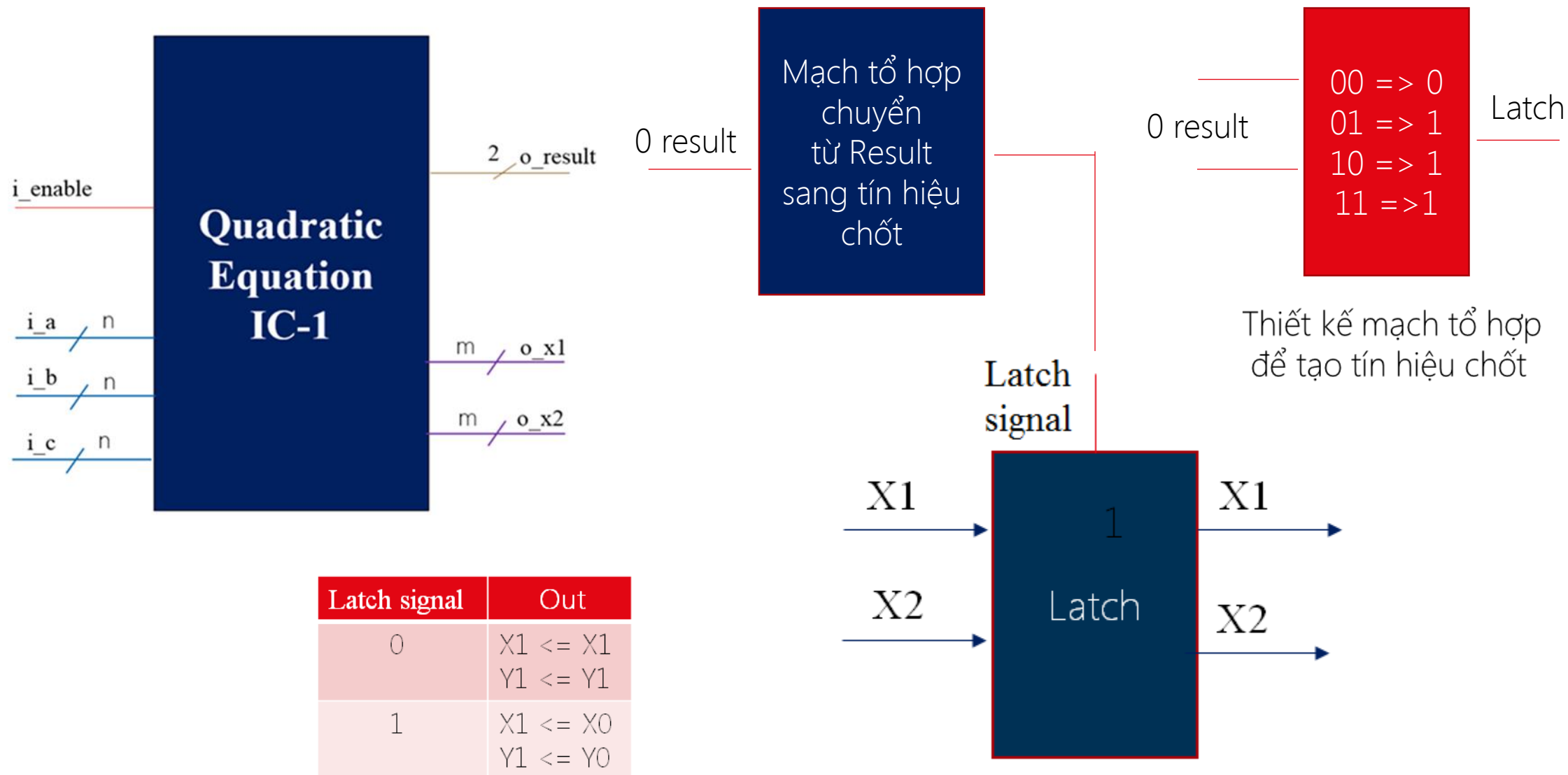
Enable

Thiết kế mạch tổ hợp để tạo tín hiệu chốt

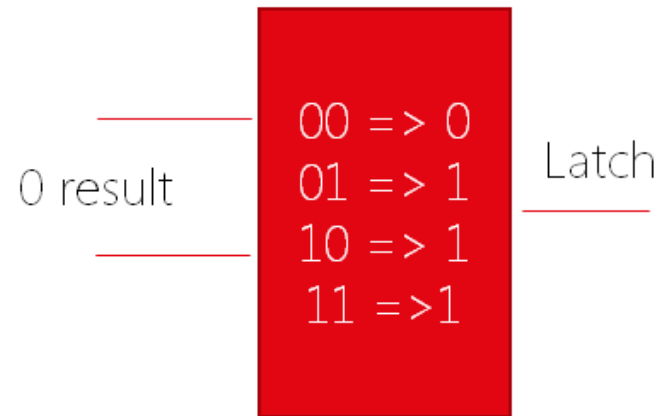
Latch signal	Out
0	$X1 \leq X1$ $Y1 \leq Y1$
1	$X1 \leq X0$ $Y1 \leq Y0$



Yêu cầu thực hiện PA.1



• Yêu cầu thực hiện PA.1 •



Thiết kế mạch tổ hợp
để tạo tín hiệu chốt

Bài tập

- 1 - Dùng các mạch Logic để thiết kế mạch bên
- 2 - Dùng Verilog để thiết kế mạch bên

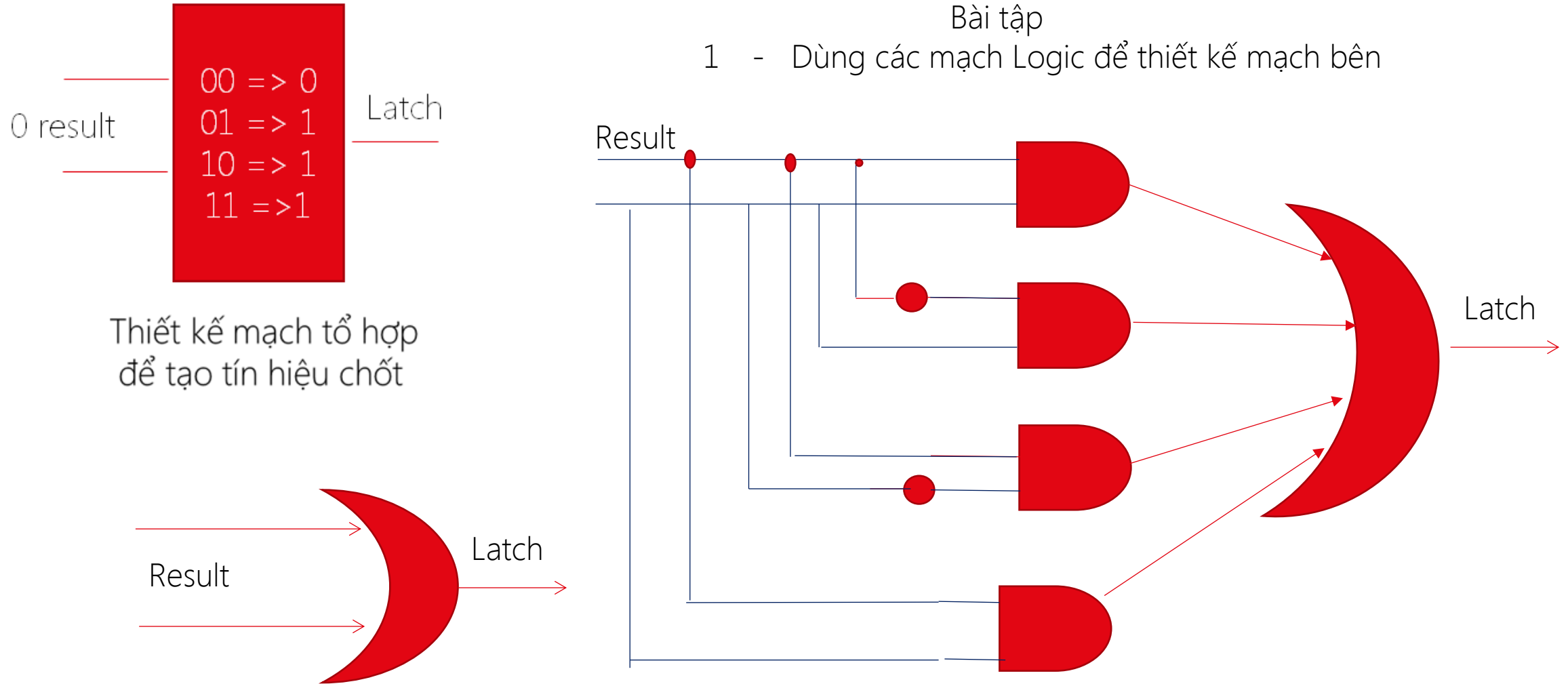
Dùng các mạch Logic để thiết kế mạch bên

Dùng các mạch NOT; AND, NAND; OR

• Yêu cầu thực hiện PA.1 •

Bài tập

1 - Dùng các mạch Logic để thiết kế mạch bên



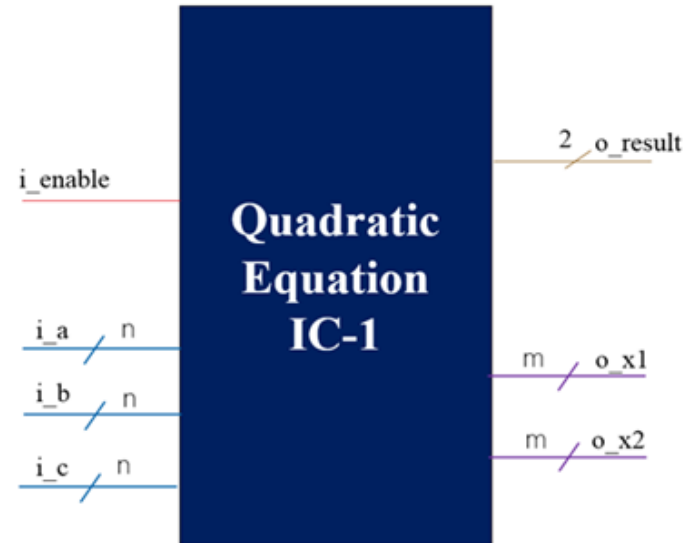
• Yêu cầu thực hiện PA.1 •

1- Với mô hình như hình bên thì mạch có khả thi với thực tế không ?

2 (*) – Nếu không thì bổ sung chỉnh sửa mạch như thế nào cho phù hợp (phải khác PA.2)

3 – Triển khai RTL & Testbench với chỉnh sửa đó

4 – Triển khai trên board FPGA



Ghi chú quan trọng : đây là bài tập quan trọng để chứng minh sự hiểu biết và năng lực của học viên
Nếu học viên có hướng xử lý (*) sẽ được đánh giá cao, sẽ được nhận vào khóa Thiết kế Vi mạch nâng cao

Bài tập về nhà