

# Exercises

$$y = ax^2 + bx + c$$

# **Yêu cầu đề bài**

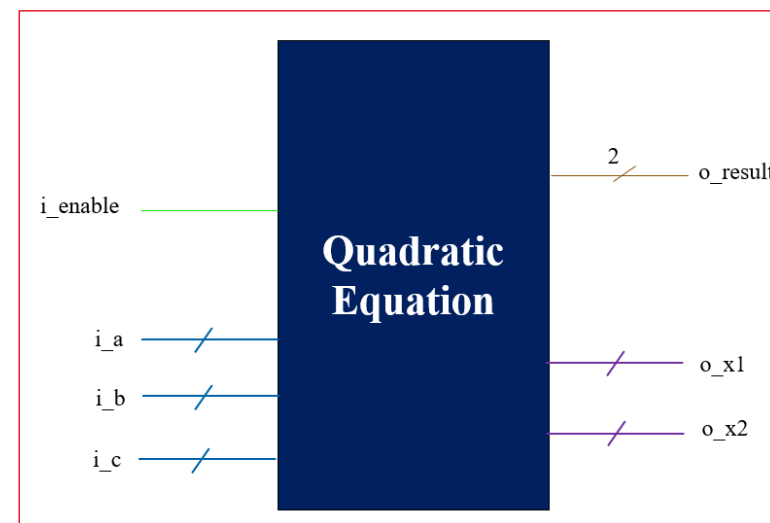
## **Thiết kế một vi mạch phương trình bậc 2**

$$**y = ax^2 + bx + c**$$

- + Đề xuất các phương án thiết kế.
- + Mỗi phương án cần sử dụng mạch nào? FSM nào? Tồn bao nhiêu xung clock?

- Tích hợp Core vào hệ thống

$$y = ax^2 + bx + c \longrightarrow$$



$$y = ax^3 + bx^2 + cx + d$$

Số lượng chân sẽ là như thế nào ?

# Phương án thứ nhất

## I. Giới thiệu module Quadratic Equation:

- Module sử dụng mạch Combine.
- Module có đầu vào gồm 1 tín hiệu điều khiển và 3 dữ liệu vào.
- Đầu ra gồm 1 tín hiệu trạng thái 2 bit và 2 dữ liệu ra.
- Module có chức năng là giải phương trình bậc hai để tìm ra nghiệm X dựa vào các dữ liệu được nhập vào.

## Phương án thứ hai

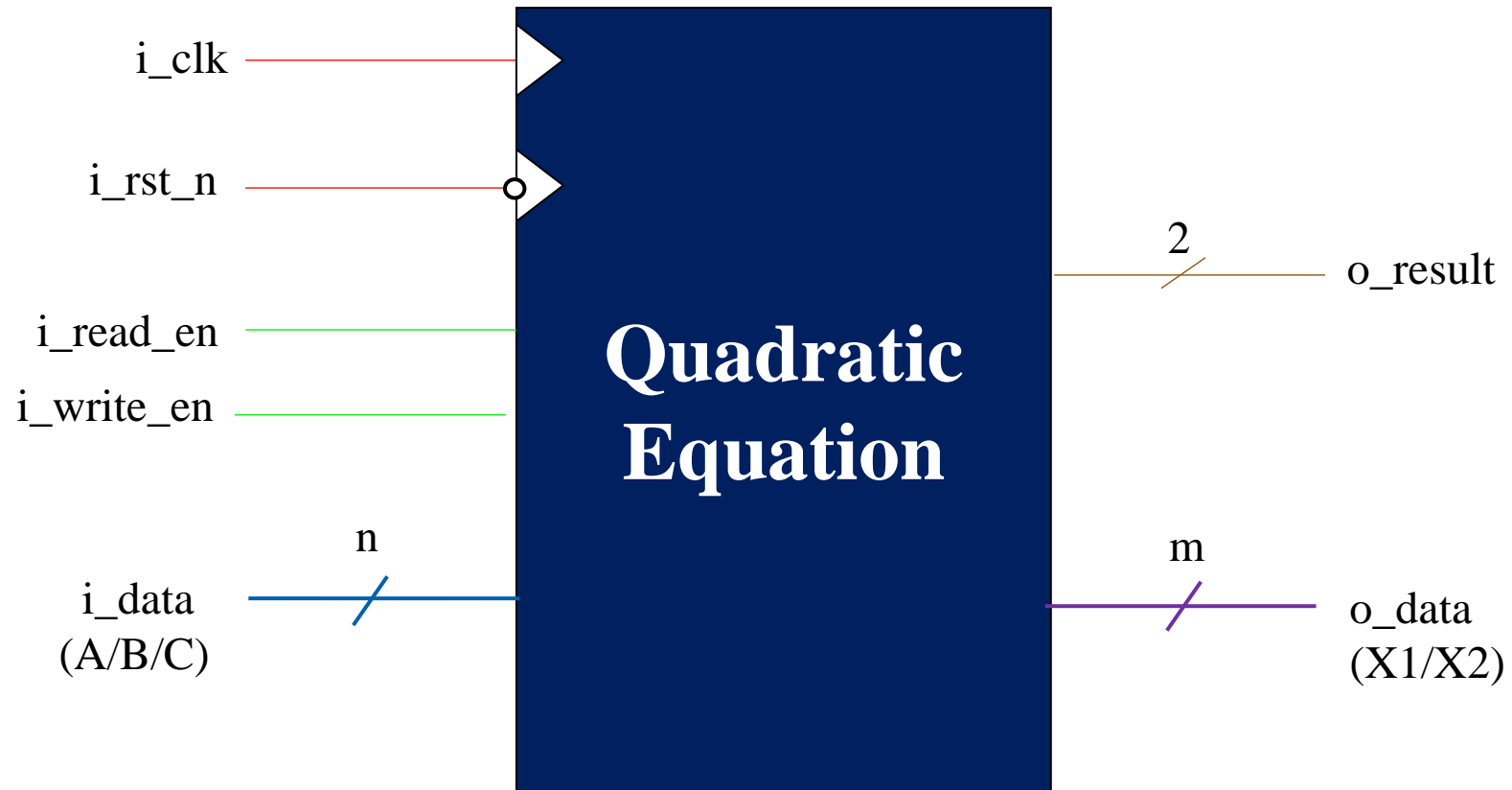
### I. Giới thiệu module Quadratic Equation :

- Module có đầu vào gồm 2 tín hiệu hệ thống, 2 tín hiệu điều khiển và 1 dữ liệu vào.
- Đầu ra gồm 1 tín hiệu trạng thái 2 bit và 1 dữ liệu ra.
- Module có chức năng là giải phương trình bậc hai để tìm ra nghiệm X dựa vào dữ liệu được nhập vào.

## Phương án thứ hai

### II. Mô tả chi tiết module:

#### 1. Mô tả in/out:

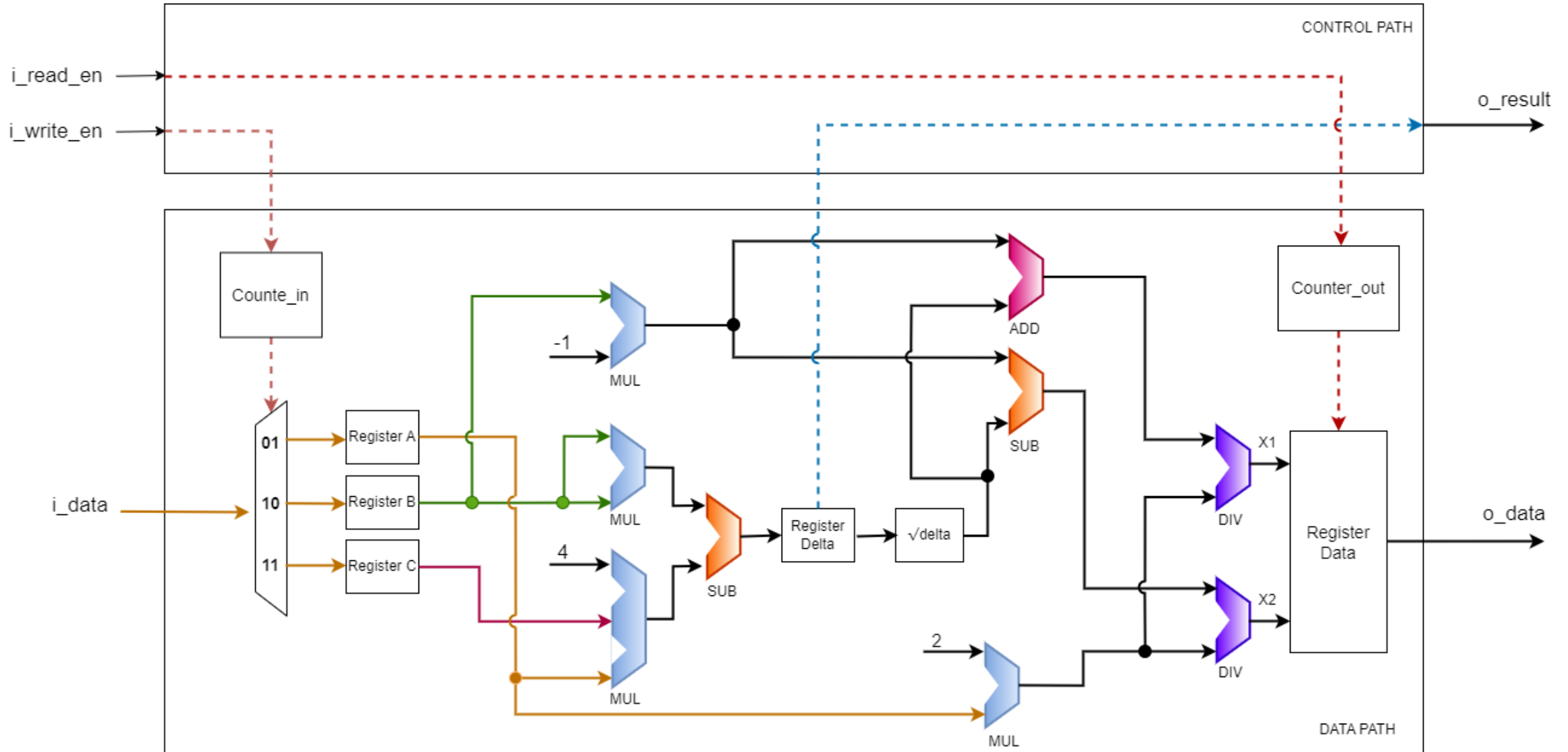


## Phương án thứ hai

Tín hiệu	Kích thước (bit)	Kiểu tín hiệu	Chi tiết
i_clk	1	Input	Clock tích cực sườn dương
i_rst_n	1	Input	Reset tác động mức thấp
i_write_en	1	Input	Tín hiệu ghi A; B; C dữ liệu vào và bắt đầu tính toán
i_read_en	1	Input	Tín hiệu đọc dữ liệu đầu ra
i_data	n	Input	Dữ liệu vào
o_result	2	Output	Tín hiệu trạng thái 00: Not busy or done 01: Phương trình vô nghiệm 10: Phương trình có nghiệm kép 11: Phương trình có hai nghiệm
o_data	m	Output	Dữ liệu ra là nghiệm X của phương trình

# Phương án thứ hai

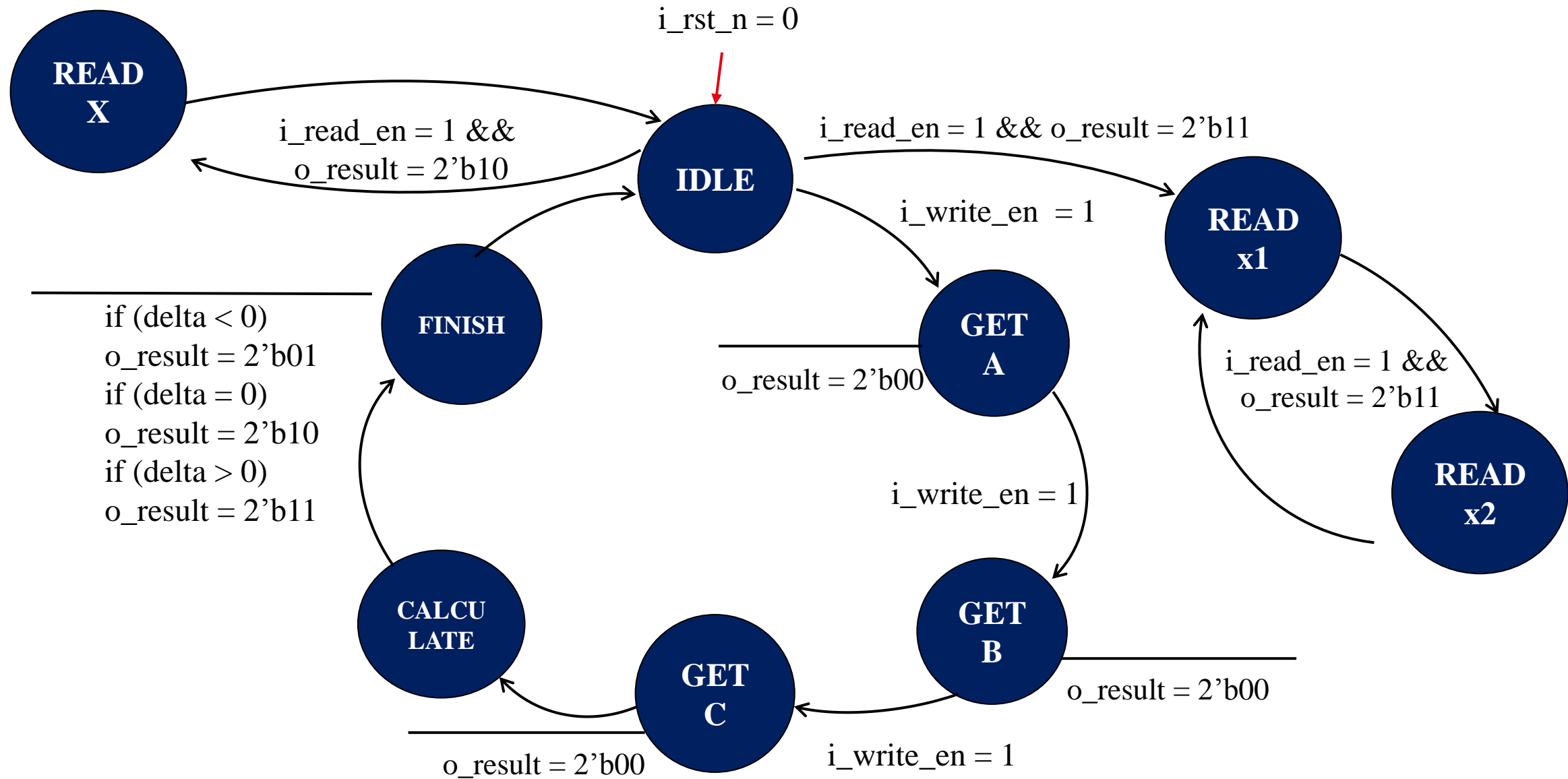
## 2. Control-Path và Data-Path:





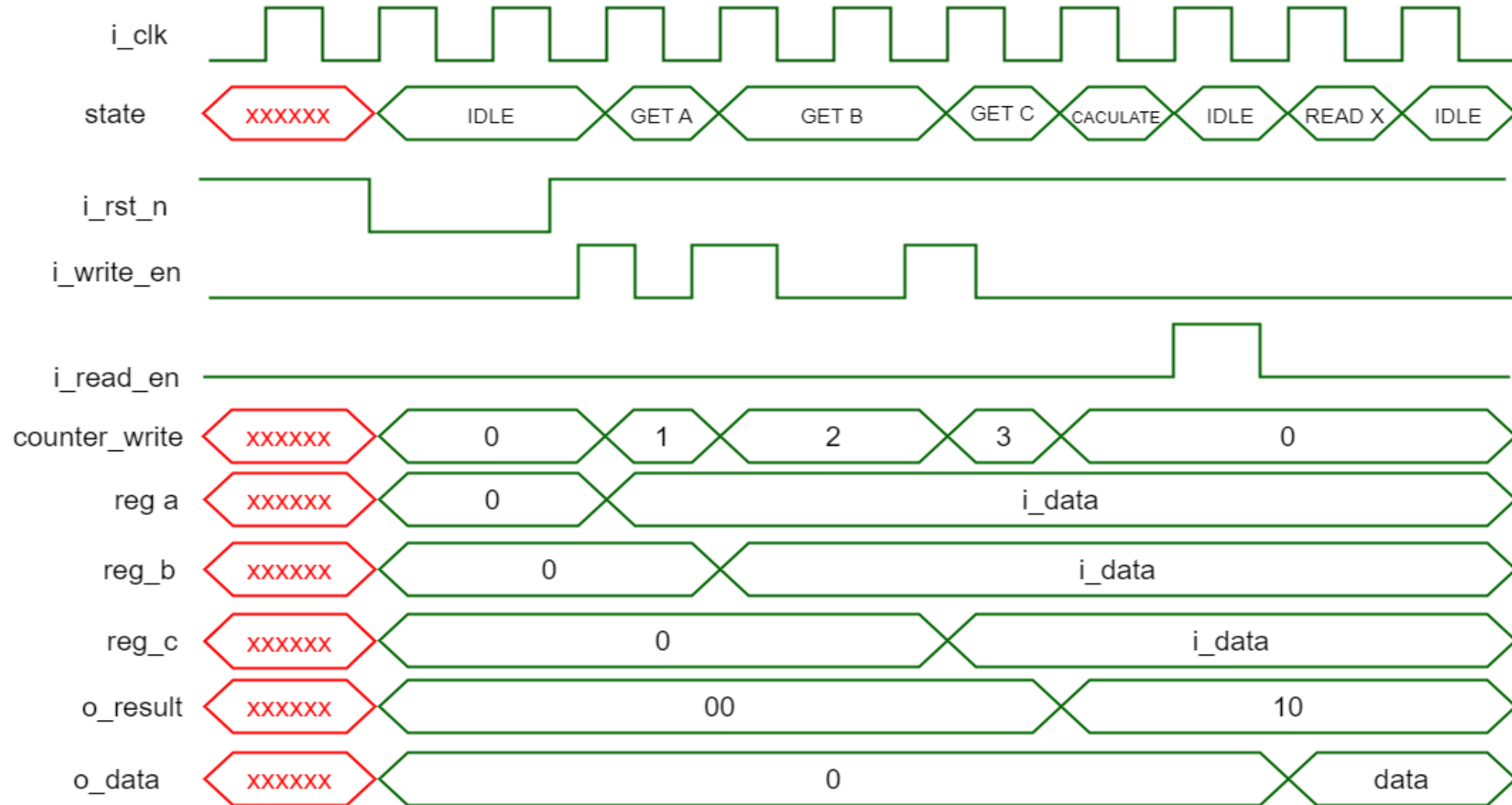
# Phương án thứ hai

## 3. Mô tả FSM:



## Phương án thứ hai

### 4.1 Sơ đồ sóng trường hợp có nghiệm kép:



## Phương án thứ hai

### 4.2 Sơ đồ sóng trường hợp có 2 nhiệm vụ phân biệt:

