

# Các khóa học thiết kế Vi mạch và SoC trên công nghệ SoC- FPGA

Các nội dung bao gồm:

- Nội dung khóa học 1
- Nội dung khóa học 2
- Nội dung khóa học 3
- Trang thiết bị, board mạch; tài liệu, phần mềm phục vụ cho khóa học
- Chi phí các khóa đào tạo

## **Khóa 1** : Thiết kế Vi Mạch cơ bản trên công nghệ SoC-FPGA

- Lý thuyết:
  - o Tập trung vào **phương pháp luận thiết kế Vi mạch**: thiết kế tài liệu Spec; thiết kế Control Path, Data Path; xác định Input/Output Signals; phương pháp thiết kế FSM và phương pháp tạo Testbench
- Các Lab
  - o Thiết kế mạch hàm Mũ
  - o Thiết kế mạch hàm Shift
  - o Thiết kế mạch hàm Nhân
  - o Thiết kế mạch Counter-7Seg
  - o Phát triển RTL; Testbench và Testbench-synthesisable
  - o Triển khai trên board mạch FPGA
- Kiểm tra giữa kỳ và kiểm tra cuối kỳ:
  - o Giữa kỳ : Thiết kế mạch hàm Mũ với Input data chỉ một đường vào
  - o Cuối kỳ : phương trình tính Tổng  $X = A+B+C$  với Input Data chỉ 1 đường
- Kết thúc khóa học, học viên sẽ đạt được
  - o Phương pháp phân tích một yêu cầu, một thuật toán và phát thảo thành một Spec, xác định được Input/Output Signals
  - o Phát họa được Op-Code
  - o Thiết kế được sơ đồ phần cứng: Control Path; Data Path; FSM
  - o Phát triển RTL cho các Lab; hiểu phương pháp và triển khai viết Testbench và Testbench-synthesisable
  - o Sử dụng ILA – ChipScope Pro để tracking tín hiệu/dữ liệu
  - o Hiểu và sử dụng thành thạo các Tool CAD của Xilinx/Altera
- Các yêu cầu tiên quyết để tham gia khóa học
  - o Đã học kỹ thuật xung số
  - o Đã học môn ngôn ngữ mô tả phần cứng Verilog/VHDL
  - o Kỹ thuật Vi xử lý
- Thời gian: 3 tháng.

**Khóa 2**: Thiết kế các vi mạch nâng cao, sẽ chọn 1 các 5 khóa sau đây,  
khóa này sẽ tập trung vào thiết kế các Vi mạch phức tạp

### **Khóa 2.1** : Thiết kế vi mạch SHA

- o Giới thiệu về SHA
- o Thiết kế Spec SHA : Thiết kế Control Path; Data Path; thiết kế FSM; thiết kế Input/Output signals
- o Phát triển RTL; phát triển Testbench và Testbench-synthesisable

- Triển khai trên board mạch FPGA
- Thời gian: 3- 3.5 tháng (tùy thuộc vào thời lượng học trong tuần)
- Kiểm tra giữa kỳ : tối ưu phần Control Sequence - FSM
- Kiểm tra cuối kỳ: làm một SHA tương tự – như SHA-1; SHA-512....

- **Khóa 2.2:** Thiết kế vi mạch AES

- Giới thiệu về thuật toán mật mã AES
- Thiết kế spec AES 128: Thiết kế Control Path; Data Path; thiết kế FSM; thiết kế Input/Output
- Phát triển RTL; phát triển Testbench và Testbench-synthesisable cho Key 128
- Triển khai trên board mạch FPGA
- Thời gian: 3tháng
- Kiểm tra giữa kỳ : Thay thế hàm SBOX khác; thực hiện AES Key 192; thực hiện 1 Round cho Transformation
- Kiểm tra cuối kỳ : Phát triển AES cho Key 256 và Full Key

- **Khóa 2.3:** Thiết kế vi mạch NetFlow

- Giới thiệu về giải thuật giám sát an ninh mạng NetFlow
- Thiết kế Spec NetFlow: Thiết kế Control Path; Data Path; thiết kế FSM; thiết kế Input/Output
- Phát triển RTL; mô phỏng và thử nghiệm trên máy tính
- Triển khai trên board mạch FPGA
- Kiểm tra giữa kỳ: phát triển hay nâng cấp thêm một module Time Conditional
- Kiểm tra cuối kỳ: phát triển thêm Export via AXI-Stream
- Thời gian: 3.5 tháng

- **Khóa 2.4:** Thiết kế vi mạch CNN ( Convolutional Neural Network – trong ML/DL)

- Giới thiệu về giải thuật CNN trong ML/DL
- Thiết kế Spec CNN: Thiết kế Control Path; Data Path; thiết kế FSM; thiết kế Input/Output
- Phát triển RTL; mô phỏng và thử nghiệm trên máy tính
- Triển khai trên board mạch FPGA
- Kiểm tra giữa kỳ: phát triển hay nâng cấp thêm một module Max-Pooling
- Kiểm tra cuối kỳ: phát triển thêm SoftMax
- Thời gian: 3 tháng

- **Khóa 2.5:** Thiết kế vi mạch Random Forest

- Giới thiệu về giải thuật Random Forest trong ML/DL
- Thiết kế Spec Random Forest : Thiết kế Control Path; Data Path; thiết kế FSM; thiết kế Input/Output
- Phát triển RTL; mô phỏng và thử nghiệm trên máy tính
- Triển khai trên board mạch FPGA
- Kiểm tra giữa kỳ: phát triển hay nâng cấp thêm một module Max-Pooling
- Kiểm tra cuối kỳ: phát triển thêm module SoftMax
- Thời gian: 3 tháng

- **Yêu cầu tiên quyết cho các khóa học 2**

- Hiểu khái niệm về chuẩn mật mã, chuẩn xác thực liên quan An Ninh An Toàn, chuẩn NetFlow; các thuật toán CNN và Random Forest

- Hiểu về khái niệm mạng máy tính, an ninh mạng; trí tuệ nhân tạo ML/DL,
- Hoàn thành khóa học 1

- **Kết thúc khóa học, học viên sẽ đạt được**

- Hiểu sâu về các thuật toán Mã hóa, Xác thực và giao thức mạng NetFlow; các thuật toán CNN và Random Forest
- Phương pháp phân tích một yêu cầu, một thuật toán, một sơ đồ khối và phát thảo thành một Spec, xác định được Input/Output Signals
- Phát họa được Op-Code
- Thiết kế được Spec bao gồm: Control Path; Data Path; FSM
- Phát triển RTL cho các Lab; hiểu phương pháp; triển khai viết Testbench và Testbench-Synthesizable
- Nắm được phương án tối ưu code RTL: nâng hiệu xuất xử lý, giảm tài nguyên
- Phương pháp tích hợp ChipScope ILA để tracking Tín hiệu; dữ liệu
- Hiểu và sử dụng thành thạo các Tool CAD của Xilinx và Altera

**Khóa 3** : Thiết kế SoC trên công nghệ SoC - FPGA, sẽ chọn 1 trong 5 khóa sau đây:

- **Khóa 3.1** : Phát triển các SoC có chức năng hàm Mũ, Shift, Counter và SHA

- Thiết kế Spec cho SoC hàm Mũ; hàm Shift, hàm Counter, thuật toán SHA theo AXI-Lite
  - RTL, mô phỏng và kiểm tra trên máy tính
  - Tích hợp UART-USB, viết chương trình điều khiển
  - Triển khai trên board mạch FPGA
- Thời gian: 2.5- 3 tháng (tùy thuộc vào thời lượng học trong tuần 3-4 buổi tối)

- **Kết thúc khóa học, học viên sẽ đạt được**

- Hiểu mô hình kết nối Bus AXI\_Lite giữa Core và Bus hệ thống
- Phát triển Code RTL AXI\_Lite và kỹ thuật viết Testbench
- Kiến trúc hệ thống SoC tích hợp IP Core ( Kết nối Bus; Base address - High address; Port UCF....)
- Lập trình ngôn ngữ C cho IP Core
- Hiểu và sử dụng thành thạo các Tool CAD của Xilinx và Altera

- **Khóa 3.2** : Phát triển SoC có chức năng mật mã

- Design Spec SoC-AES ; kết nối qua AXI-Lite
  - RTL; mô phỏng; thực nghiệm trên máy tính
  - Tích hợp UART-USB; tích hợp VXL-MB
  - Viết chương trình điều khiển
  - Triển khai trên board mạch SoC-FPGA
- Thời gian: 2.5- 3 tháng (tùy thuộc vào thời lượng học trong tuần 3- 4 buổi tối)

- **Kết thúc khóa học, học viên sẽ đạt được**

- Mô hình mật mã gồm mã hóa/giải mã trong hệ thống SoC
- Phát triển AES IP Core trong hệ thống Bus của Vi xử Lý ARMs / MB
- Tích hợp AES IP Core trong hệ thống SoC - có chức năng mã hóa/giải mã dữ liệu
- Phát triển chương trình điều khiển hệ thống SoC-AES
- Phương pháp xuất nhập dữ liệu & điều khiển mã hóa/giải mã dữ liệu trên hệ thống thật

- **Khóa 3.3**: Phát triển SoC-NetFlow có chức năng giám sát Mạng – chức năng an ninh Mạng

- Design Spec SoC-NetFlow; kết nối qua AXI-Lite và DMA

- Phát triển RTL; mô phỏng; thực nghiệm trên máy tính
  - Tích hợp UART-USB; RTC và Eeprom; tích hợp VXL-MB
  - Viết chương trình điều khiển
  - Triển khai trên board mạch SoC-FPGA
- Thời gian: 3- 3.5 tháng (tùy thuộc vào thời lượng học trong tuần 3-4 buổi tối).
- **Kết thúc khóa học, học viên sẽ đạt được**
  - Mô hình giám sát luồng thông tin mạng – có chức năng giám sát & điều phối mạng
  - Phát triển NetFlow IP Core trong hệ thống Bus của Vi xử Lý ARMs / MB
  - Tích hợp NetFlow IP Core trong hệ thống SoC - có chức năng giám sát dữ liệu mạng
  - Phát triển chương trình điều khiển hệ thống SoC NetFlow
  - Phương pháp thử nghiệm và đánh giá chức năng NetFlow trên hệ thống thật
- **Khóa 3.4 :** Phát triển SoC-CNN có chức năng phát hiện và ngăn chặn mã độc trong Traffic Network dùng phương pháp ML/DL
  - Design Spec SoC-CNN ; kết nối qua AXI-Lite và DMA
  - Phát triển RTL; mô phỏng; thực nghiệm trên máy tính
  - Tích hợp UART-USB; RTC và Eeprom; tích hợp VXL-MB/ARMs
  - Viết chương trình điều khiển SoC-CNN và các thành phần liên quan
  - Thực hiện training Dataset Mã độc & tạo các Model trên AWS, GG-Colab, Bing và trên board
  - Triển khai trên board mạch SoC-FPGA
- Thời gian: 3.5 -4 tháng (tùy thuộc vào thời lượng học trong tuần 3-4 buổi tối)
- **Kết thúc khóa học, học viên sẽ đạt được**
  - Mô hình giám sát và phát hiện Mã độc trong lưu lượng mạng trên hệ thống SoC-CNN
  - Phát triển CNN IP Core trong hệ thống Bus của Vi xử Lý ARMs / MB
  - Tích hợp CNN IP Core trong hệ thống SoC - có chức năng giám sát dữ liệu mạng
  - Phát triển chương trình điều khiển hệ thống SoC NetFlow
  - Phương pháp training Dataset Mã độc & tạo các Model trên AWS, GG-Colab, Bing và trên board
  - Phương pháp thử nghiệm và đánh giá chức năng SoC- CNN trên hệ thống thật
- **Khóa 3.5 :** Phát triển SoC-Random Forest có chức năng phát hiện và ngăn chặn tấn công mạng trong Traffic Network dùng phương pháp ML/DL
  - Design Spec SoC- Random Forest ; kết nối qua AXI-Lite và DMA
  - Phát triển RTL; mô phỏng; thực nghiệm trên máy tính
  - Tích hợp UART-USB; RTC và Eeprom; tích hợp VXL-MB/ARMs
  - Viết chương trình điều khiển
  - Viết chương trình điều khiển SoC-CNN và các thành phần liên quan
  - Thực hiện training Dataset Tấn công mạng & tạo các Model Model trên AWS, GG-Colab, Bing và trên board
  - Triển khai trên board mạch SoC-FPGA
- Thời gian: 3.5-4 tháng (tùy thuộc vào thời lượng học trong tuần 3-4 buổi tối)
- **Kết thúc khóa học, học viên sẽ đạt được**
  - Mô hình giám sát và phát hiện Tấn công mạng trong lưu lượng mạng trên hệ thống SoC- Random Forest
  - Phát triển Random Forest IP Core trong hệ thống Bus của Vi xử Lý ARMs / MB
  - Tích hợp Random Forest IP Core trong hệ thống SoC - có chức năng giám sát dữ liệu mạng
  - Phát triển chương trình điều khiển hệ thống SoC Random Forest

- Phương pháp training Dataset Tầm công mạng & tạo các Model trên AWS, GG-Colab, Bing và trên board
- Phương pháp thử nghiệm và đánh giá chức năng SoC- Random Forest trên hệ thống thật

- Yêu cầu tiên quyết cho các khóa 3:
  - Hoàn thành khóa học 1 và khóa học 2
  - Kỹ thuật vi xử lý
  - Kiến trúc máy tính
  - Ghép nối thiết bị ngoại vi
  - Lập trình ngôn ngữ C

**IV - Materials cho khóa học:** khóa học sẽ cung cấp cho học viên các tài liệu, thiết bị

- Tài liệu, Slide cho mỗi khóa học
- Tool thiết kế CAD của Xilinx. Altera
- Board mạch FPGA như Spartan6, Virtex6, Kintex7, ZynQ MP Soc; Kintex Ultra-Scale trung bình 4-5 học viên thực hành trên 1 board và có trợ giảng
- Thời lượng thực hành : chiếm 40-45% thời lượng khóa học