

采用顺序路由. LT与BN段合并. 时钟周期1ns. 通道宽度64bit. buffer足够大
 每条流有各自的VC. NI处对每条流独立存储.

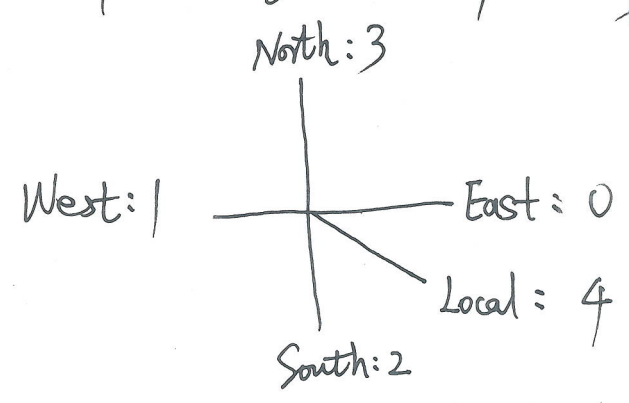
假设 $P_a > P_b > P_c > P_d > P_e > P_f > P_g > P_h > P_i$

2-4	3-4	4-2	4-3	4-8	5-2	5-3	5-6	5-9	5-10
流 f	f	f	f	g	h	h	h	a	a
周期 500	500	500	500	256	16	16	16	16	16
类 0	1	2	3	4	5	6	7	8	9
优先级 4	4	4	4	3	2	2	2	9	9

5-11	6-7	7-6	7-16	9-13	10-14	11-15	12-8	12-16
流 a	i	i	c	b	b	b	e	d
周期 16	125	125	125	125	125	125	125	32
类 10	11	12	13	14	15	16	17	18
优先级 9	1	1	7	8	8	8	5	6

13-9	13-16	14-10	14-16	15-11	15-16	16-12
流 b	c	b	c	b	c	d
周期 125	125	125	125	125	125	32
类 19	20	21	22	23	24	25
优先级 8	7	8	7	8	7	6

booksim 记录延迟时考虑了注入和消除
 切片过程. 在分析结果时需要减去.



booksim 路由器结构