

## 基本信息

姓名：张国辉 出生年月：2001 年 6 月  
电话：15668297064 政治面貌：发展对象  
邮箱：zgshdzh123@163.com 家庭籍贯：山东菏泽



## 教育经历

2019.09-2023.06 长安大学 (211) 计算机科学与技术 学士  
学业成绩：GPA 3.7 考研成绩 419 社会奖学金一等奖、学业优秀奖，社会贡献奖、学科优秀奖若干  
竞赛奖项：第八届、第十一届 ACM-ICPC 陕西省铜奖、中国高校计算机大赛 (CCCC) 国家个人三等奖、第十二届蓝桥杯 C++ (985、211 组) 省二等奖第六名、美国大学生数学建模竞赛国际三等奖、ACM 区域赛优秀奖  
2023.09-2026.06 西北工业大学(985) 计算机学院计算机技术 (A+) 硕士  
主修课程：Advanced Computer Architecture、VLSI 系统与电路设计、计算机组成原理、操作系统、数字逻辑  
荣誉奖项：西工大程序设计一等奖(2024)、校二等奖学金(2024)

## 专业技能

- 能熟练使用 C/C++，熟练使用脚本语言 Makefile、Python、Shell 等
- 熟练使用 Verilog、SystemVerilog 进行数字逻辑电路设计、熟悉体系结构知识、了解超标量乱序 CPU 的基础架构
- 熟悉 RISC-V 处理器核前端设计流程及常见电路模块设计，熟练使用 Vivado、verilator、VCS、Verdi 等工具

## 项目经验

### 中科院计算所发起的第六期一生一芯 (个人)

- CPU 硬件模拟器 NEMU (C 语言)
  - 搭建了基础设施 (简易调试器，类似于 GDB)：解析命令，单步执行，打印寄存器，扫描内存，进行表达式求值；
  - 实现了一个基于 riscv32 的冯诺依曼计算机系统：在此基础上，实现裸机环境和常用的库函数，完善了输入输出设备，最终能够运行超级马里奥图形版，并启动 RT-Thread；
- RISCV-32 六级流水线 CPU 核 (Verilog)
  - 分为预取值、取值、译码、执行、访存、写回六级流水线，支持静态分支预测，支持 AXI4-Lite 总线
  - 通过 RISC-V 官方指令集测试，完善了输入输出设备，最终能够运行超级马里奥字符版，初步启动 RT-Thread；

### 毕业设计-基于软硬协同的卡尔曼滤波硬件加速器 (C++、SystemVerilog)

**项目描述：**当使用匀加速模型进行目标追踪时，复杂度为  $O(n^3)$  的矩阵求逆将成为卡尔曼滤波的计算瓶颈，本项目改进了卡尔曼滤波的计算方法，并设计了专用的硬件加速器

**加速器架构创新点：**可配置脉动阵列矩阵乘法单元，流水化并行矩阵求逆单元，基于状态机的多级迭代控制单元

**项目成果：**已提交申请两项专利。申请受理号：202411854505.4、20202510277986.5

### 六级单发射顺序处理器 CVA6-开源学习

流水线动态调度、动态分支预测、虚拟地址到物理地址快速翻译、FPGA Emulation

## 校园经历

大三学年担任 ACM 社团团支书、副主席；作为主要出题人和组织人员成功举办长安大学第八届 ACM-ICPC 新生赛、长安大学第七届 ACM-ICPC 校赛；多次给社团成员授课，组织集训队成员训练  
多次参加校园运动会，获得过长安大学校运会足球团体运球第一名、西工大三航杯乙组第二名 (成功升甲)