



## 教育背景

2023.09-2026.06 西北工业大学 (985、211) 计算机学院计算机技术 硕士

2019.09-2023.06 长安大学 (211) 信息工程学院计算机科学与技术 学士

研究方向: 计算机体系结构、数字IC设计

主修课程: Advanced Computer Architecture、VLSI系统与电路设计、计算机组成原理、操作系统、数字字

电子技术、数据结构、C++程序设计等



## 项目经历

### 第六期一生一芯

- **CPU 硬件模拟器 (NEMU)**: 1. 搭建了基础设施 (简易调试器, 类似于GDB): 解析命令, 单步执行, 打印寄存器, 扫描内存; 2. 可以进行简单的表达式求值; 3. 实现了一个基于riscv32的冯诺依曼计算机系统: 在此基础上, 实现裸机环境和常用的库函数, 能够支持运行简单的程序 (选择排序等), 并且完善了输入输出设备, 最终能够运行超级马里奥图形版;
- **RISCV-32 六级流水线CPU核**: 1. 通过RISC-V官方指令集测试2. 使用verilog, 借助verilator实现了一个基于risc-v32的冯诺依曼计算机系统: 在此基础上, 实现裸机环境和常用的库函数, 能够支持运行简单的程序 (选择排序等), 并且完善了输入输出设备, 最终能够运行超级马里奥字符版; 3. 初步启动RT-Thread。

### LoongArch 32位五级流水线处理器 (龙芯杯个人赛三级评测)

- 支持 LoongArch-C3 指令集的 21 条指令, 利用监控程序 (基础版) 在龙芯杯远程实验平台(FPGA)通过了 CPU 功能验证。

### CVA6 —— 六级流水线单发射 RISC-V CPU-开源学习

- 主导六级流水线关键路径优化, 设计分支预测单元 (BTB/BHT) 及指令重对齐模块, 通过动态分支预测策略提升 IPC 15%, 在 FPGA 原型验证中达成 1.2GHz 主频 (TSMC 28nm), 支持 RV64IMC 指令集及类 Unix 系统运行;
- 实现低时延存储管理单元 (MMU), 设计全关联 TLB 及硬件页表遍历器 (PTW), 优化物理地址转换流水线, 较基线版本降低 DTLB 未命中惩罚 40%, 并通过 PMA/PMP 硬件校验模块强化安全性 (注: 复杂模块+性能提升)
- 构建验证与时序收敛闭环, 搭建 UVM 验证环境覆盖指令集兼容性及异常处理场景, 主导 STA 分析并优化关键路径1
- 创新可配置微架构设计, 基于 SystemVerilog 参数化实现 ILEN/浮点单元动态配置



## 专业技能

- 能熟练使用C、C++进行体系结构建模, 熟练使用脚本语言Makefile、Python、Perl等;
- 能熟练使用Verilog 进行数字逻辑电路设计, 熟悉SystemVerilog的基础语法;
- 熟悉RISC-V处理器核前端设计的流程及常见电路模块的设计思路, 熟练使用Vivado、verilator等工具;
- 熟悉体系结构相关领域知识
- 通过了英语CET-4、CET-6



## 荣誉奖项及校园经历

- 2020.09 第八届国际大学生程序设计竞赛陕西省赛 三等奖
- 2021.05 中国高校计算机大赛-团体程序设计天梯赛 个人三等奖
- 2022.05 第十二届蓝桥杯C++组陕西省A组 (985、211组) 二等奖(第6名)
- 2023.05 第十一届国际大学生程序设计竞赛陕西省赛 三等奖
- 社会奖学金一等奖、学业优秀奖, 社会贡献奖、学科优秀奖若干
- 大三学年担任ACM社团团支书、副主席; 作为主要出题人和组织人员成功举办长安大学第八届ACM-ICPC新生赛、长安大学第七届ACM-ICPC校赛; 多次给社团成员授课, 组织集训队成员训练