**Computer Organization**

**0413220 楊承皓 / 0413234 陳亮融 / 0413249 劉宗岳**

**Basic Problem:**

**1. ICACHE**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Cache size  Block size | 4K | 16K | 64K | 256K |
| 16 | 2.1700% | 2.1700% | 2.1700% | 2.1700% |
| 32 | 1.0855% | 1.0855% | 1.0855% | 1.0855% |
| 64 | 0.5427% | 0.5427% | 0.5427% | 0.5427% |
| 128 | 0.2714% | 0.2714% | 0.2714% | 0.2714% |
| 256 | 0.1357% | 0.1357% | 0.1357% | 0.1357% |

　　下降的原因為block size變大的時候，可容納的資料越多，因此hit的機會增大，故miss rate下降。

**2. DCACHE**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Cache size  Block size | 4K | 16K | 64K | 256K |
| 16 | 5.5556% | 5.5556% | 5.5556% | 5.5556% |
| 32 | 3.1746% | 3.1746% | 3.1746% | 3.1746% |
| 64 | 1.5873% | 1.5873% | 1.5873% | 1.5873% |
| 128 | 0.7937% | 0.7937% | 0.7937% | 0.7937% |
| 256 | 0.7937% | 0.7937% | 0.7937% | 0.7937% |

　　下降的原因為block size變大的時候，可容納的資料越多，因此hit的機會增大，故miss rate下降；上升的原因為當block size變大的時候，一個固定size的cache總block數變少，使得competition變多，造成capacity miss。但在我們的觀察中，看不到上升的現象，可能是因為cache size太大，已經接近miss rate的極限，故數值都相同。

**Advanced Problem:**

**1. LU (Block Size = 64 bytes)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Associativity  Cache size | 1-way | 2-way | 4-way | 8-way |
| 1K | 11.0681% | 8.3553% | 7.7817% | 7.8282% |
| 2K | 8.2778% | 5.1775% | 4.1854% | 3.9839% |
| 4K | 5.4720% | 3.6273% | 3.0693% | 2.8058% |
| 8K | 4.0304% | 2.9763% | 2.6663% | 2.4923% |
| 16K | 3.1623% | 2.3717% | 2.3407% | 2.2942% |
| 32K | 2.5422% | 2.3252% | 2.2787% | 2.2787% |

　　更多way時，miss rate下降的原因為在相同的cache size情況下，當associativity增加，一個set的資料含量增加，可減少conflict miss。

　　而在相同的associativity下，增加cache size可以減少capacity miss，使得miss rate減少。

**2. RADIX (Block Size = 64 bytes)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Associativity  Cache size | 1-way | 2-way | 4-way | 8-way |
| 1K | 25.0864% | 11.3738% | 3.3453% | 3.3281% |
| 2K | 21.2169% | 6.8721% | 2.7333% | 2.7016% |
| 4K | 19.2569% | 4.3664% | 2.3963% | 2.3747% |
| 8K | 8.4317% | 2.7117% | 1.8563% | 1.9254% |
| 16K | 7.3560% | 1.1247% | 1.1679% | 1.2370% |
| 32K | 1.2313% | 0.8093% | 0.7762% | 0.7618% |

　　更多way時，miss rate下降的原因為在相同的cache size情況下，當associativity增加，一個set的資料含量增加，可減少conflict miss。

　　在相同的associativity下，增加cache size可以減少capacity miss，使得miss rate減少。

　　而miss rate上升 (highlight處)的原因為當associativity變多的時候，一個固定size的cache總set數變少，使得competition變多，造成capacity miss。

**3. Total bits (Block Size = 64 bytes)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Associativity  Cache size | 1-way | 2-way | 4-way | 8-way |
| 1K bytes | 8560 | 8576 | 8592 | 8608 |
| 2K | 17088 | 17120 | 71752 | 17184 |
| 4K | 34112 | 34176 | 34240 | 34304 |
| 8K | 68096 | 68224 | 68352 | 68480 |
| 16K | 135936 | 136192 | 136448 | 136704 |
| 32K | 271360 | 271872 | 272384 | 272896 |

(bits)

* 以1-way、cache size為1K bytes為例

　　一個cache 1024 bytes，一個block (set) 64 bytes，可得一個cache共有1024 / 64 = 16個block (set)，因此32-bit address中會有4 bit為block index，而由block size = 64 bytes可得offset bit為6位，故tag bit = 32 – 4 – 6 = 22。

　　一個block為valid bit + tag + data，即為1 + 22 + 64 \* 8 = 535 (bits)，一個cache共有16個block (set)，故total bits為535 \* 16 = 8560 (bits)。