

Computer-Aided VLSI System Design Homework 6 Report

Due Tuesday, Dec. 29, 14:00

Student IDs:b06505027

Student Names:張哲浩

Questions and Discussion

1. Fill in the blanks

Physical category		
Design Stage	Description	Value
Gate-level Simulation	Cycle time for Gate-level Simulation (ex. 10ns)	5.1ns
	Gate-level Simulation Time for f1	8,343.6ns
	Gate-level Simulation Time for f2	8,343.6ns
	Gate-level Simulation Time for f3	8,343.6ns
	Gate-level Simulation Time for f4	8,334.4ns
	Gate-level Simulation Time for f5	8,343.6ns
	Gate-level Simulation Time for f6	8,334.4ns
	Gate-level Simulation Time for f7	8,334.4ns

2. Specify the methods you adopted for low-power design. (10pts)

在寫 RTL 的時候注意避免不必要的值一直變動，不再運作的值就歸零，ex: 確認是否完成第一筆資料後，將 flag 歸零。

盡量讓面積縮小。精簡冗餘的條件判斷，以降低繞線的難度；Space sharing，執行不同 function 時，共用同一個暫存器。在 synthesis 的時候使用 compile_ultra、compile -map_effort high 等，盡量讓面積縮小，以降低 internal power。

原先在設計的時候打算以較低的 clock frequency 來降低電壓，但由於最終 performance 會採取 time 的值，所以我將每個工作環節均勻切割，進而降低 cycle time 的週期節省閒置時間，缺點是會讓電壓升高。權衡之下，大大減少 cycle time 有助於降低最終數據。(註：下表為設計過程某三次紀錄)

雖有嘗試在 synthesis 裡面加上 insert_clock_gating 的指令，但似乎 RTL 中的判斷邏輯太多，以至於 synthesis tool 無法自動加上。因為我最終的設計 cell internal power 的消耗佔最大來源，若能加上 clock gating 將不必要運作的區塊先關掉，必能將耗能減低很多。

v1

cycle 24ns

fn	time (ns)	power (mW)
F1	39,240	0.4756
F2	39,240	0.4706
F3	39,240	0.4975
F4	39,217	0.4403
F5	39,264	0.4427
F6	39,217	0.4799
F7	39,217	0.4751
Total	128,752	

v2

cycle 18ns

fn	time (ns)	power (mW)
F1	29,448	0.6198
F2	29,448	0.6129
F3	29,448	0.6510
F4	29,413	0.5666
F5	29,448	0.5692
F6	29,413	0.6168
F7	29,413	0.6104
Total	124,994	

v3

cycle 5.1ns

fn	time (ns)	power (mW)
F1	8,343.600	1.524
F2	8,343.600	1.517
F3	8,343.600	1.601
F4	8,334.400	1.450
F5	8,343.600	1.455
F6	8,334.400	1.523
F7	8,334.400	1.517
Total	88,292	