

積體電路設計 Final Project 設計

第13組

B06505027張哲浩 B06505048黃日新

(i)設計過程截圖

RTL Simulation

```
-----  
START!!! Simulation Start .....  
-----  
-----  
----- S U M M A R Y -----  
Congratulations! All data have been generated successfully! The result is PASS!!  
-----  
Simulation complete via $finish(1) at time 15213696 NS + 0  
./testfixture.v:167      #(`CYCLE/2); $finish;  
ncsim> exit  
[b6505048@cad29 Project_2]$ █
```

Timing Report

add_199/U438/Y (INVX16)	0.20	6.39 f
add_199/U288/Y (AOI21X4)	0.15	6.54 r
add_199/U757/Y (XOR2X4)	0.15	6.69 f
add_199/SUM[17] (RNN_DW01_add_3)	0.00	6.69 f
U7659/Y (AOI2BB1X4)	0.13	6.82 r
U18907/Y (AOI211X2)	0.11	6.94 f
U18908/Y (OAI31X2)	0.29	7.23 r
U5487/Y (INVX4)	0.12	7.35 f
U11517/Y (CLKBUF3)	0.29	7.63 f
U4794/Y (BUF16)	0.19	7.83 f
U12573/Y (AO22XL)	0.34	8.16 f
h_reg[11][17]/D (DFFRX1)	0.00	8.16 f
data arrival time		8.16
<hr/>		
clock clk (rise edge)	8.00	8.00
clock network delay (ideal)	0.50	8.50
clock uncertainty	-0.10	8.40
h_reg[11][17]/CK (DFFRX1)	0.00	8.40 r
library setup time	-0.24	8.16
data required time		8.16
<hr/>		
data required time		8.16
data arrival time		-8.16
<hr/>		
slack (MET)		0.00

Area Report

Point	Incr	Path
clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.50	0.50
count_reg[2]/CK (DFFRX4)	0.00 #	0.50 r
count_reg[2]/QN (DFFRX4)	0.25	0.75 f
U6513/Y (INVX8)	0.10	0.85 r
U6935/Y (INVX8)	0.08	0.93 f
U7001/Y (NAND2X8)	0.10	1.03 r
U4576/Y (NOR2X8)	0.08	1.11 f
U6618/Y (BUF20)	0.12	1.23 f
U5052/Y (CLKINVX20)	0.06	1.29 r
U5054/Y (CLKINVX20)	0.18	1.47 f
U6743/Y (AO22X4)	0.30	1.77 f
U6803/Y (OR4X8)	0.26	2.03 f
U8207/Y (AOI2BB1X4)	0.21	2.25 f
U16689/Y (NOR4BX4)	0.25	2.50 r
U5161/Y (NAND3X4)	0.18	2.68 f
mult_199/b[1] (RNN_DW_mult_tc_1)	0.00	2.68 f
mult_199/U1737/Y (BUF20)	0.19	2.86 f
mult_199/U1956/Y (XOR2X4)	0.20	3.06 f
mult_199/U2119/Y (OAI22X4)	0.21	3.27 r
mult_199/U2091/S (ADDFHX4)	0.37	3.65 f
mult_199/U1886/Y (XOR3X4)	0.42	4.06 f
mult_199/U2137/S (ADDFHX4)	0.31	4.38 r
mult_199/U1809/Y (OR2X8)	0.16	4.54 r
mult_199/U1135/Y (NAND2X6)	0.07	4.61 f
mult_199/U363/Y (OAI21X4)	0.20	4.81 r
mult_199/U1222/Y (INVX4)	0.13	4.94 f
mult_199/U1419/Y (OAI21X4)	0.22	5.16 f
mult_199/U1418/Y (BUF8)	0.11	5.27 f
mult_199/U1470/Y (XOR2X4)	0.14	5.41 f
mult_199/product[15] (RNN_DW_mult_tc_1)	0.00	5.41 f
add_199/A[15] (RNN_DW01_add_3)	0.00	5.41 f
add_199/U540/Y (NAND2X2)	0.17	5.58 r
add_199/U733/Y (OAI21X2)	0.14	5.71 f
add_199/U301/Y (AOI21X4)	0.14	5.85 r
add_199/U299/Y (OAI21X4)	0.10	5.96 f
add_199/U297/Y (AOI21X4)	0.24	6.20 r
add_199/U438/Y (INVX16)	0.20	6.39 f
add_199/U288/Y (AOI21X4)	0.15	6.54 r
add_199/U757/Y (XOR2X4)	0.15	6.69 f
add_199/SUM[17] (RNN_DW01_add_3)	0.00	6.69 f

Number of ports:	676
Number of nets:	21796
Number of cells:	20676
Number of combinational cells:	16712
Number of sequential cells:	3956
Number of macros/black boxes:	0
Number of buf/inv:	2823
Number of references:	205
Combinational area:	203514.861845
Buf/Inv area:	25483.066143
Noncombinational area:	131035.881943
Macro/Black Box area:	0.000000
Net Interconnect area:	3085942.342010
Total cell area:	334550.743788
Total area:	3420493.085799

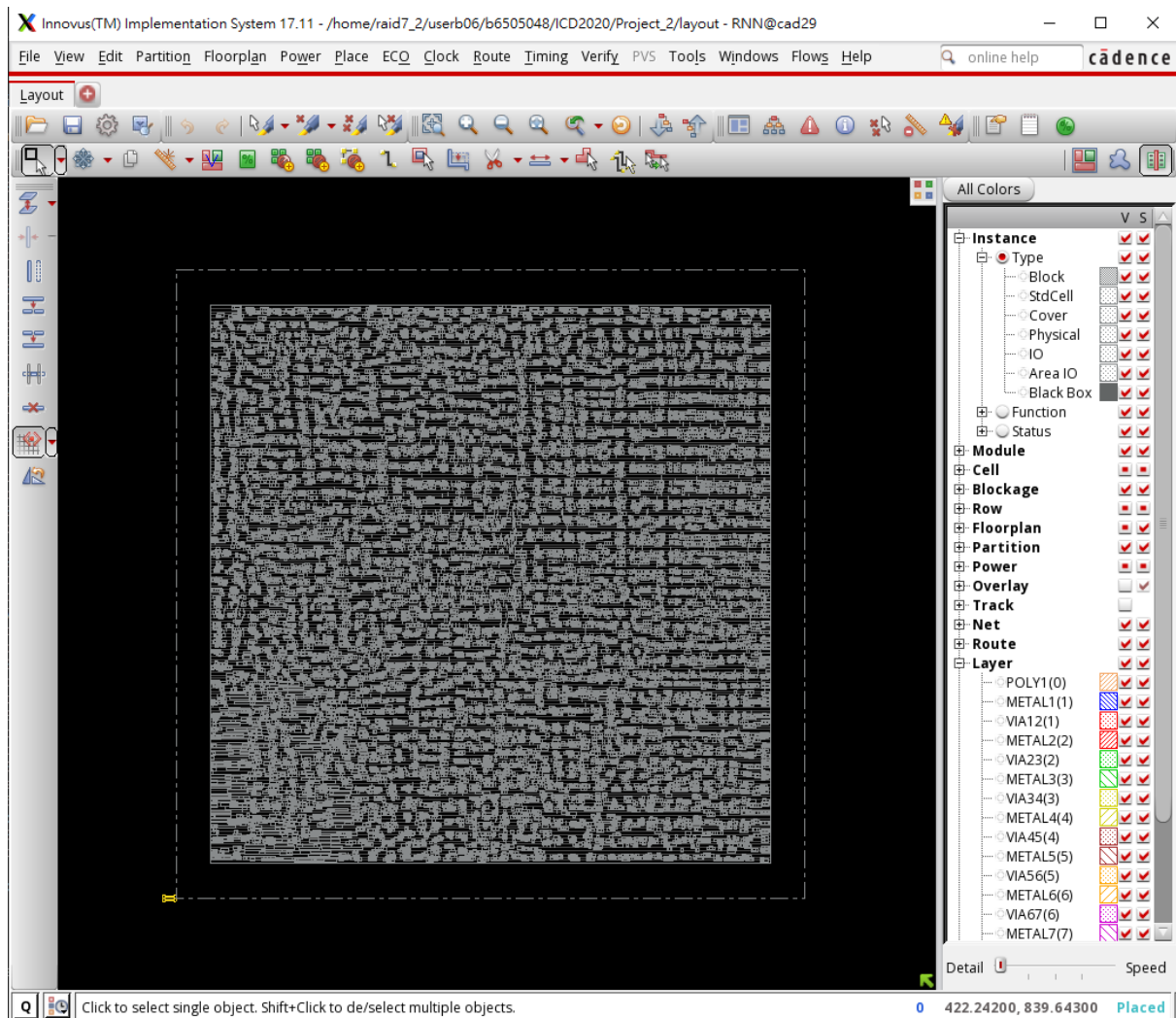
Gate Level Simulation

```

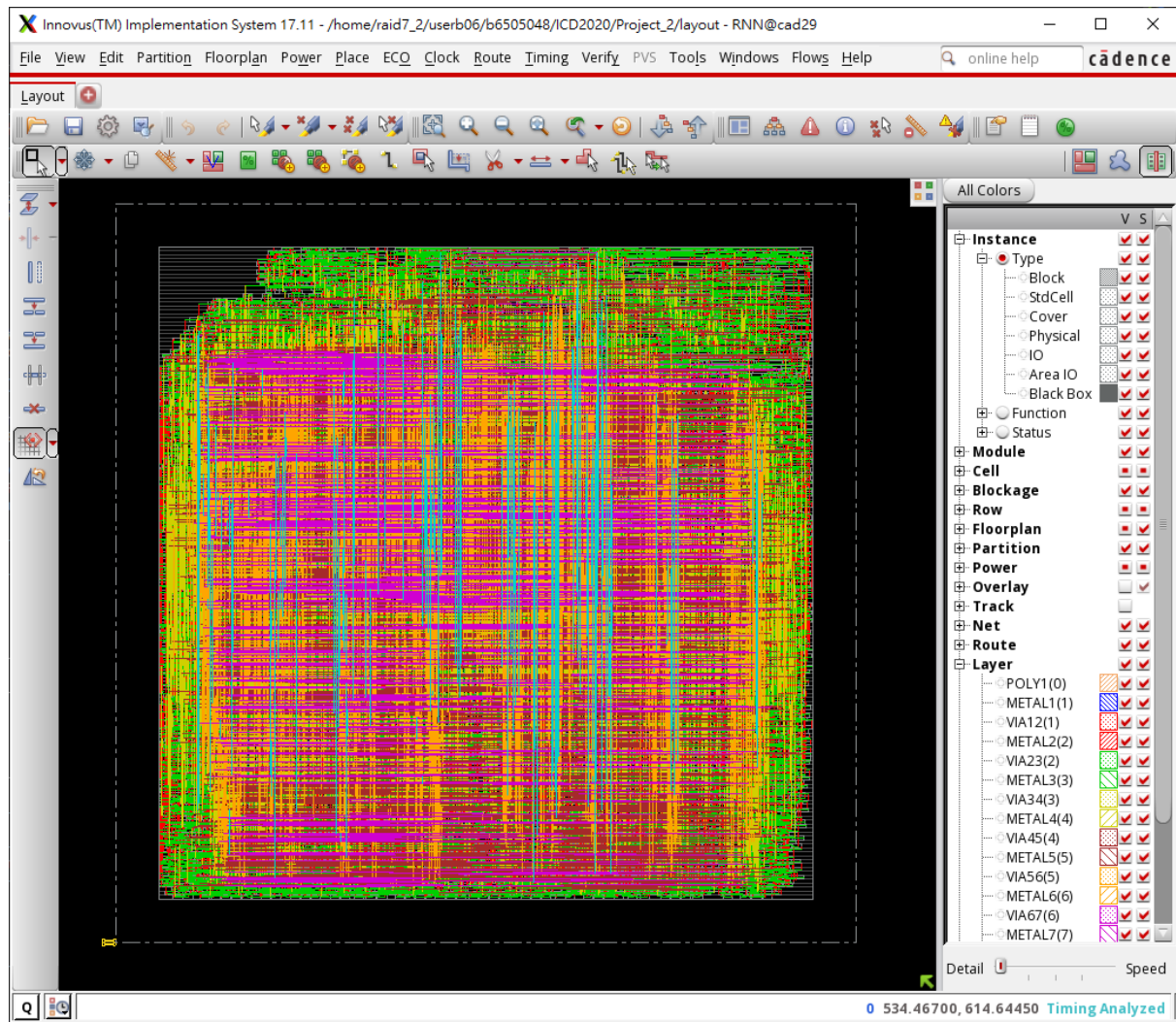
-----
START!!! Simulation Start .....
-----
-----
-----
----- S U M M A R Y -----
Congratulations! All data have been generated successfully! The result is PASS!!
-----
Simulation complete via $finish(1) at time 15213697436 PS + 0
./testfixture.v:167      #(`CYCLE/2); $finish;
ncsim> exit
[b6505048@cad29 Project_2]$ █

```

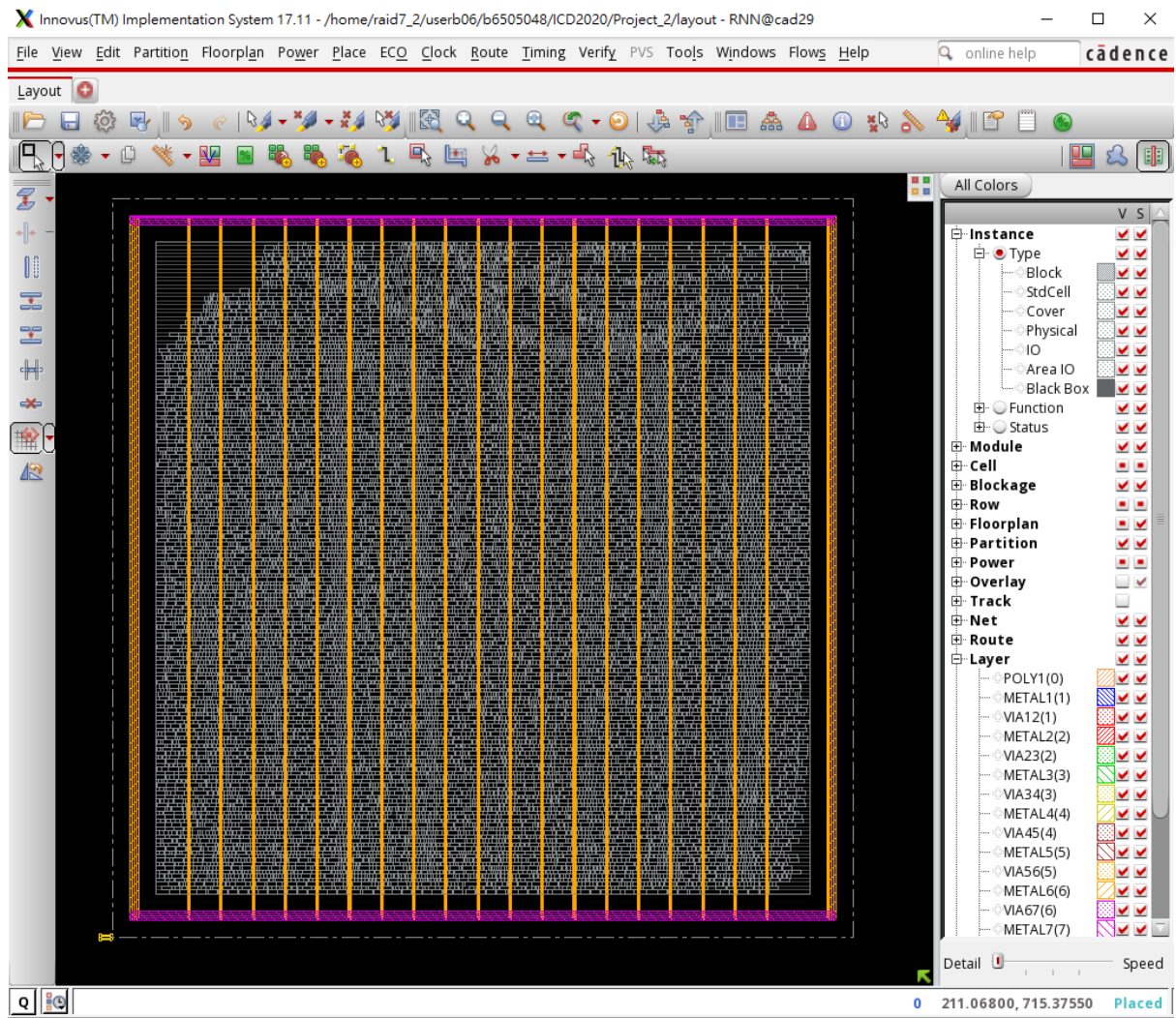
Floorplan



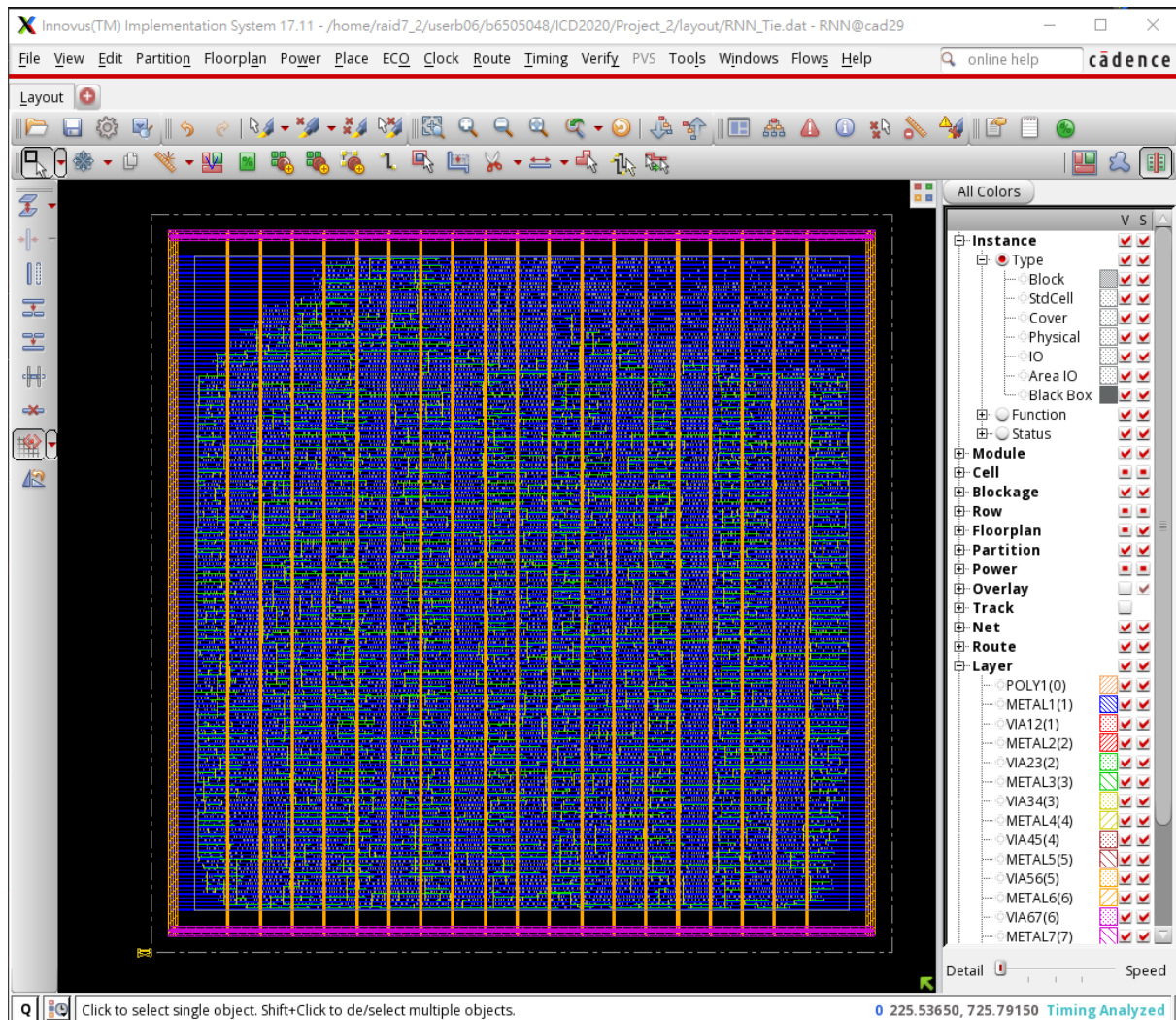
Full placement



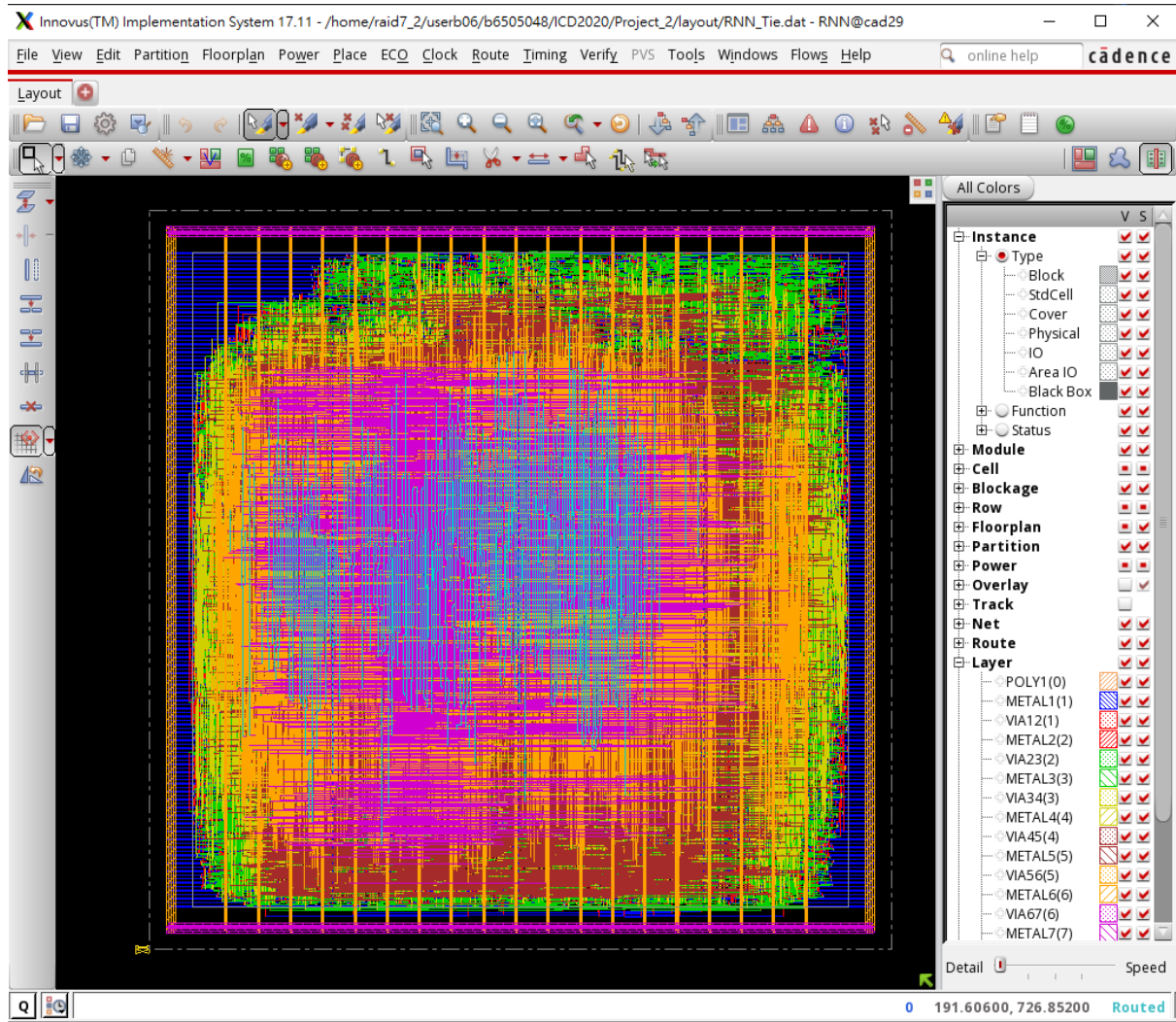
Power_ring_stripe



Special_route



Nanoroute



Post_APR_Sim

```
-----  
START!!! Simulation Start .....  
-----  
-----  
----- S U M M A R Y -----  
Congratulations! All data have been generated successfully! The result is PASS!!  
-----  
Simulation complete via $finish(1) at time 15213697232 PS + 0  
./testfixture.v:167      #(`CYCLE/2); $finish;  
ncsim> exit  
[b6505048@cad29 Project_2]$ █
```

Total Area of Core

```
=====
Floorplan/Placement Information
=====
Total area of Standard cells: 307402.535 um^2
Total area of Standard cells(Subtracting Physic
Total area of Macros: 0.000 um^2
Total area of Blockages: 0.000 um^2
Total area of Pad cells: 0.000 um^2
Total area of Core: 371934.288 um^2
Total area of Chip: 476188.973 um^2
Effective Utilization: 8.2650e-01
Number of Cell Rows: 165
```

(ii)設計概念與過程

分成testbranch跟RNN兩端進行，將W & B & h分別選擇放在RNN裡面暫存或者需要時再從testbranch 裡 call 進來。

想法是如果WBh都暫存在RNN裡面的話Area會很大，但是可以節省資料傳進來的時間，直接在RNN裡面執行運算。另一個極端做法是都不暫存，需要就call進來。但不知道這個方程式的矩陣運算「Area先決」與「Time先決」哪種效率比較高。折衷版本就是指暫存一些其他需要時call in。

經過排列組合RNN版本有以下嘗試：

1. WIBOHI

W [64x64] [64x32] 都暫存在RNN裡面，b [64x1] [64x1] 需要call in

h(t)先暫存，等算完 $t = k$ 的所有步驟，再輸出進testbranch記憶體5儲存

Comment: 想法上把最肥大的W放在RNN裡面減少每次傳入資料所浪費的時間，缺點是A值應該會增加不少。h等全部算好再回傳MEM5，前題是傳回效率差，要是跟在RNN裡面覆寫暫存h的速度一樣的話，那大可以不需要在RNN裡增加 [40x1] 的資料空間。

2. WIBIHI(B不太有必要存)

W [64x64] [64x32] b [64x1] [64x1] 都暫存在RNN裡面，直接與傳入的xt值做運算

h(t)先暫存，等算完 $t = k$ 的所有步驟，再輸出進testbranch記憶體5儲存

Comment: 內部運算效率最大化，但同時 Area 使用也是最大值。

3. WOBOHI

W [64x64] [64x32] b [64x1] [64x1] 需要時call in

$h(t)$ 先暫存，等算完 $t = k$ 的所有步驟，再輸出進testbranch記憶體5儲存

Comment: 只是減少傳出時間，這組不一定效果顯著。

4. **WIBOHO** (H還是需要在RNN裡面)

最肥大的 W [64x64] [64x32] 都暫存在RNN裡面， b [64x1] [64x1] 需要c
all in， h 每次覆寫MEM5裡面的值

Comment: 暫且預估是最佳折衷版本，Area只消耗 W 以大大減低每次傳入時間， b h 不需要消耗Area暫存，每次傳入傳出即可，速度也不會太慢。

5. **WIBIHO**

W [64x64] [64x32] b [64x1] [64x1] 都暫存在RNN裡面，增加運算速度
 h 每次覆寫MEM5裡面的值

Comment: 預想有點沒必要，既然 W b 都在裡面了就應該最大化RNN裡的運算速度， h 的暫存值一直來回寫入MEM5應該會浪費不少時間。

6. **WOBOHO**

RNN裡面只提供運算，output都存在testbranch的MEM5裡，應該不會一次算完，所以每次運算會覆寫MEM5裡面的值。

Comment: Area使用最小化，傳輸時間可能將大大增加。

後來發現行不通，H還是要有才比較好傳值

最後採用WOBOHI的形式，雖然總時間相對較長，但cycle time可以降得比較低。設計過程中發現增加暫存器會讓面積快速增加，加一個64 bit 就會增加約莫1.5倍的AT值，所以最後採用犧牲速度換取減少面積的方式。設計優化階段盡可能減少不必要的運算方式，避免使用太多乘法器和加法器，因為對面積增加比較沒有量化的概念，所以在設計過程中try and error觀察AT值變化。中間有一個很有趣的發現，我們

將一些簡單的加法做在Sequential裡面的時候AT值幾乎砍半，不過後來發現不太行是因為會timing violation，在Gate level就掛了，只好作罷。

其實我們過程中有嘗試WIBOHI的形式，速度快上非常多，RTL level WOBOHI需要一分鐘跑好，而WIBOHI的形式透過矩陣運算只需要460us就能跑好。這個形式的優勢在於把需要傳值最久的W存在RNN.v裡面，每次計算只需推64次，且同時傳入加上B的修正項，所以速度會快非常多，最大的缺點就是面積使用龐大，需要64x64和64x32的矩陣儲存W的資料。這個作法後來失敗還有一個原因，就是不知為何 $W \cdot h(t-1)$ 的輸出結果會有錯，在W和 $h(t-1)$ 都是正確的情況下，如果還有時間會希望解決這個疑問點。