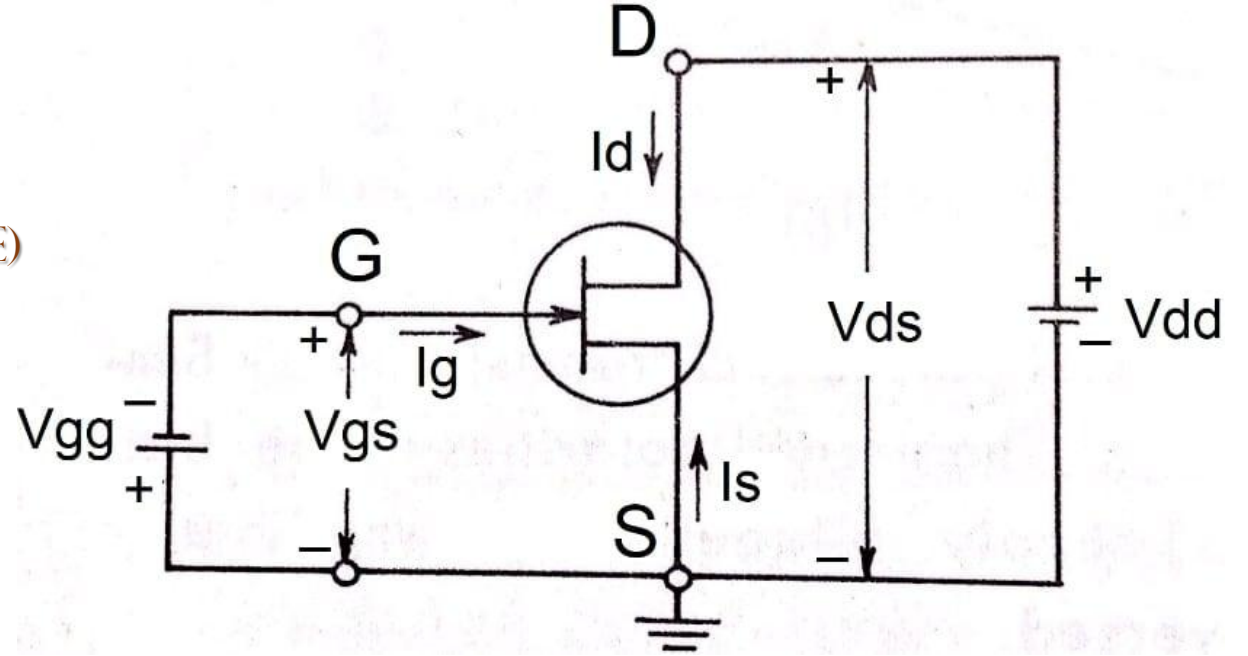
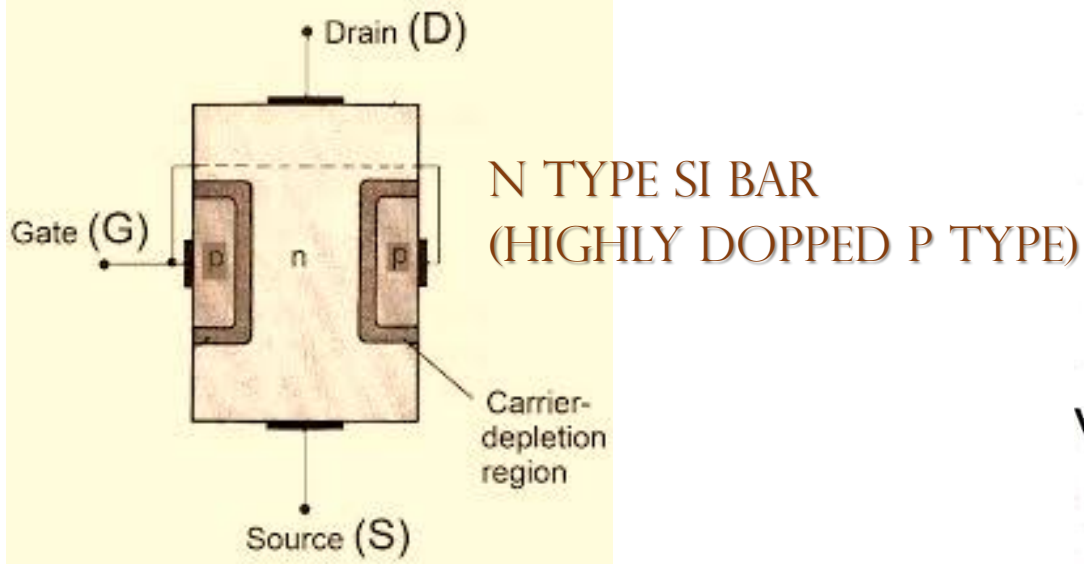


○ FET = Field Effect Transistor

- **Uni Polar Transistor** — માત્ર એક જ પ્રકારના ચાર્જ કેરિયરને કારણે જ વિદ્યુત પ્રવાહનું વહન થાય.
(n- ચેનલ હોય તો Majority Charge Carrier તરીકે Electron હોય છે અને p- ચેનલ હોય તો Majority Charge Carrier તરીકે Holes હોય છે.)
- **Voltage Controlled Device** — ઈનપુટ વોલ્ટેજ (ગેટ-સોર્સ વોલ્ટેજ) દ્વારા આઉટપુટ પ્રવાહને નિયંત્રિત કરી શકાય.
- **JFET** — Junction Field Effect Transistor & **MOSFET** — Metal Oxide Semiconductor Field Effect Transistor
JFET – n- ચેનલ અને p- ચેનલ & MOSFET – ડેપ્લેશન અને એનહાસમેન્ટ
- n- ચેનલ JFET =
 - **Current Direction** = રૂઢિગત Drain થી Source (Majority Charge Carrier, Source થી પ્રવેશી Drain દ્વારા બહાર નીકળે છે.)



○ JFET નાં ફાયદા –

- ✓ વોલ્ટેજ એમ્પ્લિફાયર તરીકે.
- ✓ ઈનપુટ ઈમ્પેડન્સ ખૂબ ઊંચો હોય છે. ($10^2 \text{ M}\Omega$)
- (આનો ફાયદો એ છે કે પરિપથ પર Load ઘટાડે, ઈનપુટ વોલ્ટેજ જાળવે કારણકે ઈનપુટ કરંટ લગભગ શૂન્ય (શૂન્યની નજીક) બને.)
- ✓ ટ્રાન્ઝિસ્ટર જેવો ઘોંઘાટ જોવા મળતો નથી.
- ✓ પરિમાણ નાનું, આયુષ્ય વધુ, કાર્યક્ષમતા વધુ.
- ✓ વધારે સ્ટેજની જરૂર પડતી નથી. ઊંચી પાવર ગેઈન ધરાવે છે.
- ✓ ઉષ્મીય સ્થિરતાં વધારે હોય છે.
- ✓ ફ્રિક્વન્સી રિસ્પોન્સ ઊંચો છે. (ફ્રિક્વન્સી રિસ્પોન્સ ? = કોઈ પરિપથ અલગ અલગ આવૃત્તિ ઈનપુટ પર કેવો પ્રતિસાદ આપે છે તે.)

✓ JFET ની મર્યાદાઓ –



- ✓ ગેઈન બેન્ડવિડ્થ પ્રોડક્ટ ઓછી મળે છે. ($GBW = \text{ગેઈન} \times \text{બેન્ડવિડ્થ} / \text{કોઈ નિશ્ચિત ગેઈન માટે આવૃત્તિ વિસ્તાર નક્કી કરી પરિપથ ડિઝાઈન કરવામાં મદદ મળે.}$)

○ JFET નાં પ્રાયલો –

- **AC Drain Resistor r_d** – (ઊંચો AC Drain Resistor એટલો FET વધારે સારો કરંટ સોર્સ બની શકે.)=

$$r_d = \frac{V_{DS}}{\Delta I_D} \Omega, \quad V_{GS} \text{ અચળ. (તેનું મૂલ્ય ખૂબ મોટું હોય છે. 15 K } \Omega \text{ થી 1 M } \Omega)$$

- **Transconduction g_m** (ઊંચું ટ્રાન્સકંડક્સન ઊંચી ગેઈન)=

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \text{ or } \frac{\mu A}{V}, \quad V_{DS} \text{ અચળ.}$$

- **Amplification Factor μ** –

$$\mu = \frac{\Delta V_{DS}}{\Delta V_{GS}}, \quad I_D \text{ અચળ}$$

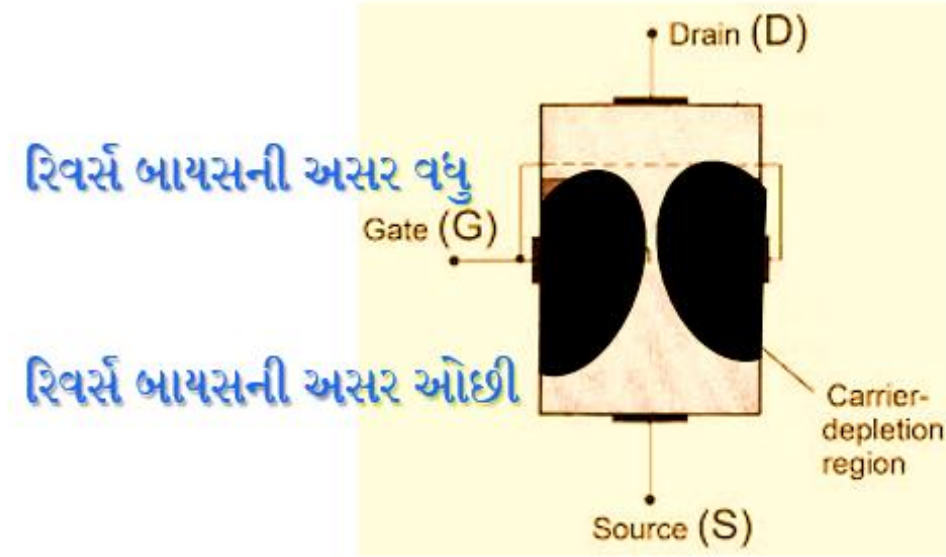
$$\mu = \frac{\Delta V_{DS}}{\Delta I_D} \times \frac{\Delta I_D}{\Delta V_{GS}}$$

$$\mu = r_d \times g_m$$

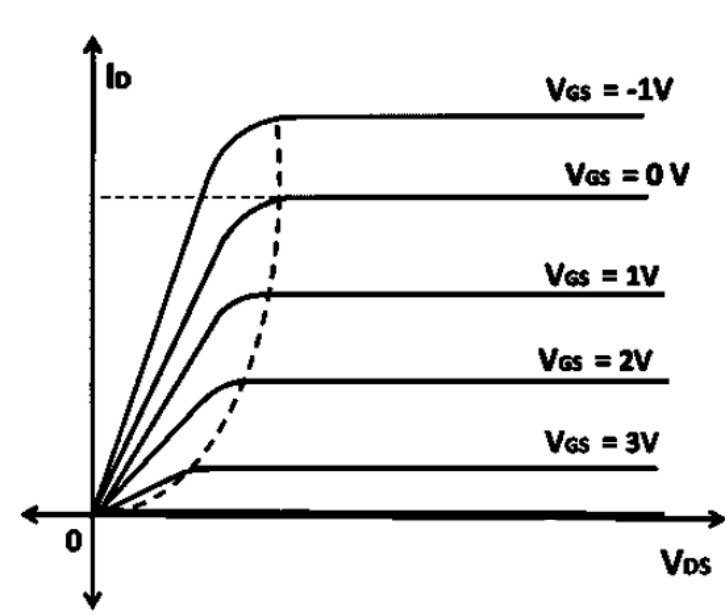
(1) $v_{GS} = 0$, $v_{DS} = 0$, $I_D = 0$

(1) $v_{GS} = 0$, v_{DS} વધારતાં, I_D વધે

✓ $v \propto i$ પ્રમાણે સુરેખીય રીતે I_D વધે – ત્યારબાદ પ્રવાહ ધીમે ધીમે વધે - I_D મહત્તમ બને. હવે, v_{DS} વધારતાં I_D અચળ બને. ત્યારબાદ પણ v_{DS} વધારતાં I_D એકદમ વધી પછી FET બ્રેકડાઉન સ્થિતિમાં આવે.



ફાયર જેવા આકારનું બેરિયર



$V_{DS} = 0$, V_{GS} = વધે (વધુ ઋણ બનાવતાં)
 ડ્રેનેશન સ્તર વધે અને ચેનલની પહોળાઈ ઘટે
 ધીમે ધીમે $I_D = 0$ બને.

