



# 设计1

## 单周期型32位CPU（核）设计



# 单周期CPU设计（1）

- 请参考课程讲述的CPU核结构，设计一个兼容32位MIPS或RISC-V指令集的单周期CPU（核）。
- 基础要求（0~80分）：
  - 使用Verilog或其他设计语言（其他设计语言不提供技术支持）
  - 使用FPGA内部静态存储器（block RAM）作为指令缓存（iCache）和数据缓存（dCache），将机器指令和数据写入coe文件，将coe文件导入iCache（和dCache）（请参考附件所提供的设计模版）
  - 整体微体系结构采用冯诺伊曼微结构或哈佛微结构均可
  - 前仿（功能仿真）成功，并给出性能指标，包括：频率（或者等效频率）、已实现指令的条数和CPI等
  - 指令条数不限制，但要求：
    - 若采用MIPS指令集，所实现的指令需覆盖R型、I型计算类、I型取数类、I型存数类、I型条件判断类、J型。
    - 若采用RISC-V指令集，需覆盖（I型）基本指令集中与MIPS要求对应的指令。
    - 若采用自定义指令集和其他指令集，请联系代课老师或研究生助教。
    - 可不实现关于中断、异常、控制状态等相关的指令。



## 单周期CPU设计（2）

- 加分项（共0~20分）
  - 使用C语言编写简单程序，覆盖到CPU所支持的分指令，使用MIPS或RISCV交叉编译（mips-linux-gcc或gcc-riscv）为汇编源码，使用MIPS或RISCV模拟器翻译为机器指令并执行，加0~20分。  
（需课间或其他时间现场演示）
- 提交材料：
  - 详细设计文档
  - 软硬件设计工程（包括代码）
- 开发时间：
  - 三周